

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

UNIVERSITE ABDERAHMANE MIRA BEJAIA

FACULTE DE TECHNOLOGIE

DEPARTEMENT DE GENIE ELECTRIQUE

Spécialité : Microélectronique



Mémoire de Fin d'étude

En vue de l'obtention du diplôme de master en Electronique

Spécialité : Microélectronique

Thème

**Contribution à la conception
d'un CNA en technologie
CMOS0.13 μ m
(CADENCE)**

Rédigé par :

M^{lle} KAAT Lydia

M^{lle} HAMDI Yasmina

Encadré par :

Mr HANFOUG.S

Année universitaire : 2019/2020

Remerciement

*On tient à remercier le bon dieu le tout puissant de nous avoir donné la force,
le courage et la patience pour venir à bout de ce modeste travail.*

*On tient à exprimer nous plus vifs remerciement envers notre promoteur
M.Hanfoug pour le thème qu'il à proposé, il nous a guidés dans notre parcours
des deux années universitaire Master son assistance et ses conseils étaient d'une
aide précieuse*

*Nous tenons aussi à remercier les membres de jury qui ont acceptée
d'examiner et d'évaluer notre travail*

*Nous remercions également tous les enseignants de la faculté de technologie,
en particulier, ceux du département d'électronique*

Un merci spécial à :

***M Sadji** qui nous a ouvert les portes de l'électronique*

***Mlle ACHOUR**, chargé de cour ainsi chef de spécialité microélectronique*

Enfin a tout les personnes qui étaient et qui sont à cœur avec nous

Dédicace

DEDICACES

Je dédie ce modeste travail à mes chers parents que j'adore, eux qui m'ont soutenu tout mon parcours pour en arriver où je suis maintenant. Que Dieu les protège

(Hayet & Lakhdar)

À ma chère sœur Nadjet, mon beau frère Bob et mes petites chéries Ayane & Ryane

À mon frère Saïd, ma belle sœur Souad et mon adorable nièce Eline

À mon adorable frère Yacine

À la mémoire de mes chers grands-parents paternelle (Zahra & Saïd) & à mes grands-parents maternelles (Aïcha & Ahmed)

À mes chers bien-aimés (Rachid, Roumina, Sabrina, Khawla, Aymene, Youyou,

Akram, Thiziri, Abed Latif, Yousra, Ouarda, Anes)

À toute ma famille, tous mes tantes & oncle

À mon encadreur monsieur Hanfoug Salah

Enfin à tous ceux qui ont contribué à ce modeste mémoire et ceux qui me connaissent de près ou de loin

K. Lydia

Dédicace

DEDICACES

Je dédie ce modeste travail à :

En prime abord à ma chère Maman et mon cher Papa qui tous deux ont mis tout à ma disposition pour en arrivé où j'en suis maintenant.

A mon cher frère Mouloud et à tous mes cousins et cousines.

A toutes mes tantes à commencer par Naima, Nassira, Nora, Faiza, Khoukha et Lynda.

A oncle Fateh et oncle Zahir et sa femme Rebiha.

A mes oncles Samir, Djafer et sa femme Khoukha &

Oncle Abd nour et sa femme Aziza.

Et enfin bien sûr à mes chers grands-parents.

Et à tous ceux qui ont contribués de près ou de loin à la réalisation de ce travail quelque soit la méthode.

Yasmina

Sommaire

Sommaire

TABLE DES MATIERES

SOMMAIRE	6
INTRODUCTION GENERALE	1
CHAPITRE I : ETUDE DES CIRCUITS ANALOGIQUES.....	3
INTRODUCTION:.....	3
I.1 Le transistor MOS.....	3
I.1.1 Définition du transistor MOS:	3
I.1.2 La structure du transistor MOS.....	4
I.1.3 Différents types de transistors.....	4
I.1.3.1 Les caractéristiques statiques des transistors NMOS et PMOS	5
I.1.4 Le mode de fonctionnement.....	5
I.1.5 Les caractéristiques du transistor MOS	6
I.1.6 Avantage et inconvénient du transistor MOS	8
I.2 L'inverseur	8
I.2.1 Principe de fonctionnement de l'inverseur	8
I.2.2 Caractéristique de transfert de l'inverseur	10
I.3 Miroir de courant	11
I.3.1 Définition de miroir de courant.....	11
I.3.2 Caractéristiques.....	11
I.3.3 Principe de fonctionnement	11
I.3.4 Différents types miroirs de courant.....	12
a. Miroir de courant simple.....	12
b. Miroir de courant Cascode.....	14
c. Miroir de courant Cascode wide-swing	15
d. Comparaison des différent types miroir de courant	16
I.3.5 La paire différentielle en technologie CMOS	17
I.4 Amplificateur opérationnel.....	17
I.4.1 Caractéristique de L'AOP.....	18
I.4.2 Amplificateur opérationnel a deux étages.....	19
I.5 Porte de transmission (transmission gate TG).....	19
CONCLUSION.....	20
CHAPITRE II : ETUDE D'UN CONVERTISSEUR NUMERIQUE ANALOGIQUE ..	21
II INTRODUCTION	21

Sommaire

II.1	Architecture de convertisseur numérique analogique	21
II.1.1	Convertisseur numérique analogique à R2R :.....	21
II.1.2	Convertisseur numérique analogique à capacité.....	22
II.1.3	Comparaison des architectures.....	23
II.2	Principe de fonctionnement de CNA	23
II.3	Les caractéristiques transferts de CNA à 3 bits	24
II.3.1	Plein échelle.....	25
II.3.2	Résolution	25
II.3.3	Précision.....	25
II.3.4	LSB	25
II.4	Les performances de convertisseur numérique analogique	26
II.4.1	Performance statique.....	26
a.	L'erreur d'offset (Décalage)	26
b.	Erreur de gain	27
c.	Les erreurs de linéarité.....	27
c.1.	La non linéarité différentielle (DNL).....	27
c.2.	La non linéarité intégrale (INL).....	28
II.4.2	Performance dynamique	29
a.	Rapport signal sur bruit (SNR)	29
b.	Distorsion harmonique totale (THD).....	29
c.	Dynamique sans parasite (SFDR).....	29
d.	Signal sur bruit et harmonique (SNDR).....	30
	CONCLUSION.....	30
	CHAPITRE III : SIMULATION DES CIRCUITS ANALOGIQUES ET CNA	31
III	INTRODUCTION :.....	31
III.1	Outil conception cadence	31
III.2	L'inverseur.....	31
III.2.1	Simulation.....	32
III.2.2	Simulation DC	32
a.	Résultat d'analyse DC	33
III.2.3	Simulation transitoire (temporelle).....	33
b.	Résultat d'analyse temporelle	34
III.3	Amplificateur opérationnel CMOS à 2 étages.....	34
III.3.1	Les Simulation d'amplificateur opérationnel à deux étages CMOS.....	35
III.3.2	Simulation DC	35
a.	Résultat d'analyse DC	36
III.3.3	Simulation temporelle.....	36
b.	Résultat d'analyse temporelle	37
III.3.4	Simulation AC	37

Sommaire

c. Résultat d'analyse AC	38
III.4 Porte de transmission	38
III.4.1 Porte transmission de (CNA à R2R et CNA à Capacité)	39
a. Porte de transmission de (CNA à R2R)	39
b. Porte de transmission de (CNA à capacité).....	40
III.4.2 Résultat d'analyse des deux porte de transmission de (CNA à R2R et CNA à capacité).....	41
III.5 CNA à R2R.....	42
III.6 CNA à capacitif.....	44
III.7 Les performances CNA.....	46
III.7.1 Les performances statiques	47
a. La performance statique de CNA à R2R	47
b. La performance statiques de CNA à capacité	48
III.7.2 Les performances dynamiques.....	49
a. SFDR de CNA à R2R	49
b. SFDR de CNA à capacité	50
III.8 Comparaison des performances d'un CNA	50
CONCLUSION.....	51
CONCLUSION GENERALE	51
BIBLIOGRAPHIE	54

Liste des figures

Liste des figures

Figure I.1 Symbole des transistors NMOS et PMOS	3
Figure I.2 Vue schématique du transistor MOS type N	4
Figure I.3 Symbole de transistor PMOS et NMOS	5
Figure I.4 Transistor à l'état bloqué.....	6
Figure I.5 Transistor à l'état passant.....	6
Figure I.6 Caractéristique ID -VDS d'un transistor MOS à canal N.....	7
Figure I.7 Symbole et structure électrique d'inverseur CMOS.....	8
Figure I.8 Fonctionnement de l'inverseur l'entrée 0	9
Figure I.9 Fonctionnement de l'inverseur l'entrée 1	10
Figure I.10 Caractéristique de transfert de l'inverseur	10
Figure I.11 Schéma de principe d'un miroir de courant	11
Figure I.12 Miroir de courant simple	12
Figure I.13 Miroir de courant Cascode	14
Figure I.14 Miroir de courant Wide swing.....	15
Figure I.15 Une entrée différentielle	17
Figure I.16 Les différents symboles d'amplificateur opérationnel	18
Figure I.17 Amplificateur opérationnel à deux étages	19
Figure I.18 Porte de transmission.....	20
Figure II.1 Convertisseur numérique analogique à R2R.....	22
Figure II.2 Convertisseur numérique analogique à capacité.....	22
Figure II.3 Synoptique d'un convertisseur numérique analogique	24
Figure II.4 Caractéristique de transfert d'un CNA à 3 bits.....	24
Figure II.5 Erreur d'Offset.....	26
Figure II.6 Erreur de gain.....	27
Figure II.7 Erreur de non linéarité différentielle	28
Figure II.8 Erreur de non linéarité intégrale.....	28
Figure III.1 Schéma interne et symbole de l'inverseur CMOS	32
Figure III.2 Simulation DC de l'inverseur CMOS	32
Figure III.3 Courbe de transfert de tension de l'inverseur CMOS	33
Figure III.4 Simulation temporelle de l'inverseur CMOS.....	33
Figure III.5 Courbe de fonctionnement de l'inverseur CMOS.....	34
Figure III.6 Schémas interne et symbole de l'amplificateur opérationnel à deux étages	35
Figure III.7 Simulation DC d'un amplificateur opérationnel à deux étages CMOS	35
Figure III.8 Courbe de fonctionnement de l'amplificateur opérationnel à deux étages	36
Figure III.9 Simulation temporelle de l'amplificateur opérationnel à deux étages	36
Figure III.10 Courbe de fonctionnement de l'amplificateur opérationnel à deux étages	37
Figure III.11 Simulation AC d'amplificateur opérationnel à deux étages.....	37
Figure III.12 Diagramme de gain et phase.....	38
Figure III.13 Schéma interne et symbole porte de transmission de (CNA à R2R).....	39
Figure III.14 Schéma de simulation porte transmission de (CNA à R2R).....	39
Figure III.15 Schéma interne et symbole de la porte de transmission de (CNA à capacité).....	40
Figure III.16 Schéma de simulation porte de transmission de (CNA à capacité).....	40
Figure III.17 Schéma de calculatrice (Cadence).....	41

Liste des figures

Figure III.18	Schéma porte de transmission de (CNA à capacité et CNA à R2R)	41
Figure III.19	Schéma CNA de R2R à 6 bits	42
Figure III.20	Résultat de simulation d'entrée CNA à R2R en fonction du temps	42
Figure III.21	Résultat de simulation de sortie CNA à R2R en fonction du temps.....	43
Figure III.22	Spectre de l'algorithme de CNA à R2R	43
Figure III.23	Schéma CNA à capacité de 8 bits.....	44
Figure III.24	Résultat de simulation d'entrée CNA à capacité en fonction du temps	45
Figure III.25	Résultat simulation de sortie CNA à capacité en fonction du temps.....	46
Figure III.26	Spectre de l'algorithme de CNA à capacité.....	46
Figure III.27	DNL de CNA de R2R à 6 bits	47
Figure III.28	INL de CNA de R2R à 6 bits.....	48
Figure III.29	DNL de CNA de capacité à 8 bits	48
Figure III.30	INL CNA de capacité à 8 bits.....	49
Figure III.31	SFDR de CNA à R2R.....	49
Figure III.32	SFDR de CNA à capacité.....	50

Liste des tableaux

Liste des tableaux

Tableau I.1 Les caractéristiques de transistor NMOS et PMOS	Erreur ! Signet non défini.
Tableau I.2 Les caractéristiques de transistor MOS.....	7
Tableau I.3 Avantages et inconvénient du transistor MOS	8
Tableau I.4 La tension minimum et la résistance de sortie des trois miroirs de courant	16
Tableau I.5 Avantages et inconvénient des miroirs de courant	16
Tableau II.1 Avantages et inconvénients des CNA.....	23
Tableau III.1 Les valeurs des condensateurs	45
Tableau III.2 Comparaison des performances des deux convertisseurs conçu	50

Liste des symboles et des notations

Liste des symboles et des notations

C

C	Capacité du condensateur
C_{ox}	Capacité de l'oxyde grille du transistor par unité de surface

D

dB	Décibel
----	---------

I

I_{ds}	Courant entre le drain et la source
I_{ref}	Courant de référence
I_{out}	Courant de sortie
I_N	Courant d'entrée

K

K	Facteur de pondération
K_n	Pour les transistors canal N
K_p	Pour les transistors canal P

L

L	Longueur du transistor MOS
---	----------------------------

N

N	Nombre de bits
---	----------------

R

R_{on}	Resistance équivalente du commutateur analogique dans le régime de conduction
----------	---

V

VDD, VSS	Tension d'alimentation
V_D	Tension du drain du transistor
V_G	Tension de la grille du transistor
V_{IN}	Tension d'entrée analogique
V_{th}	Tension de seuil du transistor
V_{GS}	Tension grille-source d'un transistor
V_{DS}	Tension drain-source d'un transistor
V_{ref}	Tension de référence

Liste des symboles et des notations

V_{out}	Tension de sortie
V_S	Tension de source du transistor
W	
W	Largeur du transistor
W/L	Rapport de la largeur W et de la longueur L du canal du transistor MOS
μ	
μ_n	La mobilité des électrons
μ_p	La mobilité des trous
λ	Coefficient de modulation de longueur du canal
$\bar{\Phi}$	Tension de commande niveau haut
ϕ	Tension de commande niveau bas

Liste des sigles et acronymes

Liste sigle et acronyme

A

AC Alternative courant

AOP Amplificateur opérationnel

B Bulk (transistor sur silicium massif)

C

CNA Convertisseur numérique analogique

CMOS Complemented Metal Oxide Semiconductor

CI Circuit intégré

D

DAC Digital To Analog Converter

DC Direct courant : courant continue

DNL Differential Non Linearity

F

FFT Fast Fourier transformation

I

INL Integral Non Linearity

L

LSB Least Significant Bit

M

MOS Metal Oxide Semiconductor

MOSFET Metal Oxide Semiconductor Field Effect transistor

MSB Most Significant Bit

N

NMOS Transistor à effet de champ MOS à canal N

P

PE Pleine échelle

PMOS Transistor à effet de champ MOS à canal P

Liste des sigles et acronymes

R

R Résolution

S

SFDR Spurious Free Dynamic Range

SNR Signal To Noise Ratio

SNDR Signal To Noise and Distortion

T

THD Total Harmonic Distorsion

TG Transmission Gate

Introduction générale

Introduction générale

Introduction générale

Aujourd'hui l'électronique repose principalement sur la microélectronique avec l'avancement technologique dans le domaine d'intégration, dont le composant phare est le transistor MOSFET. Son domaine a connu un développement technologique sans pareil [1].

La technologie CMOS 0.13 μm est une technologie planaire destinée au développement qui est dominante pour les circuits intégrés. Elle a rapidement sommé le champ des circuits intégrés analogues et mixtes (analogique numérique), il est basée sur l'emploi de transistors à effet de champ qui est considéré jusqu'à présent comme étant le plus important dispositif de l'industrie des circuits intégrés (CI) et l'élément principal des évolutions technologiques majeures, grâce à sa facilité de fabrication, le bruit intrinsèque est toujours très faible ainsi que le circuit de commande très simple et symétrique aucune distinction du point de vue fabrication entre la source et le drain. Cette technologie permet de réaliser des circuits à faible coût, à basse consommation et faible densité d'intégration. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

Les convertisseurs sont des dispositifs électroniques capables non seulement de transformer les signaux analogiques en signaux numériques, mais aussi de convertir les signaux numériques en signaux analogiques. On distingue ainsi deux grandes catégories : les convertisseurs analogiques numériques (CAN) et les convertisseurs numériques analogiques (CNA). De nos jours, Les convertisseurs numériques analogiques sont des composants essentiels qui assurent la communication entre la puce électronique numérique et les signaux analogiques externes ,qui transforment un signal numérique codé sous forme binaire c.-à-d 1 ou 0 en un signal analogique (p. ex. la voix) ,plusieurs architectures des CNA ont été développées afin d'optimisées les caractéristiques des convertisseurs, il existe plusieurs différentes architectures de CNA (CNA à R2R , CNA à capacité) sont très efficaces en termes de dissipation d'énergie et de la nature de l'application

Notre mémoire est conçu en technologie CMOS 0.13 μm à base tension constitué de trois chapitres principaux, qui reflètent les différentes facettes de l'étude :

Après une introduction générale, on a introduit le premier chapitre par une brève discussion sur le transistor MOS, ensuite on a présenté les blocs fondamentaux analogiques

Introduction générale

qui sont utilisés particulièrement l'inverseur, miroir de courant, amplificateur opérationnel et la porte de transmission.

Le deuxième chapitre on a présenté une étude sur les convertisseurs numériques analogiques, différentes architectures, principe de fonctionnement, ses caractéristiques ainsi que leur performances (statiques et dynamiques).

Le troisième chapitre on a présenté les résultats expérimentaux de la contribution à la conception d'un CNA en technologie CMOS 0.13 μm obtenu à l'aide de logiciel CADENCE et logiciel MATLAB pour obtenir les performances de CNA.

Enfin le travail s'achève par une conclusion générale.

Chapitre I : Etude des circuits analogique

Chapitre I Etude des circuits analogiques

Introduction:

Les circuits analogiques commencent à faire l'objet de recherches dans le monde universitaire et industriel sont devenu des systèmes complexes dont la validation s'avère de plus en plus critique, travaillent selon un mode continu dont le comportement peut être s'écrit sous la forme d'équations

Dans ce premier chapitre nous allons présenter une introduction sur les circuits analogiques. Puis pour objectif de présenter les circuits analogiques en CMOS, il contient les notions nécessaires qui permettent de comprendre l'architecture des blocs fonctionnels simple utiliser dans notre travail est basé sur le transistor MOS comme l'inverseur, les miroirs de courant, les amplificateurs opérationnels, Nous terminerons ce chapitre en abordant la porte de transmission, nous allons voir la théorie dans laquelle sont données les définitions, mode de fonctionnement les explications concernant le comportement de ces blocs.

I.1 Le transistor MOS

I.1.1 Définition du transistor MOS:

Un transistor MOS est un transistor à effet du champ, il existe en deux polarisations opposées le transistor NMOS et PMOS. Le symbole de ce transistor est donné sur la

(Figure I.1) sur laquelle est représentée leur différente interface : Grille (G), Source (S), Drain(D), Substrat (B) qui permettent d'analyser le comportement électrique du transistor [2].

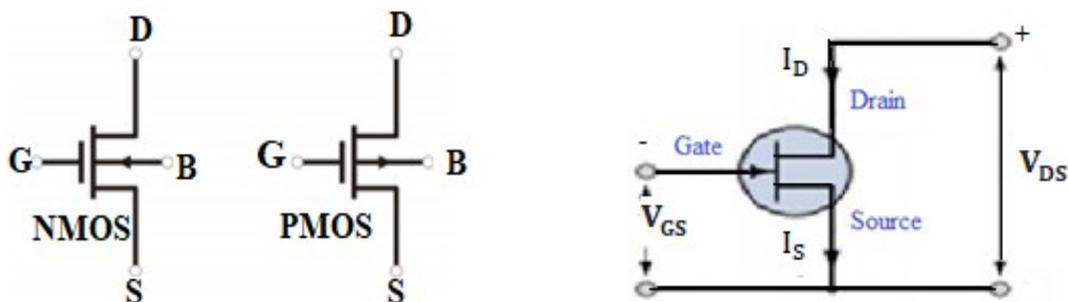


Figure 0.1 Symbole des transistors NMOS et PMOS

Chapitre I Etude des circuits analogiques

Les tensions mesurées sur les bornes du transistor MOS sont nommées:

- V_{DS} La tension entre le drain et la source du transistor
- V_{GS} La tension entre la grille et la source du transistor
- V_D : tension de drain du transistor
- V_G : tension de la grille du transistor
- V_S : tension de la source du transistor

I.1.2 La structure du transistor MOS

La structure physique d'un transistor NMOS. Elle est constituée d'un substrat de type P sur lequel deux régions, distantes de la longueur L , sont fortement dopées N (Drain et Source), et possèdent donc un grand nombre d'électrons libres. Une Grille (en Aluminium en général) est déposée sur ce substrat, entre le Drain et la Source, au travers d'une fine couche d'oxyde de silicium (SiO_2). La structure d'un transistor PMOS est semblable à celle du NMOS avec des dopages de polarité opposée pour le substrat ainsi le Drain et la Source.

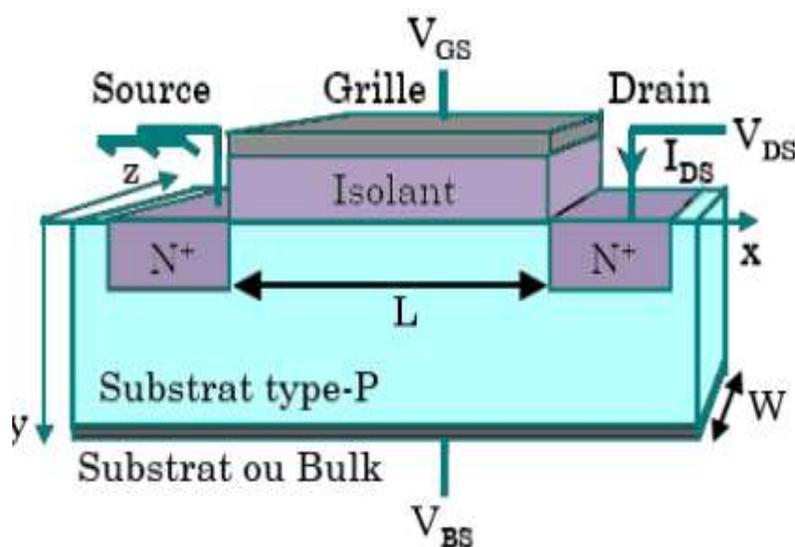


Figure 0.2 Vue schématique du transistor MOS type N

I.1.3 Différents types de transistors

Selon le type de semi-conducteur constituant le Substrat, on peut distinguer deux types de transistors ; les transistors NMOS et transistor PMOS.

Chapitre I Etude des circuits analogiques

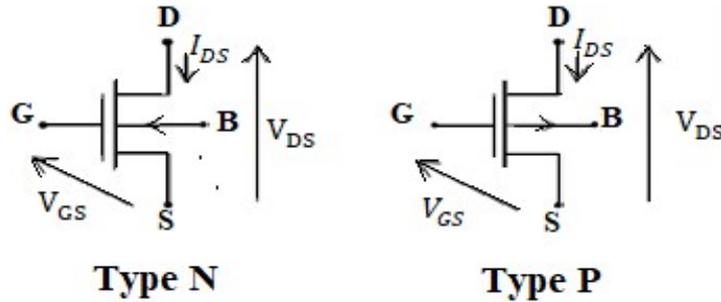


Figure 0.3 Symbole de transistor PMOS et NMOS

I.1.3.1 Les caractéristiques statiques des transistors NMOS et PMOS

On dispose donc de trois grandeurs (V_{GS} , V_{DS} , I_{DS}), qui en régime actif sont reliées par une relation. Le plus souvent (mais pas toujours) on utilise la tension grille-source V_{GS} et la tension drain-source V_{DS} pour commander le courant drain-source I_{DS} . La tension de seuil V_{th} n'est pas une tension de commande : c'est une caractéristique physique du transistor [3].

$$K_n = \mu_n C_{ox}, K_p = \mu_p C_{ox}$$

Tableau 0.1 Les caractéristiques de transistor NMOS et PMOS

Régime	tension	NMOS	PMOS
Bloqué	$V_{GS} < V_{th}$	$I_{DS} = 0$	$I_{DS} = 0$
Linéaire	$V_{DS} < V_{GS} - V_{th}$	$I_{DS} = K_n \left(\frac{W}{L}\right)_n (V_{GS} - V_{thn})V_{DS} - \frac{V_{DS}^2}{2}$	$I_{DS} = K_p \left(\frac{W}{L}\right)_p (V_{GS} - V_{thp})V_{DS} - \frac{V_{DS}^2}{2}$
Saturation	$V_{DS} \geq V_{GS} - V_{th}$	$I_{DS} = \frac{K_n}{2} \left(\frac{W}{L}\right)_n (V_{GS} - V_{thn})^2$	$I_{DS} = \frac{K_p}{2} \left(\frac{W}{L}\right)_p (V_{GS} - V_{thp})^2$

I.1.4 Le mode de fonctionnement

Le MOS est un composant microélectronique capable de commuter entre deux états de courant (courant ON et courant OFF). En utilisation logique, on dira qu'il est passant sa résistance est faible (ON) et bloqué (OFF) dans le cas contraire. Son principe de fonctionnement est régi par un effet de champ. Un champ électrique appliqué sur une de ses Electrodes qu'est la grille (le matériau conducteur) vient moduler la densité de charge contenue dans le canal (partie du semi-conducteur au contact d'isolant) de conduction lui-même situé entre deux autres électrodes que sont la source et le drain (réservoirs de porteurs).

Chapitre I Etude des circuits analogiques

La modulation du canal par la tension appliquée la grille permet de distinguer les deux états de fonctionnement [4]:

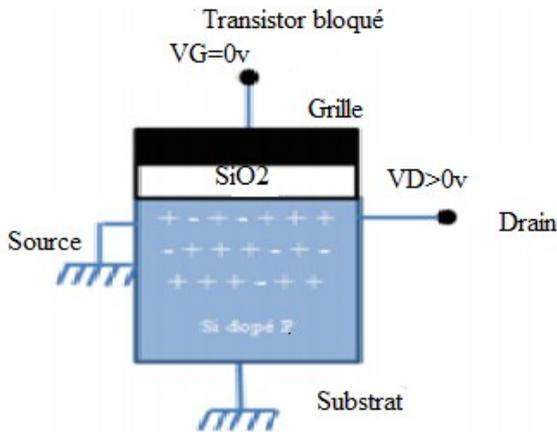


Figure 0.4 Transistor à l'état bloqué

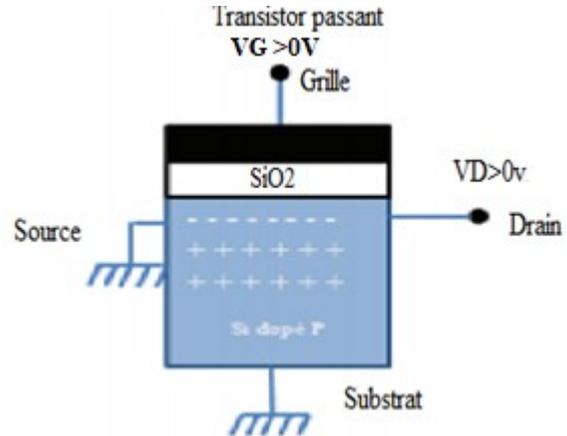


Figure 0.5 Transistor à l'état passant

▪ L'état bloqué : fonctionnement du transistor NMOS Lorsque le champ de grille est nul, un faible taux de porteurs libres est présent dans le canal et la résistance est forte entre la source et le drain valide aussi pour les dispositifs PMOS en inversant les polarisations

(Figure 0.4).

▪ L'état passant : fonctionnement du transistor NMOS en présence de champ électrique, des porteurs présents dans le canal sont susceptibles de se mouvoir et se déplacent d'un réservoir à l'autre. Si on apporte une différence de potentiel entre la source et le drain, un courant source-drain est alors généré, valide aussi pour les dispositifs PMOS en inversant les polarisations (Figure 0.5).

Ces deux états de fonctionnement sont possibles grâce à l'effet de champ dans le semi-conducteur, qui n'est pas fortement dopé.

I.1.5 Les caractéristiques du transistor MOS

Un transistor MOS peut être en régime bloqué et en régime actif (régime actif linéaire, régime actif saturé)

Chapitre I Etude des circuits analogiques

Les différentes régions de fonctionnement du transistor MOS sont montrées dans la (figure I.6), l'expression du courant I_{DS} dans ces trois régimes de fonctionnement en fonction des tensions V_{GS} et V_{DS} et des dimensions physiques et géométriques du transistor [5].

Les expressions du courant de drain en les différent région pour le transistor NMOS sont comme suit :

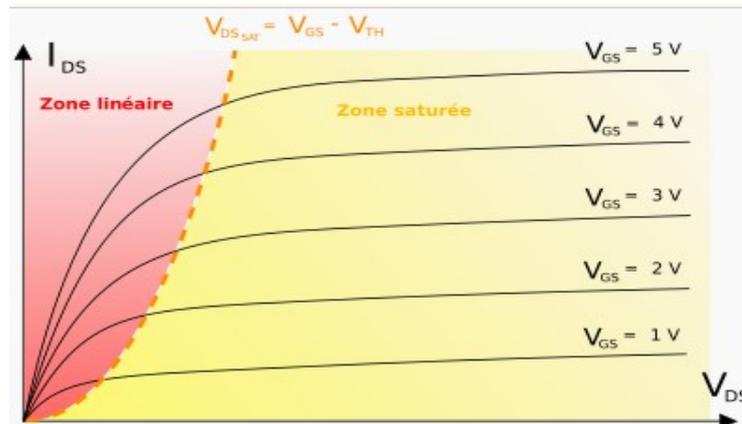


Figure 0.6 Caractéristique $I_D - V_{DS}$ d'un transistor MOS à canal N

Tableau I.2 Les caractéristiques de transistor MOS

Régime	Tension	Le courant
Bloqué	$V_{GS} \leq V_{th}$	$I_{DS} = 0$
Linéaire (ohmique)	$V_{GS} \geq V_{th}, V_{DS} < V_{GS} - V_{th}$	$I_{DS} = K_n \frac{W}{L} (V_{GS} - V_{th}) V_{DS} - \frac{V_{DS}^2}{2}$
Saturation	$V_{GS} \geq V_{th}, V_{DS} \geq V_{GS} - V_{th}$	$I_{DS} = \frac{K_n W}{2 L} (V_{GS} - V_{th})^2$

En résumé, on peut considérer que le transistor MOS comme une résistance commandée par la tension de grille lorsque la tension drain source reste faible face à la tension de seuil, en ce mode de fonctionnement est principalement utilisé pour réaliser des circuits digitaux. Lorsque la tension drain source est élevée le transistor se comporte comme une source de courant commandée par la tension de grille, on utilise ce mode de fonctionnement dans des applications analogiques.

Chapitre I Etude des circuits analogiques

I.1.6 Avantage et inconvénient du transistor MOS

Tableau I.3 Avantages et inconvénient du transistor MOS

Avantages	Inconvénient
<ul style="list-style-type: none">▪ Facile a fabriquer car peu d'opération▪ Petite surface de silicium▪ Il est symétrique▪ Très simple circuit de commande▪ Densité d'intégration très importante▪ Le bruit intrinsèque est toujours très faible▪ Faible consommation	<ul style="list-style-type: none">▪ MOS n'est pas très rapide▪ Très sensible à la contamination lors de la fabrication▪ Fragile au niveau de la grille▪ Il est nécessaire de prévoir une protection des entrées

I.2 L'inverseur

L'inverseur est la composante la plus simple des circuits numériques a technologie CMOS, qui est réalisé avec un transistor MOS canal P et un transistor MOS canal N qui sont polarité opposée tête-bêche, les deux grilles de ces transistors sont reliées entre elles et à l'entrée du montage. Il est complémentaire dans le principe de fonctionnement [6].

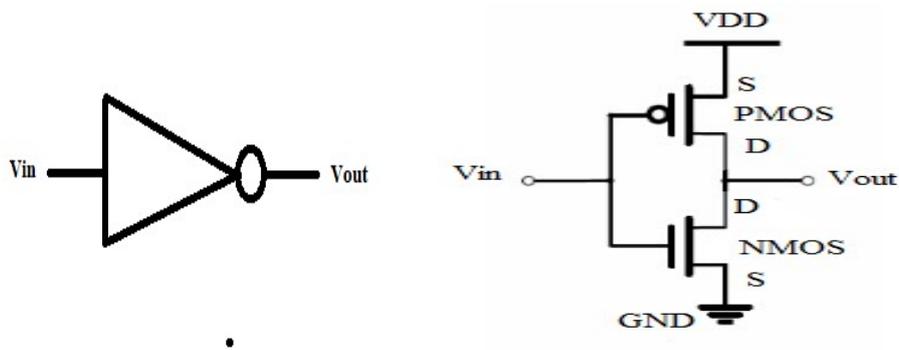


Figure 0.7 Symbole et structure électrique d'inverseur CMOS

I.2.1 Principe de fonctionnement de l'inverseur

Lorsque l'on fait varier le potentiel d'entrée V_{in} du montage de 0V à la tension d'alimentation notée V_{dd} , sa tension de sortie V_{out} varie de V_{dd} à 0V. On constate que lorsque V_{in} est proche de 0V ou de V_{dd} , un seul transistor conduit et l'autre est bloqué [7] :

Chapitre I Etude des circuits analogiques

➤ Lorsque l'entrée est à 0

- Le transistor NMOS est bloqué (interrupteur ouvert)

$$V_{in} = V_{ss} ; I_{DS} = 0$$

- Le transistor PMOS est passant (interrupteur fermé se comporte comme une résistance)

$$V_{in} = V_{ss} ; V_{GS} = -V_{dd} ; I_{DS} \neq 0$$

La sortie est reliée à la tension d'alimentation par l'intermédiaire du transistor PMOS, et isolée de la tension de référence par le transistor NMOS.

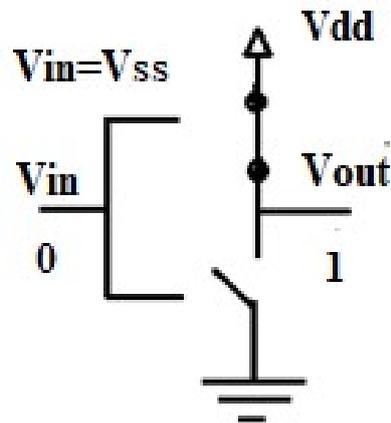


Figure 0.8 Fonctionnement de l'inverseur l'entrée 0

➤ Lorsque l'entrée est à 1

- Le transistor NMOS est passant (interrupteur fermé se comporte comme une résistance)

$$V_{in} = V_{dd} ; I_{DS} \neq 0$$

- Le transistor PMOS est bloqué (se comporte comme un interrupteur ouvert)

$$V_{in} = V_{dd} ; V_{GS} > V_T ; I_{DS} = 0$$

La sortie est reliée à la tension de référence par l'intermédiaire du transistor NMOS, et isolée de la tension d'alimentation par le transistor PMOS

Chapitre I Etude des circuits analogiques

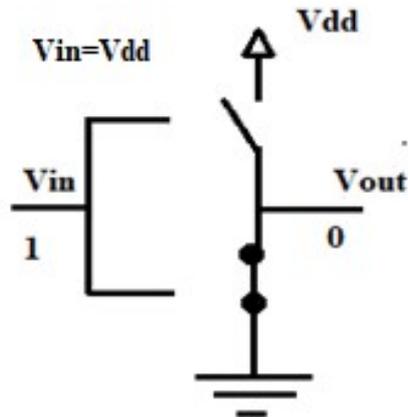


Figure 0.9 Fonctionnement de l'inverseur l'entrée 1

I.2.2 Caractéristique de transfert de l'inverseur

Construire la représentation graphique de la courbe $V_{in} = f(V_{out})$ de l'inverseur CMOS, en déterminant les points caractéristiques de la façon suivante

Considérons les différentes zones de la caractéristique de transfert (Figure I.10)

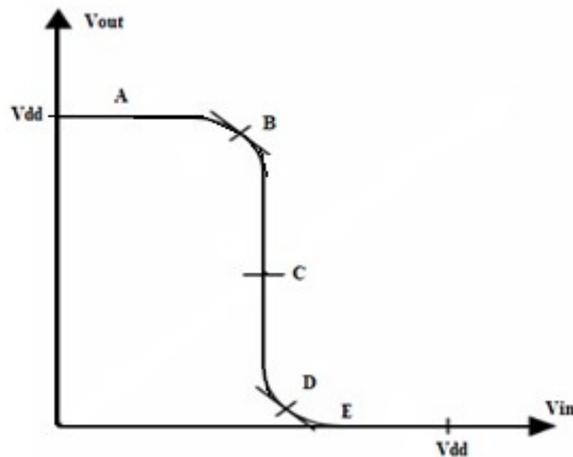


Figure 0.10 Caractéristique de transfert de l'inverseur

Nous noterons $V_{THN} = |V_{THP}| = V_{TH}$ la tension de seuil de deux transistors N et P

- Zone A : Tr_N bloqué ($V_{GS} < V_{th}$) $I = 0$, Tr_p quadratique ($V_{DS} = 0$) $V_{in} = V_{dd}$
- Zone B : Tr_N saturé ($V_{DS} \approx V_{dd}$), Tr_p quadratique $V_{DS} \approx 0V$
- Zone C : Tr_N saturé ($V_{DS} = \frac{V_{dd}}{2}$), Tr_p saturé $V_{DS} = \frac{V_{dd}}{2}$
- Zone D : Tr_N quadratique ($V_{DS} \approx 0V$), Tr_p saturé $V_{DS} \approx V_{dd}$
- Zone E : Tr_N quadratique ($V_{DS} = 0V$) $I = 0V$, Tr_p bloqué ($V_{GS} < V_t$), $V_{out} = 0V$

Chapitre I Etude des circuits analogiques

I.3 Miroir de courant

Dans la conception analogique, les miroirs de courant se prêtent bien à une analyse détaillée, qui réalisent des fonctions simples à pour le but de présenter le fonctionnement d'un miroir de courant et déterminer ces caractéristiques. Ils sont utilisés dans les circuits intégrés analogiques comme des éléments de polarisation et comme les dispositifs de charge pour les étages de l'amplificateur [8].

I.3.1 Définition de miroir de courant

Le miroir de courant est un dispositif simple construit de la boucle Translinéaire la plus simple comprend que deux transistors bipolaires de même nature ou MOS ou les circuits complexes, sont des circuits qui permettent de recopier un courant d'entrée I_{ref} en une sortie de courant I_d affectée d'un facteur de pondération K .

I.3.2 Caractéristiques

Pour être performant, un miroir de courant doit posséder les caractéristiques suivantes :

- Une faible tension de déchet d'entrée.
- Une faible impédance dynamique d'entrée.
- Une forte impédance de sortie (générateur de courant).

I.3.3 Principe de fonctionnement

Le courant d'entrée crée une tension V_{in} en traversant un transistor. Cette tension, appliquée au transistor de sortie, génère un courant égal au courant d'entrée. La mise en parallèle de plusieurs transistors de sortie permet de fixer le gain en courant K

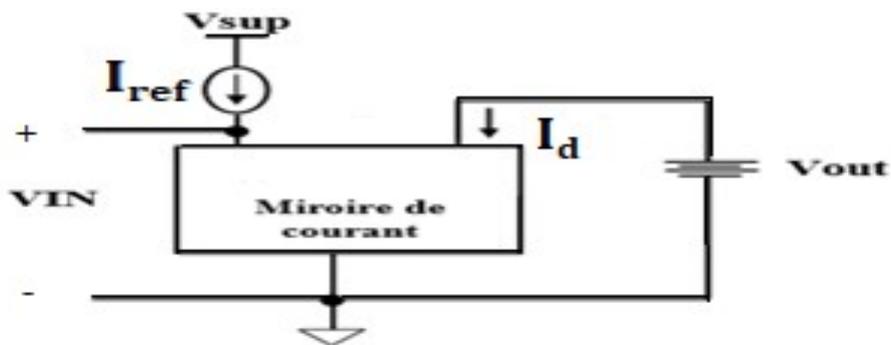


Figure 0.11 Schéma de principe d'un miroir de courant

Chapitre I Etude des circuits analogiques

I.3.4 Différents types miroirs de courant

Il existe plusieurs types de miroirs de courant, on s'est limité à trois types, qu'on va citer ci-dessous :

a. Miroir de courant simple

Le miroir de courant élémentaire représenté dans la (Figure I.12) est un circuit de base se constitue de deux transistors MOS (M1, M2). Si le potentiels grille-source V_{GS} de ces deux transistor identiques (ont la même géométrie), les courants circulent dans leur canal respectif doivent être égaux pour le régime de saturation (V_{DS} fort).

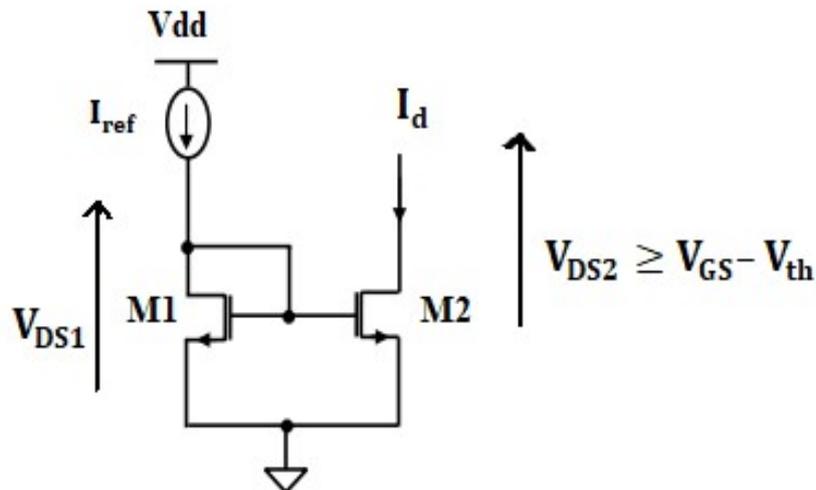


Figure 0.12 Miroir de courant simple

Soit I_{ref} le courant d'entrée et I_d le courant de sortie appelée aussi l'image de I_{ref}

Le transistor M1 est en saturation en peut écrire :

$$V_{DS1} = V_{GS} \quad (1.1)$$

$$V_{DS2} \geq V_{GS} - V_{th} \quad (1.2)$$

Alors V_{DS2} est plus grand que (V_{th}) avec cette affirmation permet de l'utilisation des équations de deux transistors dans le régime de saturation

$$I_{ref} = \frac{1}{2} \mu_{01} C_{ox1} \frac{W_1}{L_1} (V_{GS} - V_{th1})^2 (1 + \lambda V_{DS1}) \quad (1.3)$$

$$I_d = \frac{1}{2} \mu_{02} C_{ox2} \frac{W_2}{L_2} (V_{GS} - V_{th2})^2 (1 + \lambda V_{DS2}) \quad (1.4)$$

Chapitre I Etude des circuits analogiques

C_{ox1}, C_{ox2} : Capacités de l'angle mince (grille)

I_{ref} : Courant de référence

I_d : Courant de drain de transistor M2

W_1, L_1, W_2, L_2 : Les dimensions géométriques de deux transistors M1, M2

λ : coefficient de modulation de longueur du canal en V^{-1}

V_{th1}, V_{th2} : Les tensions de seuils de deux transistors M1, M2

V_{GS} : La tension d'entrée grille-source

V_{DS1}, V_{DS2} : Tension de sortie drain-source de deux transistors M1, M2

Le rapport $\frac{I_d}{I_{ref}}$ est donner par :

$$\frac{I_d}{I_{ref}} = \left(\frac{L_2 W_1}{L_1 W_2} \right) \left(\frac{V_{GS} - V_{th2}}{V_{GS} - V_{th1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_{02} C_{ox2}}{\mu_{01} C_{ox1}} \right) \quad (1.5)$$

Pour les composants d'un miroir de courant fabriques dans le même circuit intégré, les paramètres physiques tels que V_{th}, C_{ox}, U_{ox} sont identiques

$$(\mu_{01} C_{ox1} = \mu_{02} C_{ox2}, V_{th1} = V_{th2})$$

Pour les deux transistors nous pouvons donc simplifier l'équation (1.5)

$$\frac{I_d}{I_{ref}} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (1.6)$$

Finalement si $V_{DS1} = V_{DS2}$ le rapport $\frac{I_d}{I_{ref}}$ devient :

$$\frac{I_d}{I_{ref}} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \quad (1.7)$$

Par conséquent, le rapport $\frac{I_d}{I_{ref}}$ est une fonction des dimensions des deux transistors

L'impédance de sortie de la source de courant est tout simplement l'impédance de sortie de transistor M2.

Chapitre I Etude des circuits analogiques

En effet l'impédance de sortie d'un miroir de courant simple vaut :

$$r_{out} = r_{ds2} \quad (1.8)$$

Les 4 variables W_2, W_1, L_1, L_2 sont disponibles pour le concepteur pour choisir son courant

Pour la conception analogique, il est extrêmement important de maintenir l'impédance de sortie la plus élevée que possible. Il est bien voulu aussi de réduire les effets de la longueur du canal et la mobilité aux composants ces effets sont réduits par l'accroissement de la longueur du canal de ces composants.

b. Miroir de courant Cascode

La structure en Cascode de deux cellules de miroirs de courant représentée dans la (Figure I.13) peut imposer une rétroaction négative et peut également être employée pour augmenter l'impédance de sortie. Le plus généralement, ces types sont largement utilisés en circuit analogique et les sources de courant sont réalisées avec des miroirs de courant Cascode, il a des caractéristiques importantes qui peuvent être utilisées dans la réalisation des circuits électroniques tels que $I_{ref} = I_d$ et les résistances d'entrée et de sortie [9].

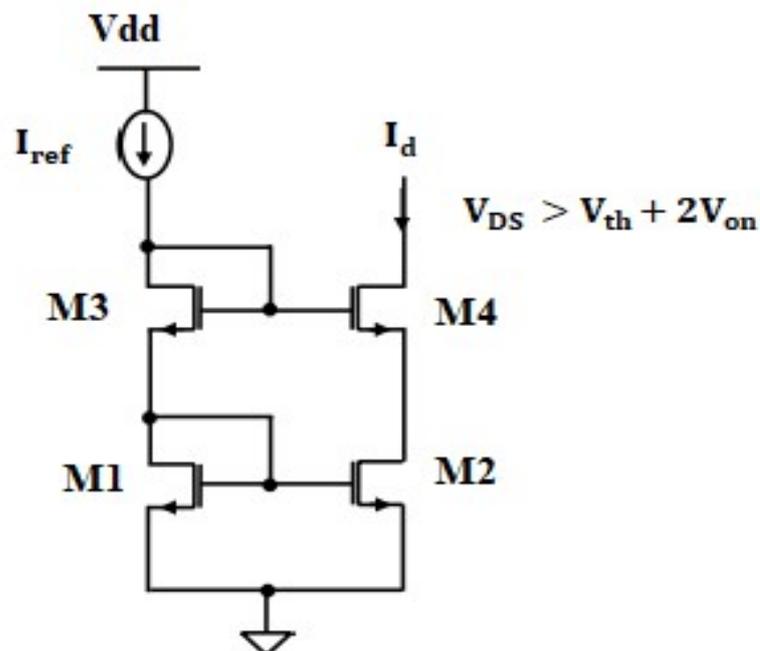


Figure 0.13 Miroir de courant Cascode

La configuration Cascode est utilisée pour réduire l'erreur présentée par la configuration simple, et augmenté l'impédance de sortie vaut :

Chapitre I Etude des circuits analogiques

les transistors M5 et M6 en saturation, M1 est redimensionné pour produire $2V_{th} + 3V_{on}$, C'est-à-dire $V_{GS} = 2V_{on} + V_{th}$, la tension de grille source du transistor M3 est $V_{on} + V_{th}$, la tension de grille de M5 devienne $2V_{on} + V_{th}$ pour accomplir ceci la largeur de M1 est faite à un quatrième la taille des autres transistors MOS[10].

L'impédance de sortie de ce type de miroir de courant est :

$$r_{out} = r_{ds2}g_{M4}r_{ds4} \quad (1.14)$$

Le Tableau I.4 suivant représente la tension et la résistance de sortie des différents types de miroirs de courant

Tableau I.4 La tension minimum et la résistance de sortie des trois miroirs de courant

Source de courant	Resistance de sortie r_{out}	La tension V_{min}
Simple	r_{ds2}	V_{on}
Cascode	$r_{ds2}g_{M4}r_{ds4}$	$V_{th}+2V_{on}$
Cascode wide-swing	$r_{ds2}g_{M4}r_{ds4}$	$2V_{on}$

d. Comparaison des différent types miroir de courant

Le tableau I.5 est un récapitulatif des avantages et inconvénients des miroirs de courant

Tableau I.5 Avantages et inconvinient des miroirs de courant

Type Miroir de courant	Avantage	Inconvenient
Miroir de courant simple	<ul style="list-style-type: none"> ▪ Circuit simple ▪ Grande tension 	<ul style="list-style-type: none"> ▪ Petite impédance de sortie ▪ Oscillation dans le signal de sortie
Miroir de courant Cascode	<ul style="list-style-type: none"> ▪ Une impédance de sortie plus élevée ▪ Réponse transitoire relativement bonne 	<ul style="list-style-type: none"> ▪ Petite oscillation de la tension de sortie
Miroir de courant Cascode wide-swing	<ul style="list-style-type: none"> ▪ Une impédance de sortie plus élevée ▪ Réponse transitoire relativement bonne 	<ul style="list-style-type: none"> ▪ Beaucoup de transistors

Chapitre I Etude des circuits analogiques

I.3.5 La paire différentielle en technologie CMOS

La paire différentielle est l'élément de base pour l'acquisition de tension. Elle est formée de deux transistors identiques connectés à une source de courant. La plupart des amplificateurs intégrés ont une entrée différentielle, les paires différentielles transforment des différences de tensions en différences de courants.

Ainsi, si on a une paire différentielle avec un miroir de courant comme étant une charge active, l'entrée différentielle complète, et le gain de l'étage de sortie peut être réalisé, comme il est montré sur (Figure I.15). Ce circuit est typiquement utilisé comme le premier étage du gain d'un amplificateur à deux étages dont lequel la paire différentielle d'entrée est réalisée en utilisant un transistor NMOS et la charge active est réalisé à l'aide des transistors PMOS [11].

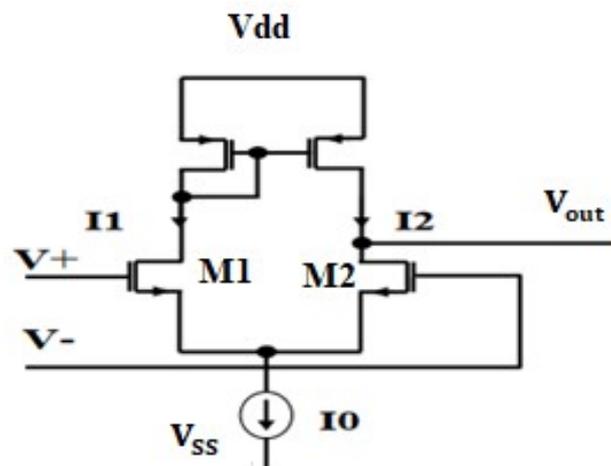


Figure 0.15 Une entrée différentielle

I.4 Amplificateur opérationnel

L'amplificateur opérationnel (OP-AMP) est un bloc fondamental dans la conception des circuits intégrés analogiques et mixtes est considérés comme la brique de base de l'électronique analogique. Il peut réaliser diverses opérations sur un signal électrique: amplification, comparaison, soustractions, additions, déphasage (décalages dans le temps), filtrages, etc. ses différentes fonctions à réaliser sont définies par des résistances, condensateurs, diodes, etc., auxquels ce composant est branché ainsi que de la topologie du circuit externe.

Ce composant est muni de 3 bornes de raccordements fonctionnelles: deux entrées (+ et -) et une sortie, aujourd'hui on trouve des amplificateurs opérationnels dans pratiquement tous les appareils électroniques [12].

Chapitre I Etude des circuits analogiques

▪ Symbole

Il existe comme souvent deux jeux de symboles pour les AOP. Les symboles Européens (Hors United Kingdom) et Américains (US) comme présenté Figure I.16

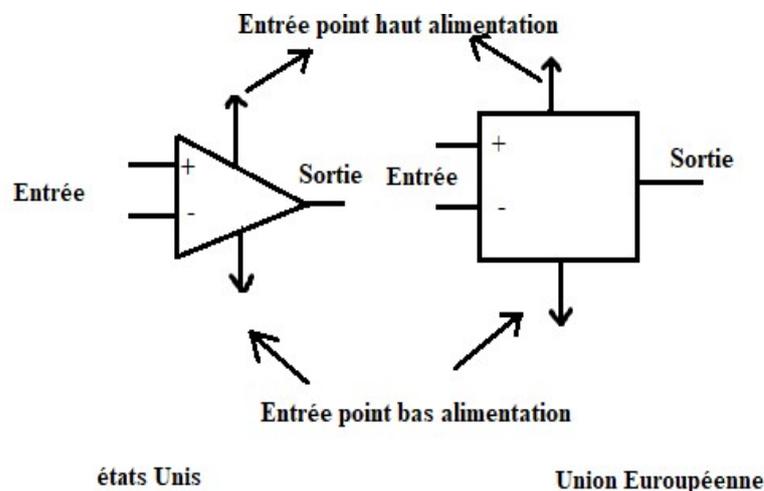


Figure 0.16 Les différents symboles d'amplificateur opérationnel

On utilise le symbole US qui est le plus ancien et le plus répandu dans la littérature technique, les AOP sont un des types de circuits de base de l'électronique basse fréquence. Ils présentent de très bonnes performances et sont très versatiles.

I.4.1 Caractéristique de L'AOP

Idéalement, un OP-AMP a un gain différentiel en tension infini, une impédance d'entrée l'infinie, et une impédance de sortie nulle, bande passante infinie, Offset nul en réalité, un OP-AMP est caractérisé par :

- Le gain de tension en boucle ouverte, pour des op-amps réel, des valeurs finies et typiques pour de basses fréquences est $A=10^3$ à 10^5 , correspondant à 60 au 100 dB
- La tension d'offset, pour un OP-AMP idéal, si $V_+=V_-$, $v_{off}=0$, dans les dispositifs réels, la tension d'offset $V_{off} \neq 0$, se produira à la sortie pour les entrées sont court-circuitées, puisque v_{off} est directement proportionnel au gain, pour MOS OP-AMP, V_{off} est en général entre $2\pm$ à 10mv
- Très faibles courants de polarisation en entrée
- Très grande amplification ($>10^5$)

Chapitre I Etude des circuits analogiques

I.4.2 Amplificateur opérationnel a deux étages

La Figure 0.17 montre un schéma d'un amplificateur opérationnel CMOS de base à deux étages. Un étage différentiel d'entrée pilote une charge active suivi d'un second étage de différentiel et un étage de sortie, ainsi qu'une résistance et un condensateur pour assurer la stabilité, l'étage de polarisation sert à la polarisation de la paire différentielle et l'étage de sortie. Ce système est plus complexe, l'augmentation du gain et l'impédance de sortie [13].

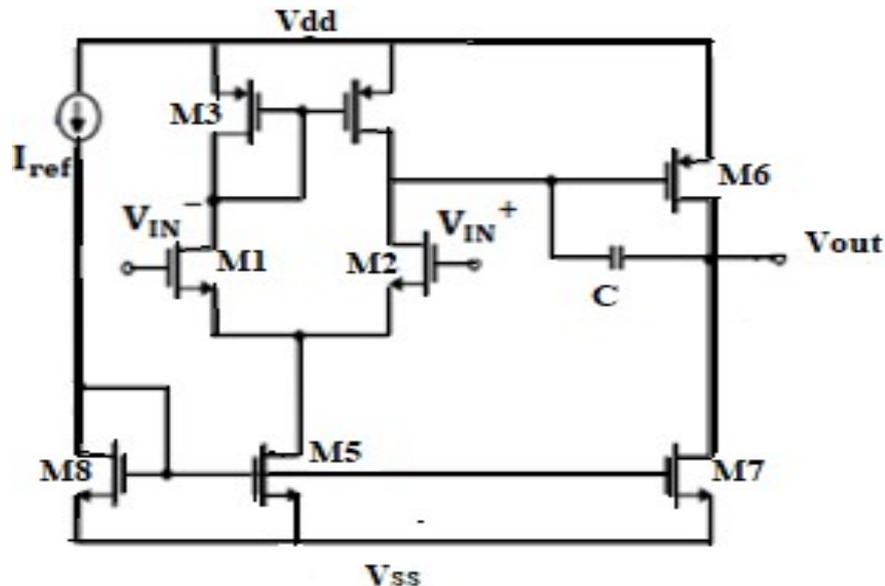


Figure 0.17 Amplificateur opérationnel à deux étages

I.5 Porte de transmission (transmission gate TG)

Les portes de transmissions sont des composants fondamentaux dans les applications des circuits dynamiques (analogiques ou numériques).

La porte de transmission CMOS est constituée d'un NMOS M_n et PMOS M_p connecté en parallèle tels que les grilles sont commandées par des tensions complémentaires, V_G appliqué au NMOS et $(V_{dd}-V_G)$ appliqué au PMOS fonctionne bien dans de nombreuses applications, ce circuit permet de réaliser un interrupteur bidirectionnel.

La porte de transmission est conçue pour agir en tant que commutateur commandé par tension [14].

- Si V_G est au niveau haut, les deux transistors M_n et M_p sont saturés, dans cet état le circuit est essentiellement un interrupteur fermé.

Chapitre I Etude des circuits analogiques

- Si V_G est à niveau bas, alors deux transistors M_n et M_p sont bloqués et le circuit est essentiellement un interrupteur ouvert.

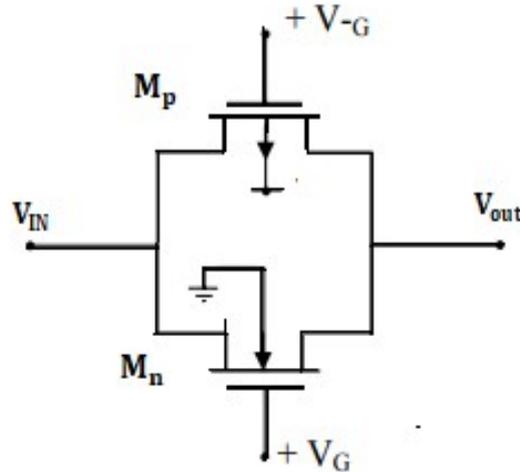


Figure 0.18 Porte de transmission

Dans ce circuit Le dispositif qui fonctionne dans la région linéaire équivalente d'une résistance, avec la tension de la grille on peut contrôler la résistance entre le drain et la source, cette résistance est exprimée par la relation suivante

$$R_{ON} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{th})} \quad (I.15)$$

Conclusion

Nous avons présenté au sein de ce chapitre les transistors MOS pour les quels nous avons expliqué le mode de fonctionnement dégageant ainsi leurs caractéristiques électriques ainsi les différents comportements du composant actif utilisé dans la conception de nos modules qui est décrit dans le troisième chapitre qui se suit dans un premier temps nous sommes intéressés à étudier l'inverseur avec tout leur principe de fonctionnement. Nous avons passé par la suite par une revue sur l'ensemble des miroirs de courant, l'amplificateur opérationnel à deux étages. Nous sommes intéressés à la conception de cette cellule en technologie CMOS

Finalement nous avons terminé notre chapitre par une brève étude sur la porte de transmission en technologie CMOS.

Chapitre II : Etude d'un convertisseur numérique analogique

Chapitre II Etude d'un convertisseur numérique analogique

II Introduction

De nombreux systèmes électroniques utilisent le convertisseur numérique analogique (CNA), qui est un composant électronique essentiels qui assurent la communication de générer à partir d'une valeur numérique (codée sur plusieurs bits) une valeur analogique proportionnelle à la valeur numérique codée. Le plus fréquemment il s'agira de tension électrique. Ce qui présente un développement particulier à l'heure actuelle. Ce chapitre concerne le convertisseur numérique analogique, dans le premier temps on a présenté les différentes architectures qui existent dans la littérature de convertisseur (le CNA à résistance R2R et le CNA à capacité), on va ensuite sur une petite explication pour une meilleure compréhension sur le principe de fonctionnement de convertisseur numérique analogique, enfin on termine par les différentes caractéristiques du CNA nécessaire.

II.1 Architecture de convertisseur numérique analogique

Il existe principalement deux types de CNA sur le marché sont dits parallèles lorsque la valeur analogique de sortie est obtenue directement, la famille de ces convertisseurs sont les plus populaires. On les subdivise en deux sous catégories : les CNA à échelle R2R et les CNA à capacité.

II.1.1 Convertisseur numérique analogique à R2R :

Le type de convertisseur numérique analogique le plus populaire est le réseau R2R. Une entrée numérique est branchée à des interrupteurs (1 interrupteur par bit), puis a un réseau R2R de résistances. La sortie de ce réseau R2R est un courant, proportionnel au code numérique d'entrée, qu'il faut ensuite convertir en tension.

Ce réseau est montré à la (figure II.1) Les interrupteurs sont contrôlés par les bits de l'entrée numérique [15].

Chapitre II Etude d'un convertisseur numérique analogique

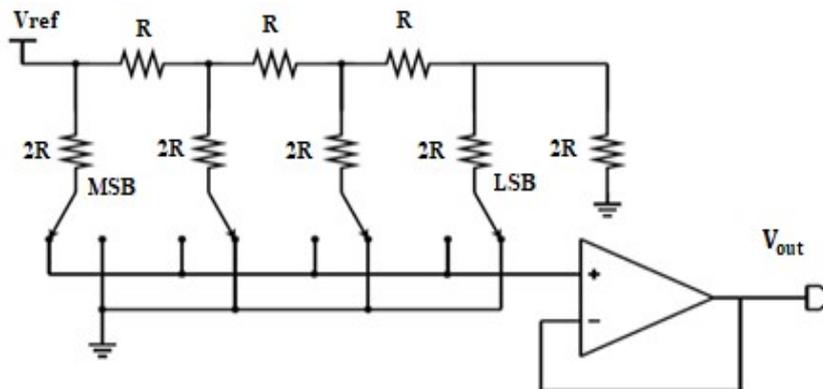


Figure II.1 Convertisseur numérique analogique à R2R

II.1.2 Convertisseur numérique analogique à capacité

Un CNA à capacités pondérées en binaire est une architecture de CNA très efficace en termes de dissipation d'énergie. Il est dédié aux systèmes à résolution et vitesse moyennes.

Il comporte des capacités placées en parallèles pondérées de façon binaire, leur pondérations va de C_u à $2^N C_u$, C_u est la capacité unitaire. l'armature supérieure des capacités est connectés à l'entrée non inverse d'amplificateur opérationnel, elle est connectés à la masse via un switch (interrupteur) commander par une horloge ϕ . l'armature inférieure de chacune des capacités pondérées peut être connectés, soit à la masse, soit à la tension de référence, via un switch (interrupteur) commandé par une horloge $\bar{\phi}$ et le bit correspond du mot d'entrée numérique D et l'armature inférieure de la capacité de terminaison est connecté à la masse [16].

La conversion de l'entrée numérique est :

$$D = b_1, b_2, \dots, b_N \text{ (avec } b_1 \text{ le MSB correspondant à } C_u, b_N \text{ le LSB correspondant à } 2^N C_u)$$

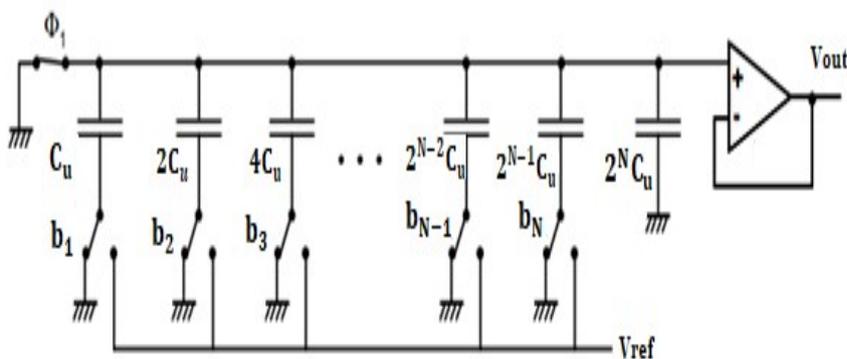


Figure II.2 Convertisseur numérique analogique à capacité

Chapitre II Etude d'un convertisseur numérique analogique

II.1.3 Comparaison des architectures

Le tableau II.1 est un récapitulatif des avantages et inconvénients des CNA présentés jusqu'ici

Tableau II.1 Avantages et incvnients des CNA

Type de convertisseur	Avantages	Inconvénient
CNA à R2R	<ul style="list-style-type: none">▪ Simple conversion directe▪ Adapté aux technologie CMOS	<ul style="list-style-type: none">▪ Manque de précision pour un nombre de bits élevée
CNA à capacité	<ul style="list-style-type: none">▪ Conversion bien pricise▪ Adapté aux technologie CMOS	<ul style="list-style-type: none">▪ Augmentation des capacités Avec le nombre de bits

II.2 Principe de fonctionnement de CNA

Un CNA (DAC en anglais, digital to analog converter) est un circuit qui est employé pour convertir une configuration binaire en une grandeur analogique directement proportionnelle à la valeur décimale de la configuration. Les entrées d'un convertisseur N bits sont des niveaux logiques (b_0, b_1, b_2, \dots) Prenant les états logiques '0' ou '1'. Généralement la sortie du convertisseur est une tension électrique, mais certains convertisseurs ont une sortie en courant [17].

La sortie analogique est une tension ou un courant il obtient à l'équation suivante :

$$V_{\text{out}} = V_{\text{ref}} [b_0 2^{N-1} + b_1 2^{N-2} + \dots + b_{N-2} 2^1 + b_{N-1} 2^0] \quad (\text{II.1})$$

Ou encore :

$$V_{\text{out}} = V_{\text{ref}} 2^N \left[b_0 \frac{1}{2^1} + b_1 \frac{1}{2^2} + \dots + b_{N-2} \frac{1}{2^{N-1}} + b_{N-1} \frac{1}{2^N} \right] \quad (\text{II.2})$$

Ou V_{ref} est une tension de référence, V_{out} est une tension de sortie analogique, les coefficients b_i $i=0, 1, \dots, N-1$ sont les bits de mot d'entrée.

Chapitre II Etude d'un convertisseur numérique analogique

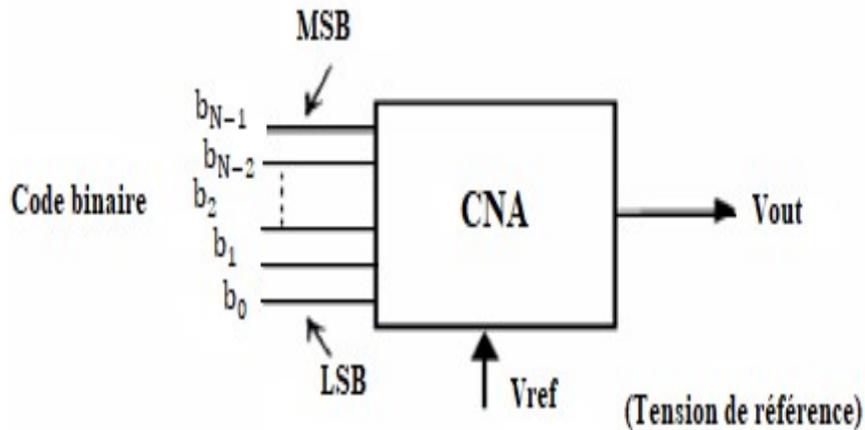


Figure II.3 Synoptique d'un convertisseur numérique analogique

II.3 Les caractéristiques transferts de CNA à 3 bits

La caractéristique de transfert idéal est une courbe en escalier, l'enveloppe de cette caractéristique est une droite dans le cas d'un convertisseur idéal, qui sert de référence pour l'analyse des erreurs (les écarts sont mesurés par rapport à la droite idéale).

La fonction de transfert d'un CNA idéal est représentée (figure II.4), pour une résolution N de 3-bits. L'axe horizontal représente les états numériques discrets en entrée V_{num} , et l'axe vertical la sortie analogique V_{analog} . La dynamique du signal d'entrée V_{analog} est comprise entre 0 et V_{max} . Dans le cas idéal la hauteur d'une « marche » est constante et vaut V_{LSB} [18] [19].

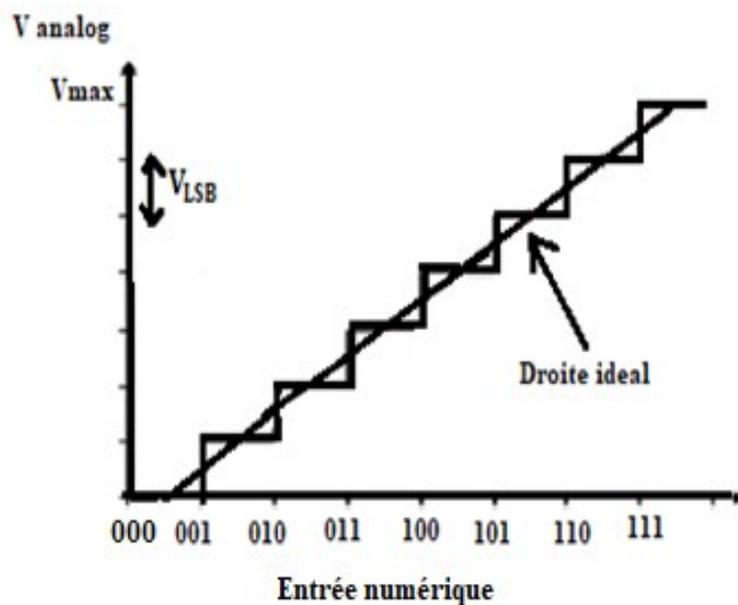


Figure II.4 Caractéristique de transfert d'un CNA à 3 bits

Chapitre II Etude d'un convertisseur numérique analogique

II.3.1 Plein échelle

On appelle « tension pleine échelle » d'un CNA la tension maximale que peut prendre la sortie. Cette tension pleine échelle est obtenu en appliquant à l'entrée du CNA la valeur numérique la plus grande, c'est-à-dire lorsque tous les bits d'entrées sont au niveau logique haut ($N = N_{\max}$).

$$PE = \frac{2^N - 1}{2^N} * V_{REF} \quad (II.3)$$

II.3.2 Résolution

La résolution est définie comme la plus petite variation de tension de sortie décelable ou encore comme le nombre de bit convertisseur, qui peut être provoquée par une modification du signal numérique d'entrée. C'est pour cela dépend essentiellement de nombre de bits, la raison pour la quelle les fabricant expriment généralement la résolution d'un CNA comme nombre de bit et exprimée en % PE du CNA.

$$R = \frac{PE}{2^N} \quad (II.4)$$

II.3.3 Précision

La précision est appelée aussi l'erreur pleine échelle traduit la différence entre la tension de sortie obtenue et la tension de sortie théorique (idéale) et inclut toutes les sources d'erreurs (la non-linéarité, l'erreur d'offset...) elle s'exprime en pourcentage %PE. La précision du convertisseur N bits.

$$\Delta V_e \leq \frac{PE}{2^{N+1}} \quad (II.5)$$

II.3.4 LSB

Le LSB ou l'incrément définit le changement possible le plus petit de la tension de sortie analogique. Un LSB peut être définit comme :

$$1\text{LSB} = \frac{V_{REF}}{2^N} \quad (II.6)$$

Chapitre II Etude d'un convertisseur numérique analogique

II.4 Les performances de convertisseur numérique analogique

Plusieurs paramètres permettent de décrire les performances du CNA sont définis dans cette partie. Les principaux paramètres d'un convertisseur se distinguent en deux catégories : les performances statiques et les performances dynamiques, cependant ces mesures permettent une meilleure précision sur cette estimation.

II.4.1 Performance statique

On peut définir de nombreuses erreurs selon le degré de performances qu'on veut attendre. Les erreurs statiques sont celles qui affectant la précision du convertisseur quand celui-ci est utilisé pour créer des signaux continus (DC). Elles peuvent être caractérisées avec quatre termes : l'erreur de décalage (Offset), l'erreur de gain, la non-linéarité intégrale et la non-linéarité différentielle. Elles sont exprimées soit en LSB, soit en pourcentage de la pleine échelle de convertisseur N/A [20] [21].

a. L'erreur d'offset (Décalage)

L'erreur d'offset c'est la tension de décalage entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée en mettant une valeur nulle d'un CNA (Figure II.5). Cette erreur est la même pour tous les points. Elle peut souvent être compensée par un réglage externe au CNA.

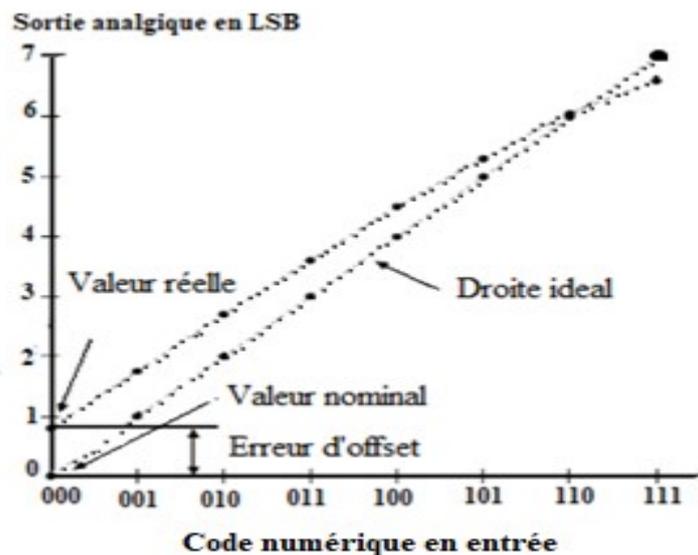


Figure II.5 Erreur d'Offset

Chapitre II Etude d'un convertisseur numérique analogique

b. Erreur de gain

Erreur de gain est la dernière comme la différence entre la valeur nominale et la valeur réellement présente pour un code numérique en entrée correspond à la plus grande valeur réalisable d'un CNA (figure II.6). L'erreur pour les points en zéro étant identiques, elle peut aussi être compensée par un réglage externe au convertisseur numérique analogique.

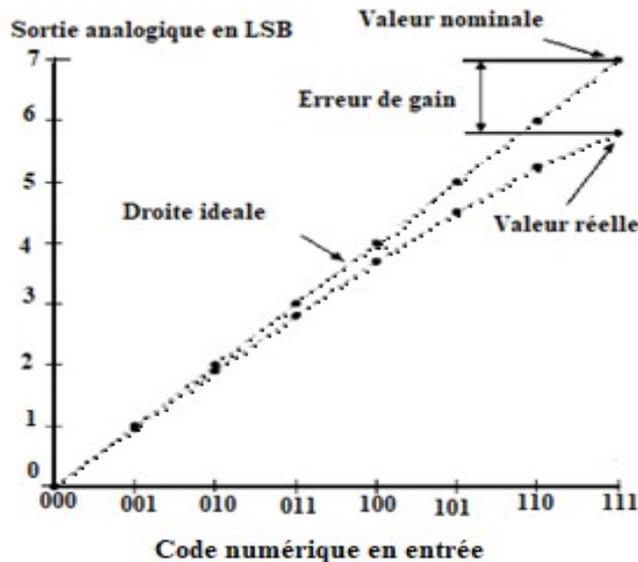


Figure II.6 Erreur de gain

c. Les erreurs de linéarité

L'erreur de linéarité est due au fait que la résolution des convertisseurs n'est pas constante. On distingue deux formes de non linéarité :

c.1. La non linéarité différentielle (DNL)

Concerne la différence de tension obtenue Lors du passage au code numérique immédiatement supérieur ou inférieur, théoriquement cette valeur vaut 1LSB, ce dernier sera la différence entre l'écart mesuré et le LSB théorique.

En général et pour des causes technologiques bien identifiées le maximum de non linéarité différentielle se trouve à la moitié de la pleine échelle (passage du MSB de 0 à 1) et ensuite à moindre degré à $\frac{1}{4}$ et $\frac{3}{4}$ de la pleine échelle

Chapitre II Etude d'un convertisseur numérique analogique

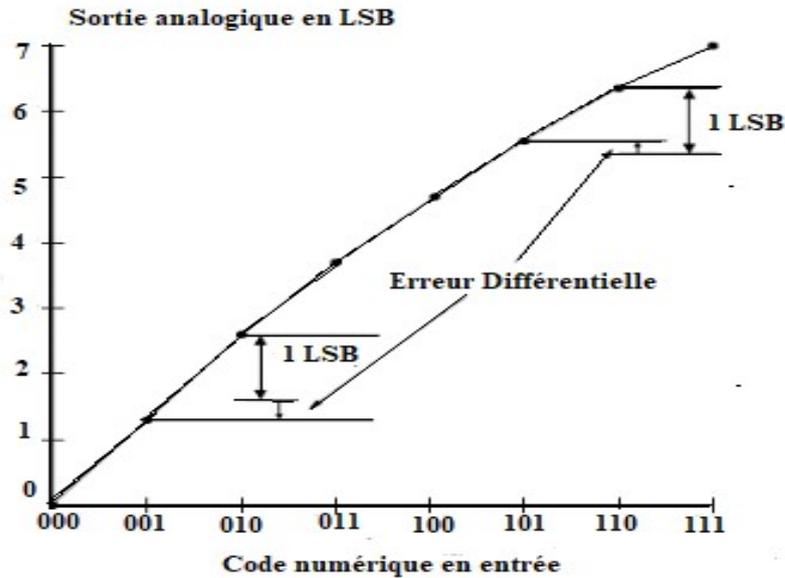


Figure II.7 Erreur de non linéarité différentielle

c.2. La non linéarité intégrale (INL)

Concerne la dernière pour chaque code numérique possible comme la différence entre la valeur analogique obtenue et la valeur appartenant au segment de référence. Ce segment de référence peut être choisi arbitrairement. La solution la plus simple est de faire passer par les deux points extrêmes du convertisseur numérique analogique mais cela n'est pas forcément représentatif de la linéarité. Il faut donc trouver le segment qui minimise l'erreur. De même que pour l'erreur différentielle, cette seule valeur ne permet pas de caractériser le convertisseur numérique analogique car elle ne donne que l'erreur maximale, est exprimée en LSB.

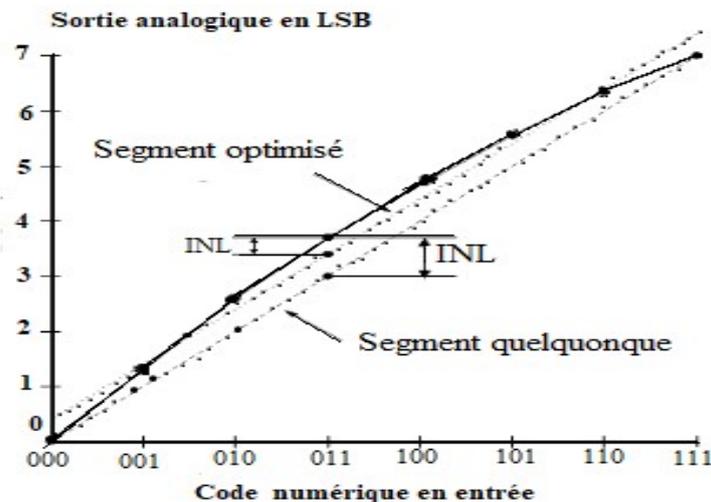


Figure II.8 Erreur de non linéarité intégrale

Chapitre II Etude d'un convertisseur numérique analogique

II.4.2 Performance dynamique

Les paramètres dynamiques permettent de déterminer la distorsion subie par le signal numérique d'entrée ainsi que le bruit ajouté à ce signal. De plus, ils serviront de critère de comparaison des différentes architectures que nous verrons par la suite. On a les paramètres dynamiques que sont le SNR, la SFDR (Spurious- Free Dynamic Range), SNDR et la THD (Le taux de distorsion harmonique) [22] [23].

a. Rapport signal sur bruit (SNR)

Le rapport signal sur bruit est le rapport entre la puissance du signal (fondamentale) et la puissance du bruit à la sortie du convertisseur, il est donné souvent en décibel (dB) Cette mesure nous permet de calculer le nombre de bits effectifs en pratique le rapport signal sur bruit théorique SNR_{th} donnée en fonction du nombre de bits .

$$SNR_{dB} = 10 \log \left(\frac{P_{signal}}{P_{Bruit}} \right)$$

b. Distorsion harmonique totale (THD)

La distorsion harmonique totale est le rapport entre la puissance des harmoniques les plus significatif et celle du signal (fondamentale).

Elle est exprimé en pourcentage (%), il est largement utilisé en génie électrique et dans la gestion des harmoniques en particulier.

$$THD = 10 \log \left(\frac{P_{Harmonique}}{P_{signal}} \right)$$

c. Dynamique sans parasite (SFDR)

Le rapport dynamique sans parasite est défini comme étant le rapport entre la puissance du signal (fondamentale) et la puissance du plus haut harmonique (raie parasite), elle est exprimée en décibel (dB).

$$SFDR_{dB} = 20 \log \frac{a_1}{\max (s, a_k)}$$

Chapitre II Etude d'un convertisseur numérique analogique

d. Signal sur bruit et harmonique (SNDR)

Le rapport signal sur bruit et harmonique est le rapport entre la puissance du signal et la puissance du bruit et la puissance des composants harmoniques à la sortie du convertisseur la SNDR est toujours inférieure au SNR.

$$\text{SNDR} = 10 \log \left(\frac{P_{\text{signal}}}{P_{\text{Bruit+distors}}} \right)$$

Conclusion

Dans ce chapitre, nous avons présenté les différentes architectures les plus utilisés CNA à R2R et CNA à capacité ainsi une comparaison entre les différentes architectures, on a ensuite introduit le principe de fonctionnement et les caractéristiques de convertisseur numérique analogique, finalement les différentes performances statiques (INL, DNL, Offset, Gain) et dynamiques (THD, SNR, SFDR, SNDR).

Chapitre III : Simulation des circuits analogiques et CNA

Chapitre III Simulation des circuits analogiques et CNA

III Introduction :

Ce chapitre est consacré à l'étude des caractéristiques principales des éléments conçus dans le premier chapitre les circuits analogiques pour abordée les différentes architectures du convertisseur numérique analogique. Les tests et les résultats de fonctionnement des éléments sont réalisés sur logiciel Cadence. Cette bibliothèque est développée avec la technologie CMOS 0.13 μ m de TSMC (Taiwan Semiconductor Manufacturing Company) la tension d'alimentation utilisé en simulation est de 1v très base tension.

III.1 Outil conception cadence

Cadence (Cadence Design Systems) est un outil de conception des circuits microélectroniques assiste par l'ordinateur. Il a été créé en 1988 par la fusion des entreprises SDA Systems et ECAD. C'est aujourd'hui un des logiciels le plus utilisé dans l'industrie électronique et microélectronique.

Le démarrage du logiciel doit inclure toute une phase de configuration de variables d'environnement, pour qu'il lance correctement un design kit qui est chargé au démarrage afin de relier le circuit simulé à un process technologique. Les circuits qui vont être conçu doivent être organisés au sein des librairies, associées avec des design kits.

III.2 L'inverseur

Cette partie est consacrée à la conception et à la simulation de l'inverseur CMOS. L'inverseur CMOS est la porte la plus simple de la logique complémentaire, il est formé par l'association d'un NMOS et d'un PMOS, comme il est représenté dans la (Figure III.1).

Chapitre III Simulation des circuits analogiques et CNA

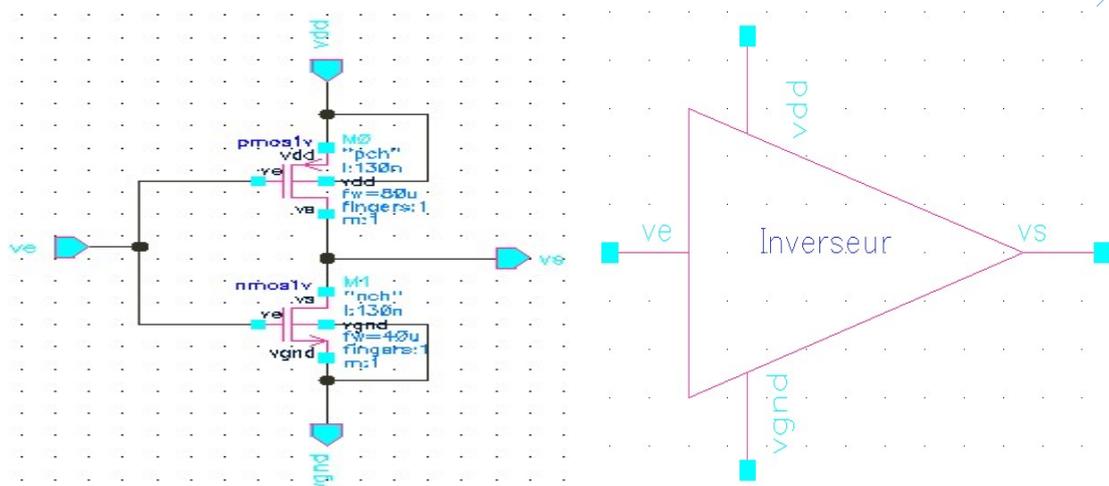


Figure III.1 Schéma interne et symbole de l'inverseur CMOS

III.2.1 Simulation

Le rôle de ces simulations est la validation du fonctionnement de l'inverseur CMOS, simulation DC (l'optimisation de l'inverseur) et une simulation temporelle (temps de la montée, de la descente de la sortie et le temps de propagation) dans l'inverseur CMOS.

III.2.2 Simulation DC

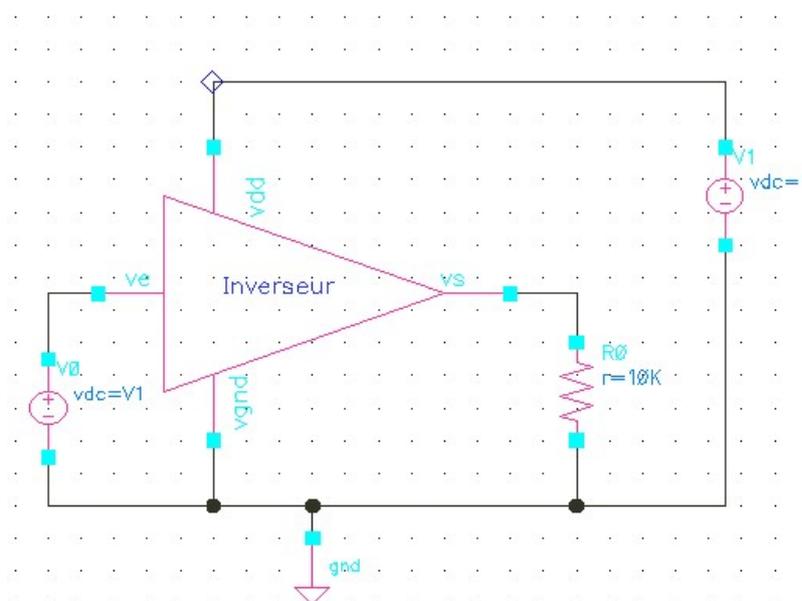


Figure III.2 Simulation DC de l'inverseur CMOS

Chapitre III Simulation des circuits analogiques et CNA

a. Résultat d'analyse DC

On a fait une analyse DC en premier pour une variation de signal d'entrée du 0V à 1V, ce qui nous permet de déterminer le point de fonctionnement est de 0.48V et les tensions qui vont représenter un « 1 » logique et un « 0 » logique. La (figure III.3) représente une courbe de la sortie Vs l'entrée et le courant circulé dans l'inverseur.

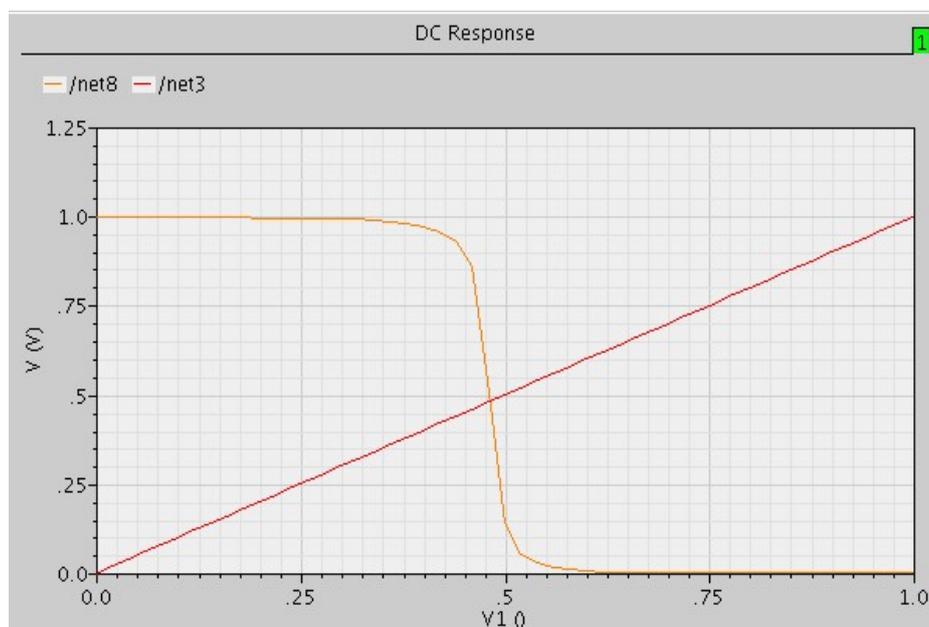


Figure III.3 Courbe de transfert de tension de l'inverseur CMOS

III.2.3 Simulation transitoire (temporelle)

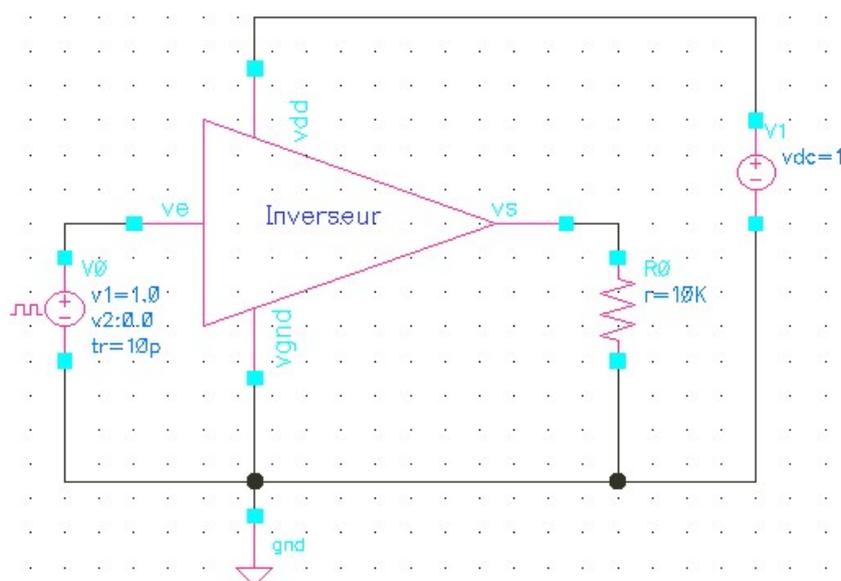


Figure III.4 Simulation temporelle de l'inverseur CMOS

Chapitre III Simulation des circuits analogiques et CNA

b. Résultat d'analyse temporelle

On fait une analyse transitoire de l'inverseur CMOS pour une entrée d'un signal carré, ce qui nous permet de trouver les caractéristiques (la fréquence de fonctionnement, délai de propagation,...) de la porte réalisé. La (figure III.5) représente la courbe de fonctionnement dans l'inverseur en régime temporelle sous forme signal carré de 0V à 1V.

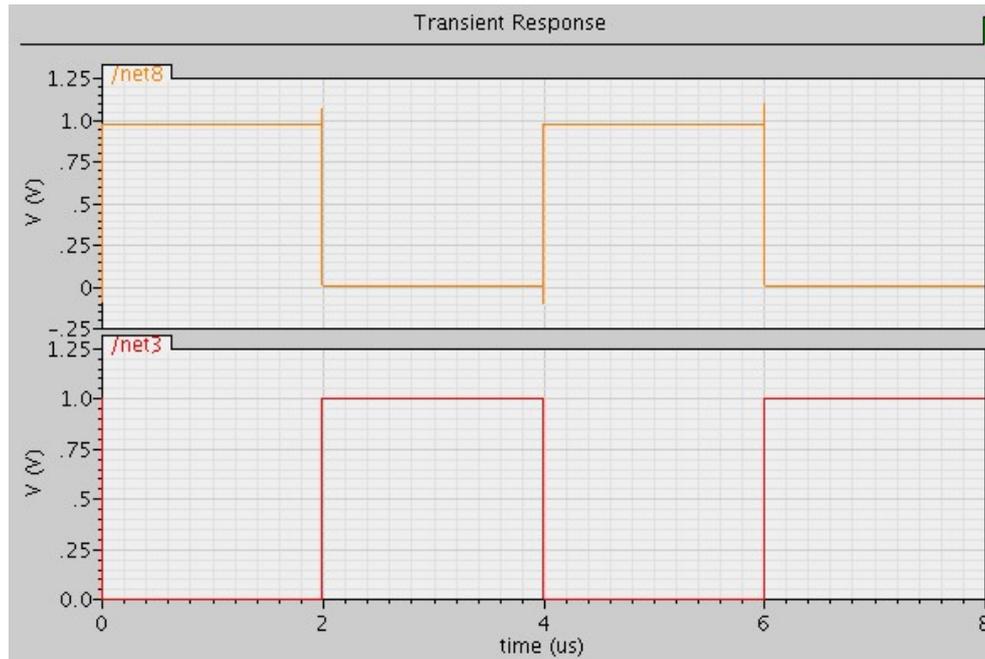


Figure III.5 Courbe de fonctionnement de l'inverseur CMOS

III.3 Amplificateur opérationnel CMOS à 2 étages

Dans cette partie on a présenté un amplificateur opérationnel à deux étages est constitués d'un étage de polarisation (miroir de courant de type Cascode) et un étage d'amplification différentiel et un autre étage de sortie, ainsi qu'une résistance et un condensateur pour assurer la stabilité, l'étage de polarisation sert à polarisation la paire différentiel et l'étage de sortie.

Chapitre III Simulation des circuits analogiques et CNA

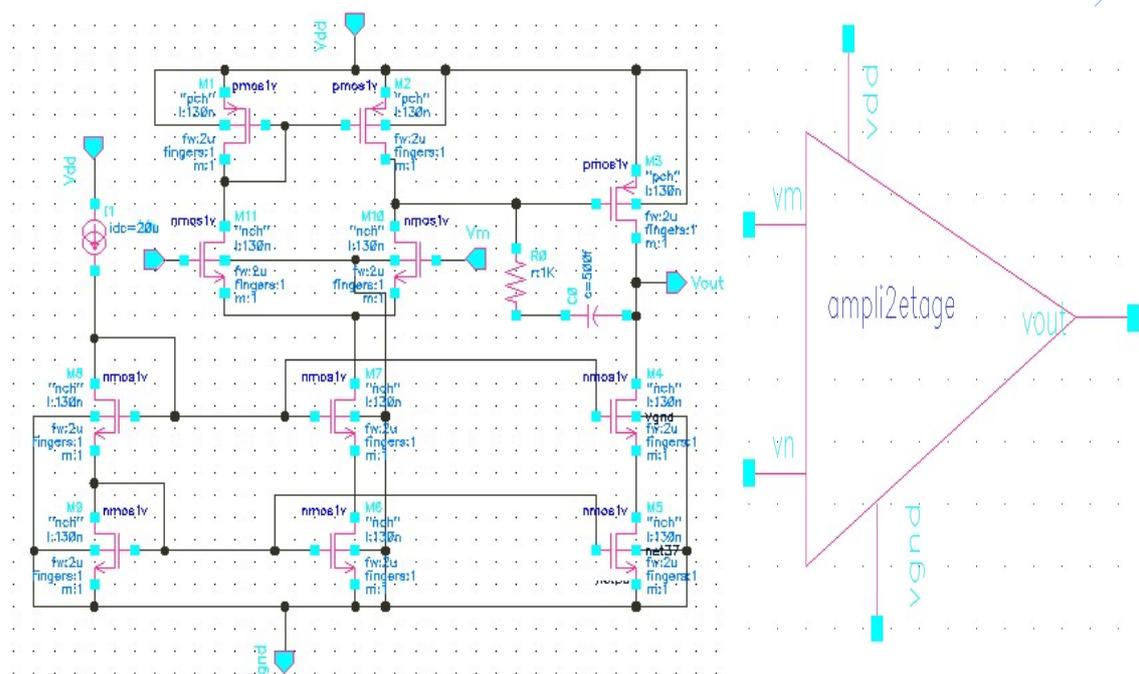


Figure III.6 Schémas interne et symbole de l'amplificateur opérationnel à deux étages

III.3.1 Les Simulation d'amplificateur opérationnel à deux étages CMOS

Le rôle de ces simulations est la validation du fonctionnement de l'amplificateur opérationnel à deux étages CMOS, simulation DC et simulation temporelle ainsi que la simulation AC. Nous permet de comprendre et optimiser le fonctionnement de notre circuit AOP à 2 étages.

III.3.2 Simulation DC

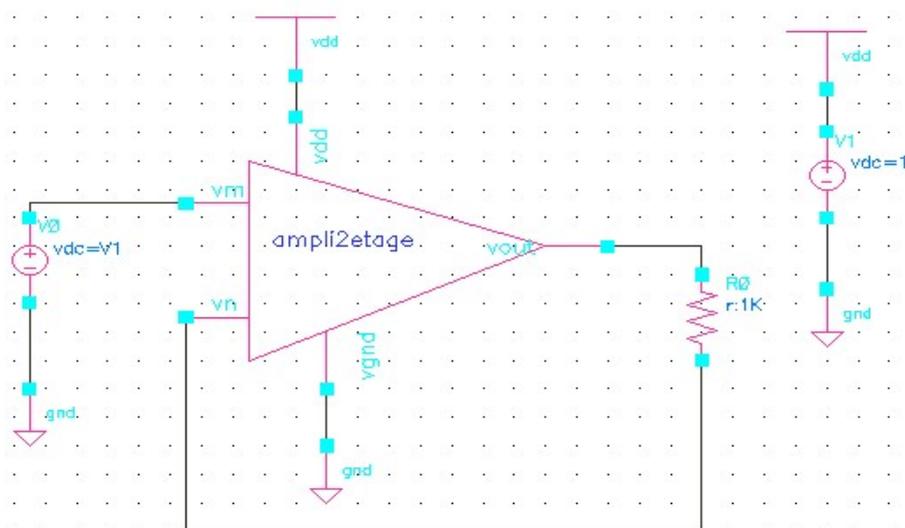


Figure III.7 Simulation DC d'un amplificateur opérationnel à deux étages CMOS

Chapitre III Simulation des circuits analogiques et CNA

a. Résultat d'analyse DC

Dans l'analyse DC on a essayé de vérifier que le signal de sortie suivi le signal d'entrée, pour tracer la fonction de transfert AOP on a utilisé une source de tension variable. Pour une variation de signal du 0V à 1V.

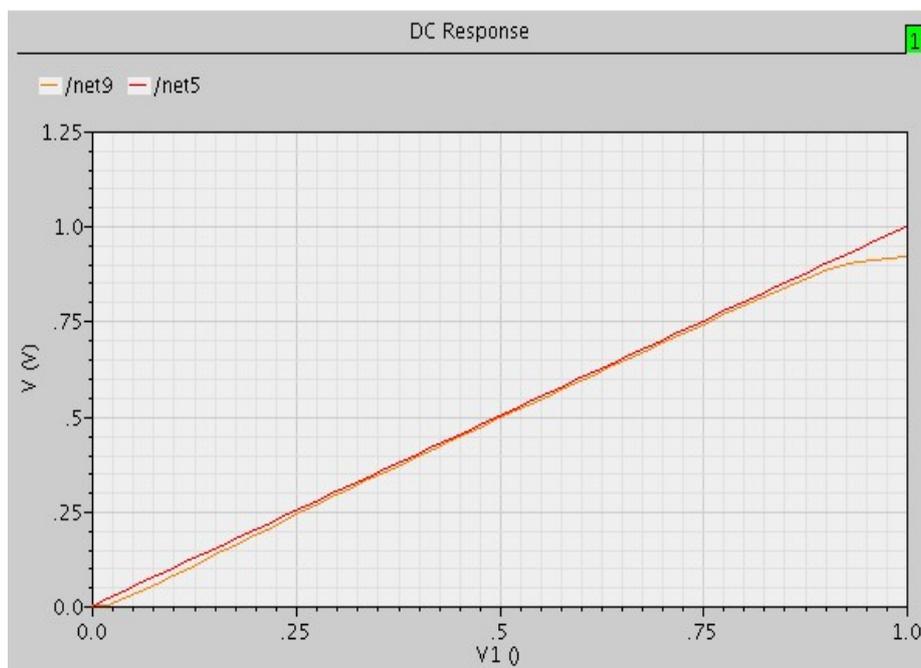


Figure III.8 Courbe de fonctionnement de l'amplificateur opérationnel à deux étages en régime DC

III.3.3 Simulation temporelle

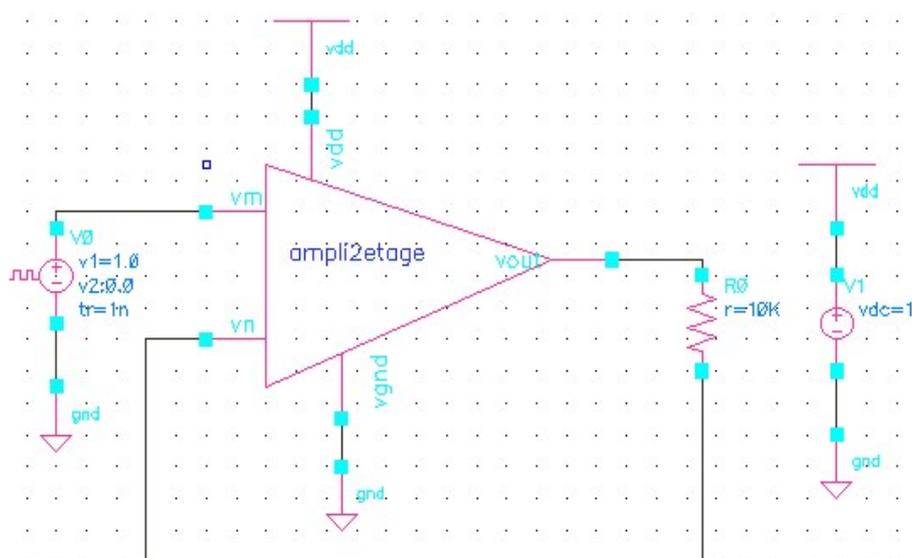


Figure III.9 Simulation temporelle de l'amplificateur opérationnel à deux étages

Chapitre III Simulation des circuits analogiques et CNA

b. Résultat d'analyse temporelle

On a fait une simulation temporelle pour une entrée carrée La figure III.10 représente la courbe de fonctionnement de l'amplificateur opérationnel à deux étages en régime transitoire

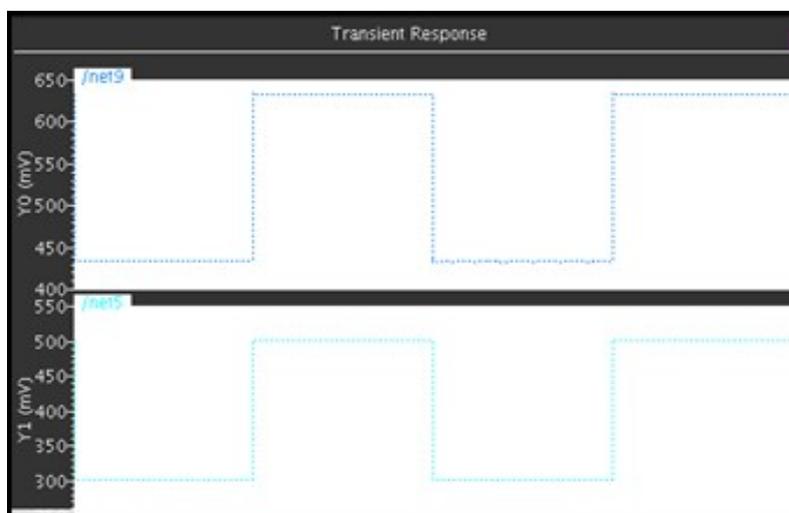


Figure III.10 Courbe de fonctionnement de l'amplificateur opérationnel à deux étages en régime transitoire

III.3.4 Simulation AC

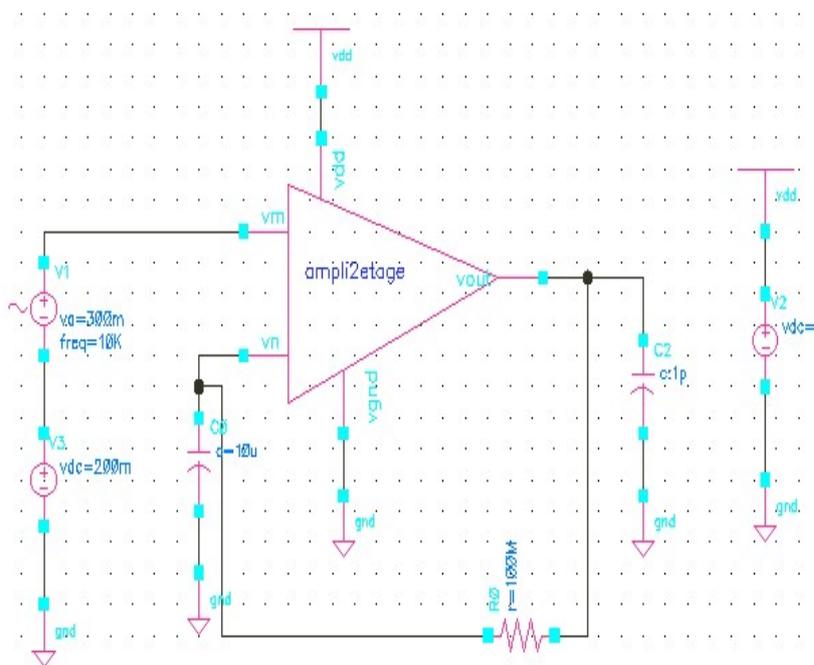


Figure III.11 Simulation AC d'amplificateur opérationnel à deux étages

Chapitre III Simulation des circuits analogiques et CNA

c. Résultat d'analyse AC

L'analyse AC nous permet de caractériser les performances de notre circuit afin de déterminer les paramètres suivants le gain basse fréquence, la marge de phase de ce montage Il s'agit du calcul de gain et la marge de phase doit être plus de 63 deg afin d'assurer la stabilité du circuit et éviter les phénomènes d'oscillation parasites, comme illustré dans la figure (III.12), les résultats de simulation indique un gain 60dB, une fréquence de gain unités de 100KHz et une marge de phase supérieure à 90 deg.

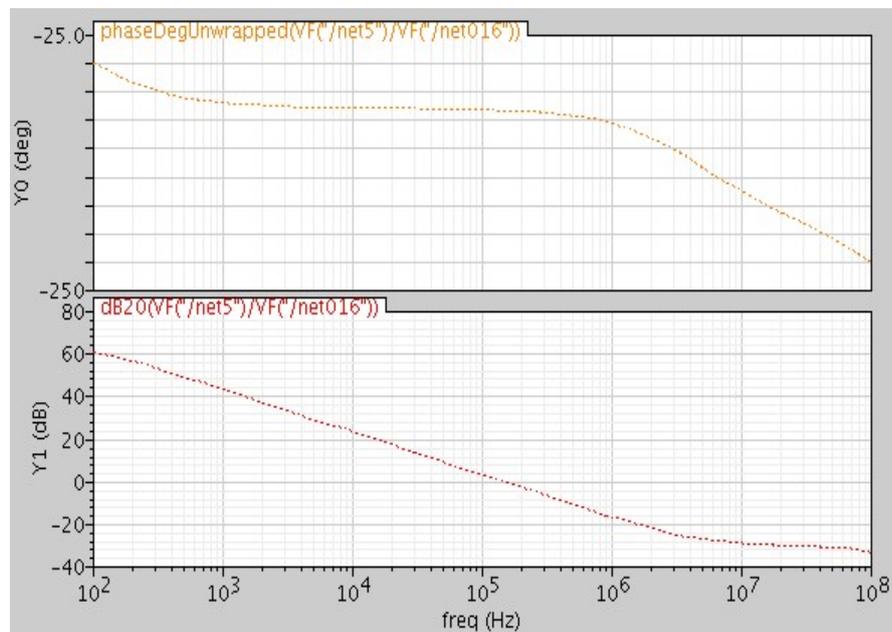


Figure III.12 Diagramme de gain et phase

III.4 Porte de transmission

L'assemblage d'un transistor N et d'un transistor P permet de réaliser un interrupteur dit CMOS, qui laisse passer aussi bien les 1 que les 0. Elle fonctionne comme le transistor passant, sauf qu'il y a un PMOS pour faire monter la tension jusqu'à VDD.

La structure qu'on a utilisée de cette porte de transmission est une combinaison de deux portes de transmission à simple structure avec un inverseur bien optimisé On a utilisé deux sortes de porte de transmission (CNA à R2R et CNA à capacité).

Chapitre III Simulation des circuits analogiques et CNA

III.4.1 Porte transmission de (CNA à R2R et CNA à Capacité)

a. Porte de transmission de (CNA à R2R)

La porte de transmission de (CNA à R2R) est constituée d'une entrée VR, deux sorties (vout0, vout1) et une tension de signal d'entrée (code numérique) VBN

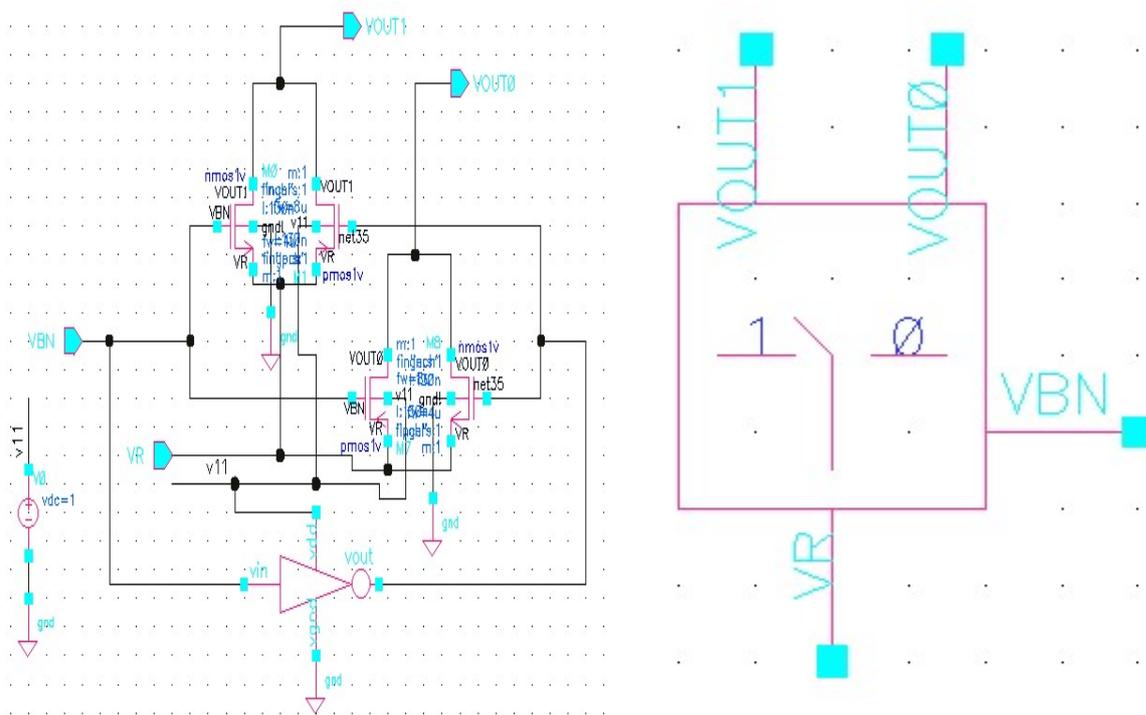


Figure III.13 Schéma interne et symbole porte de transmission de (CNA à R2R)

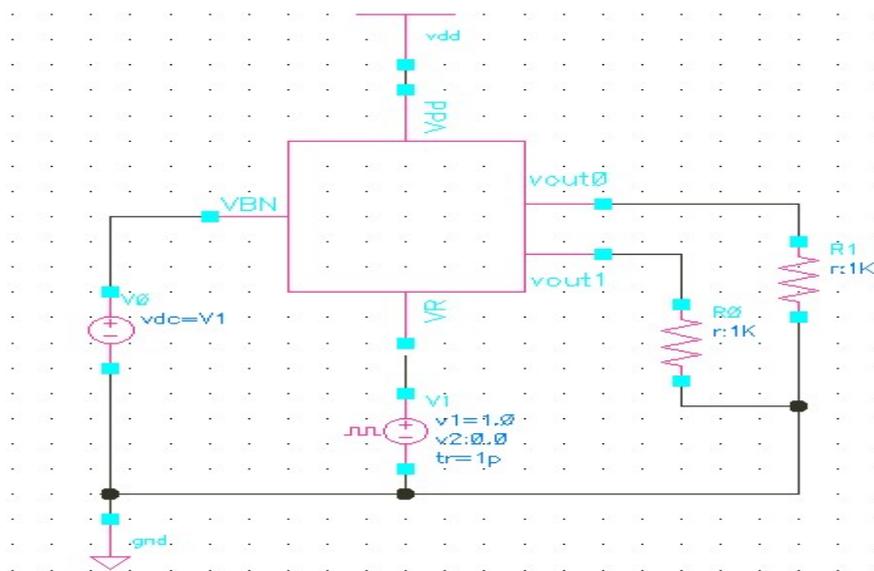


Figure III.14 Schéma de simulation porte transmission de (CNA à R2R)

Chapitre III Simulation des circuits analogiques et CNA

b. Porte de transmission de (CNA à capacité)

La porte de transmission de (CNA à capacité) est constituée de deux entrées (vinn, vinp), une sortie vout et une tension de signal d'entrée (code numérique) clkN.

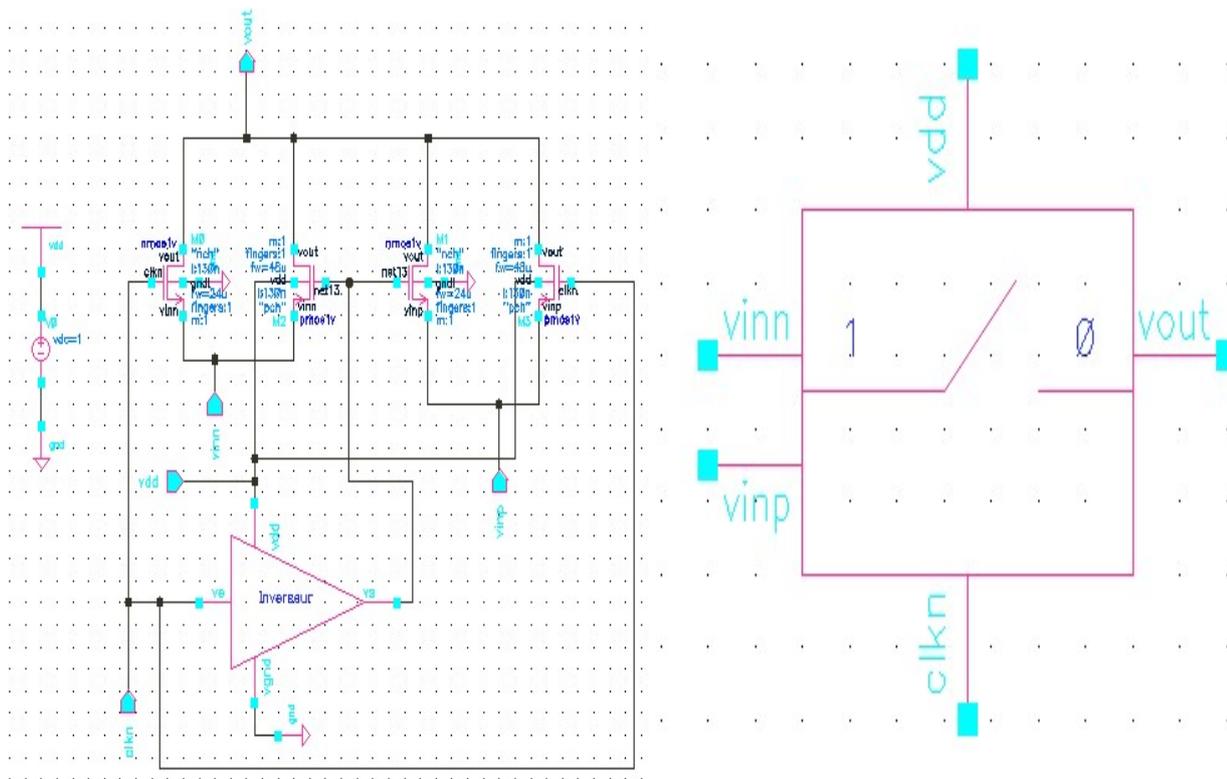


Figure III.15 Schéma interne et symbole de la porte de transmission de (CNA à capacité)

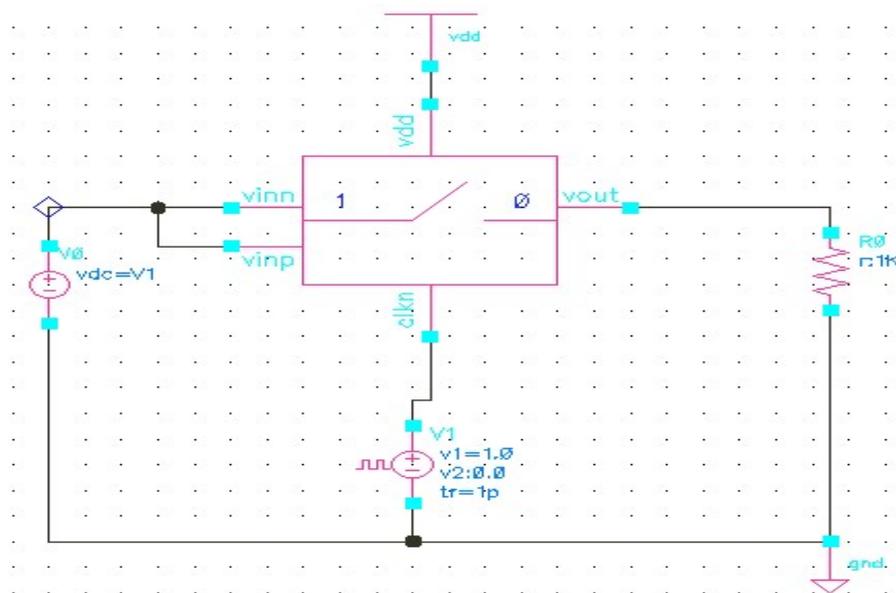


Figure III.16 Schéma de simulation porte de transmission de (CNA à capacité)

Chapitre III Simulation des circuits analogiques et CNA

En calcule la résistance Ron : $R_{on} = (V_{out} - v_{in}) / v_{out} * R$

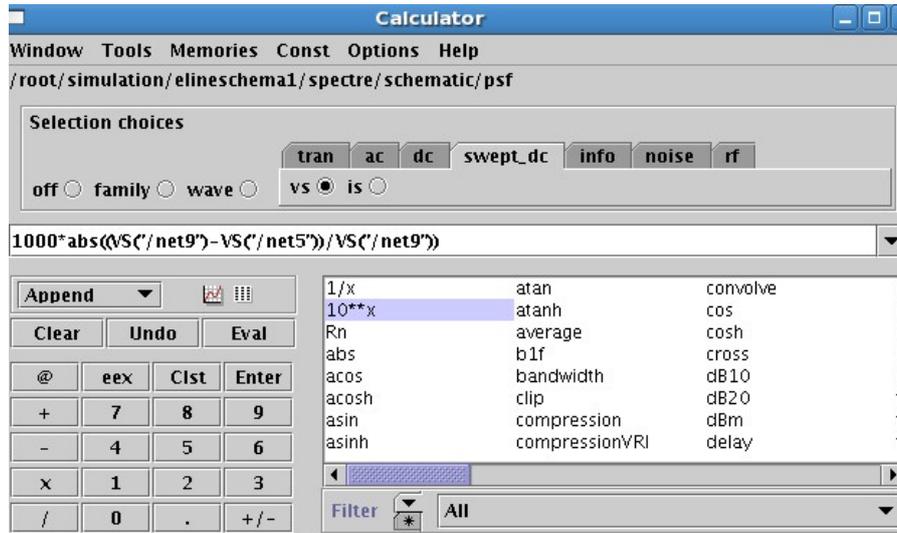


Figure III.17 Schéma de calculatrice (Cadence)

III.4.2 Résultat d'analyse des deux porte de transmission de (CNA à R2R et CNA à capacité)

D'après les deux résultats de la simulation des deux porte de transmission, la Variation de la résistance Ron, en fonction de la tension d'entrée les résultats les deux simulations DC et calculatrice montrent que le maximum de la résistance Ron est de 250kΩ est la même pour les deux porte de transmission.

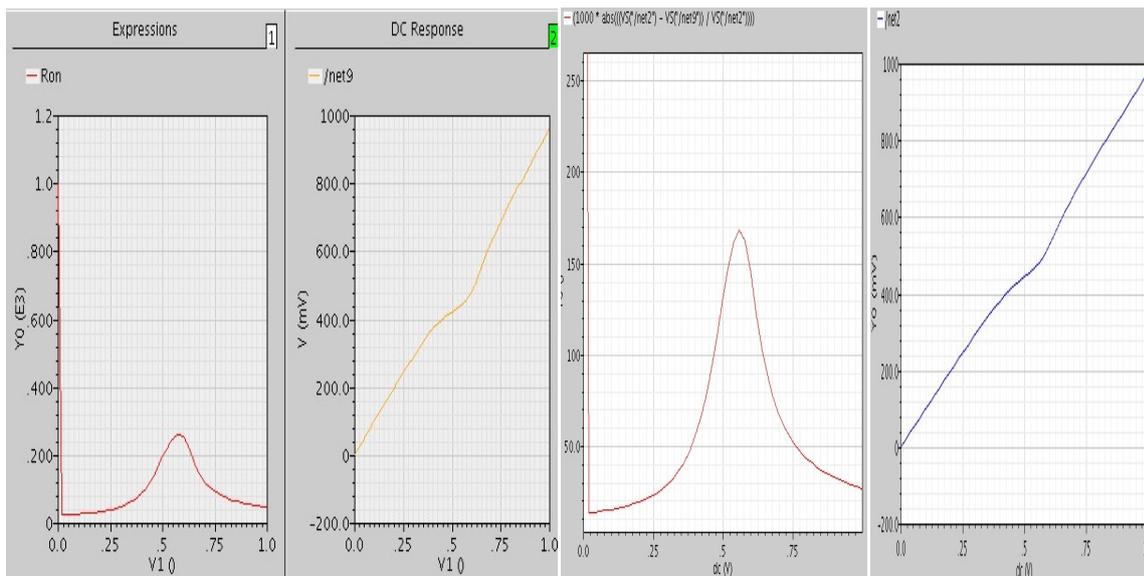


Figure III.18 Schéma porte de transmission de (CNA à capacité et CNA à R2R)

Chapitre III Simulation des circuits analogiques et CNA

III.5 CNA à R2R

Un CNA à réseau de résistances à R-2R de 6 bits qui opère à 1 V. un CNA de type R-2R est un circuit constitué de résistance ($R=15k\Omega$, $2R=30 k\Omega$), 6 interrupteurs et deux amplificateur opérationnel. Le schéma bloc du CNA est décrit à la (figure II.7), il requiert deux amplificateurs opérationnels au niveau de sa sortie. Bien qu'un seul amplificateur opérationnel (amp-op) soit un summateur, le deuxième amp-op est plutôt utilisés comme un amplificateur simple, un condensateur à la sortie de R2R pour réduire le bruit qui est produit par les interrupteurs

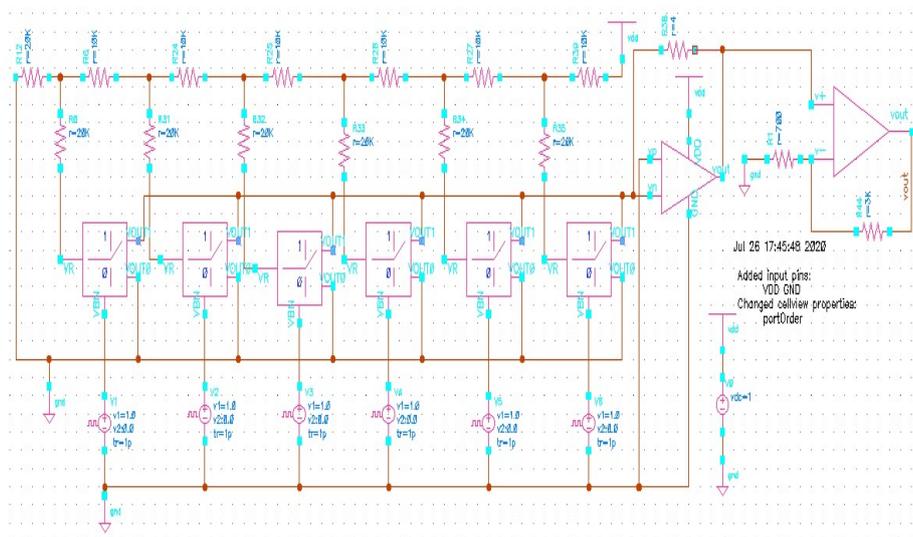


Figure III.19 Schéma CNA de R2R à 6 bits

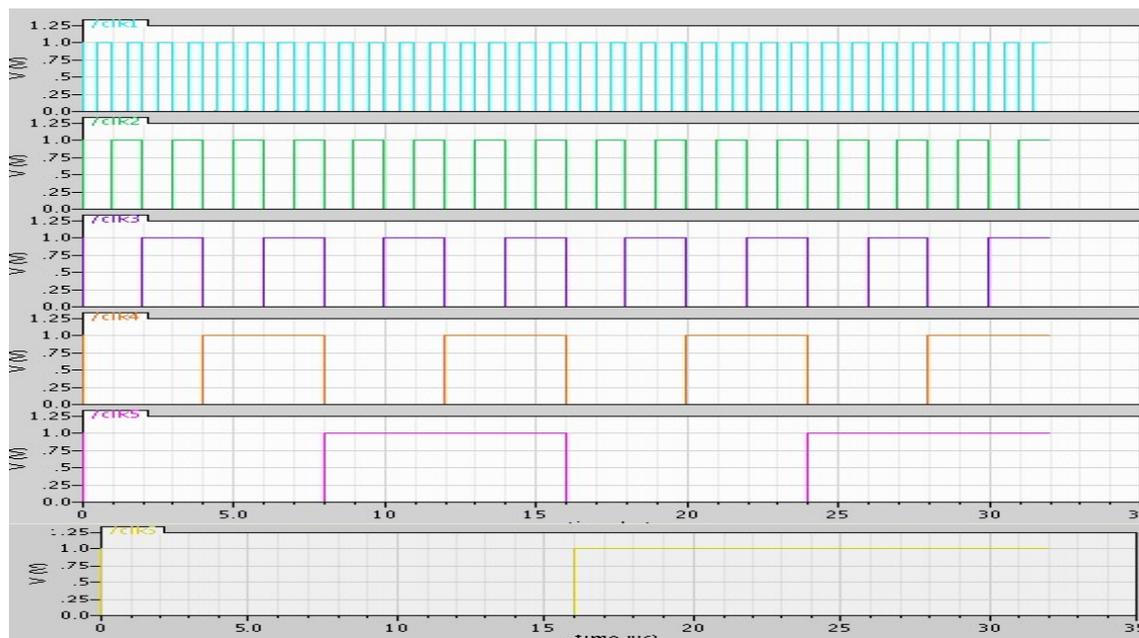


Figure III.20 Résultat de simulation d'entrée CNA à R2R en fonction du temps

Chapitre III Simulation des circuits analogiques et CNA

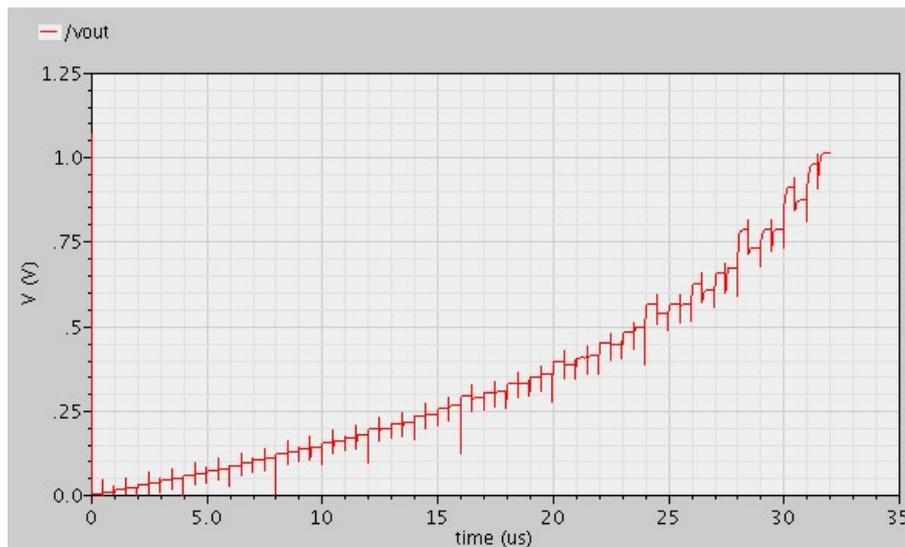


Figure III.21 Résultat de simulation de sortie CNA à R2R en fonction du temps

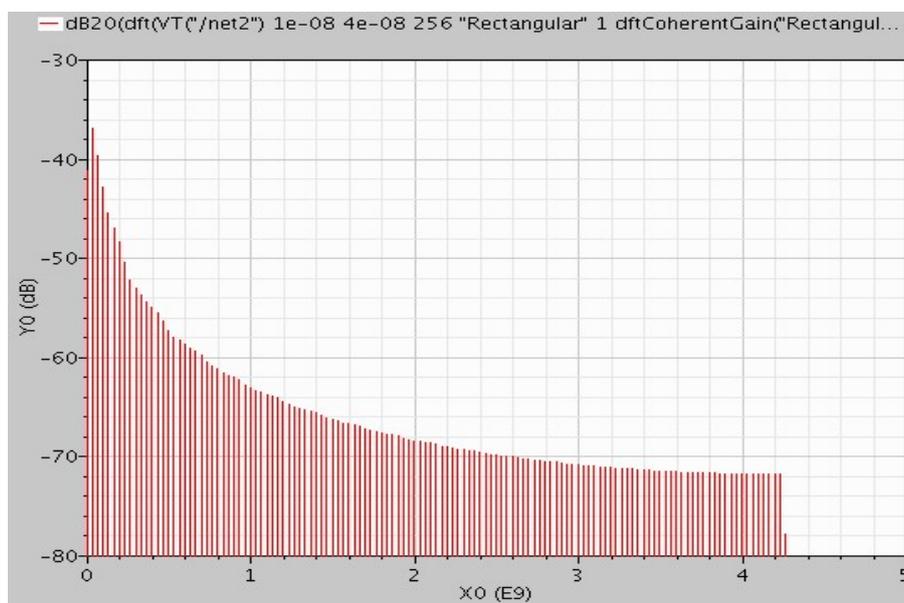


Figure III.22 Spectre de l'algorithme de CNA à R2R

Chapitre III Simulation des circuits analogiques et CNA

III.6 CNA à capacitif

La figure III.16 représente le schéma de CNA pondérées à capacité de 8bits qui opère à 1V, il est suivi d'un sommateur. Ces capacités placées en parallèle sont pondérées de façon binaire. Leur pondération va de $C_u, 2C_u, 4C_u, 8C_u$, jusqu'à $2^N C_u$, N représente le nombre de bits, C_u est la capacité unitaire. On a utilisé les mêmes capacités unitaires de la même forme pour avoir une meilleure linéarité possible. V_{in} est la tension d'entrée, V_{dd} est la tension de référence

▪ V_G niveau haut commande la fermeture de l'interrupteur et V_G niveau bas le positionnement des switchers vers la masse, les capacités sont déchargées

▪ V_G niveau haut commande l'ouverture de l'interrupteur et V_G niveau bas donne la main sur chacun des Switchs aux bits d'indice correspond, le Switch assure une connexion a V_{ref} , la sortie du CNA est validé

La différence fondamentale consiste à manipuler les charges au lieu des courants. Ce circuit du CNA devient très attrayant car la consommation du courant statique est presque nulle, mais il requiert une grande surface.

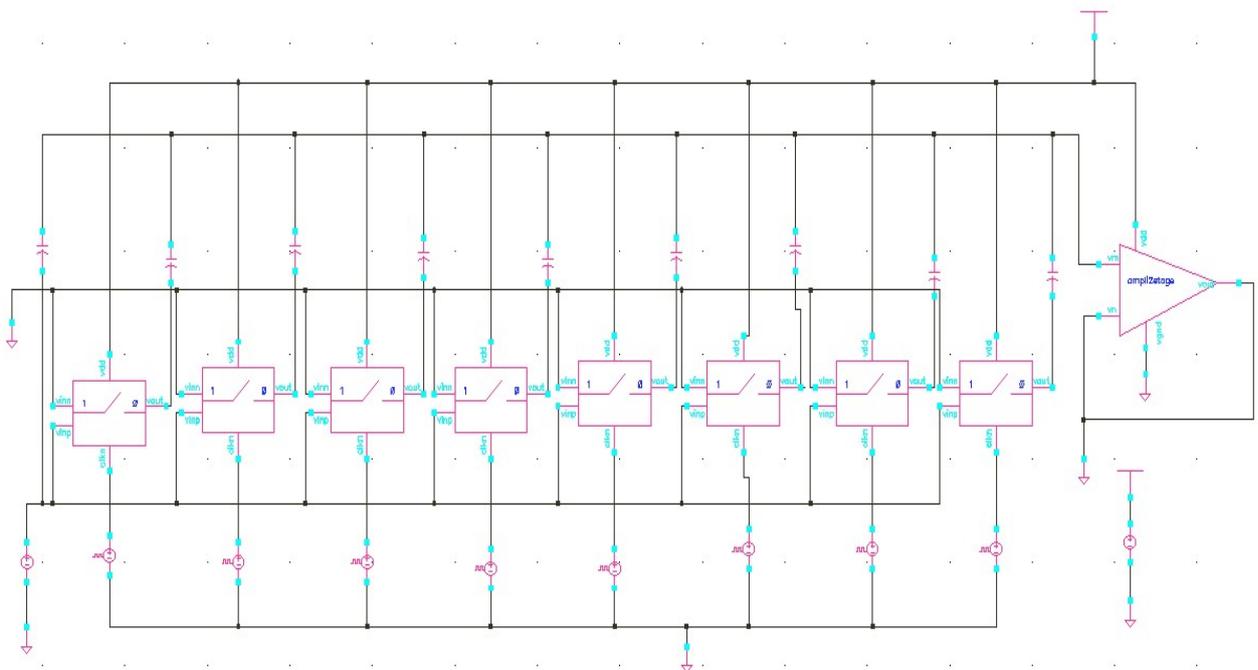


Figure III.23 Schéma CNA à capacité de 8 bits

Chapitre III Simulation des circuits analogiques et CNA

Les valeurs des condensateurs CMSB...CLSB multiple de condensateur unitaire de 20fF, ses valeurs calculées de tous les condensateurs sont données dans le tableau

Tableau III.1 Les valeurs des condensateurs

Capacité	C1	C2	C3	C4	C5	C6	C7	C8	C9
Valeur de capacité	20fF	40fF	80fF	160fF	320fF	640fF	1280fF	2560fF	5120fF

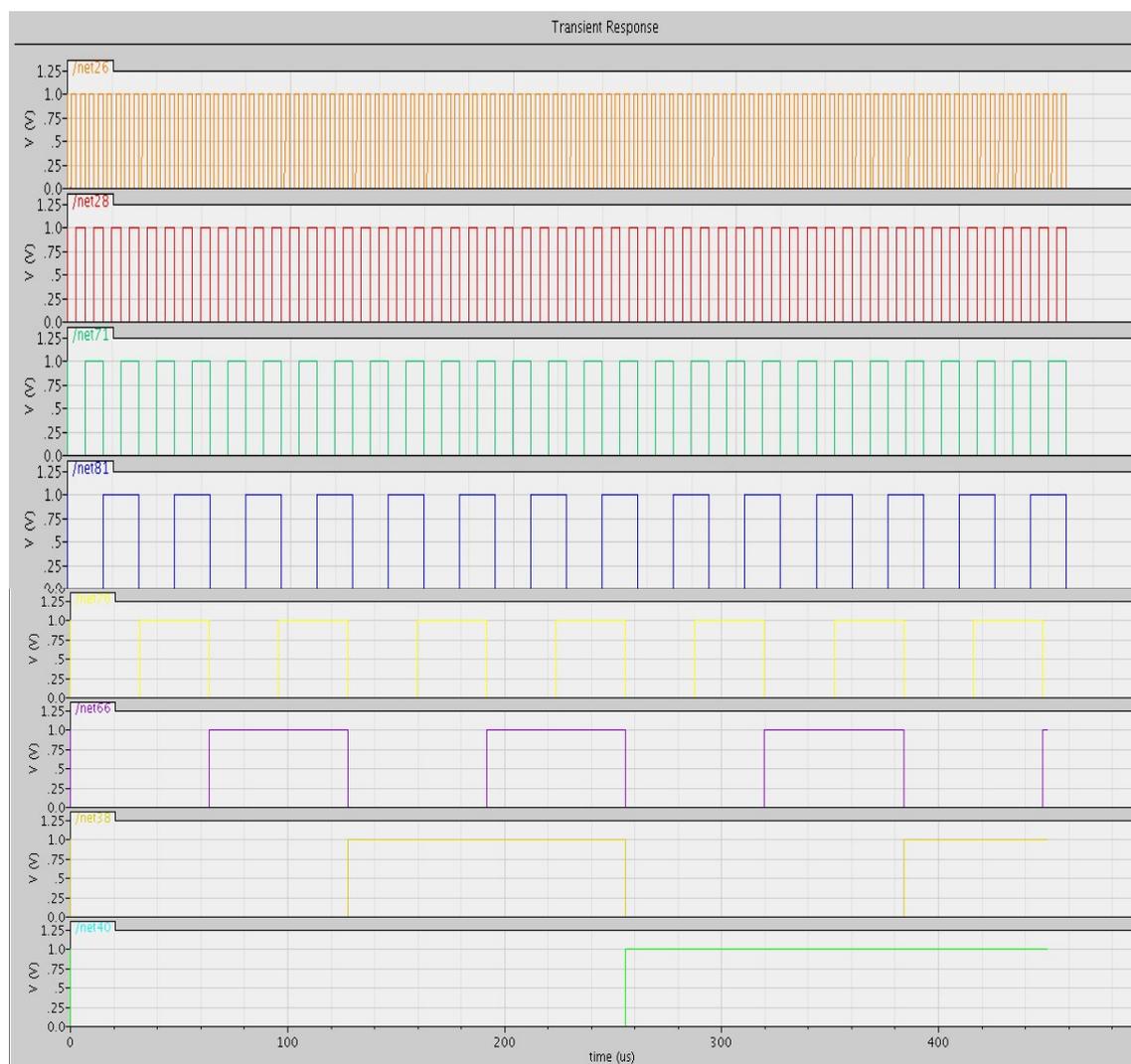


Figure III.24 Résultat de simulation d'entrée CNA à capacité en fonction du temps

Chapitre III Simulation des circuits analogiques et CNA

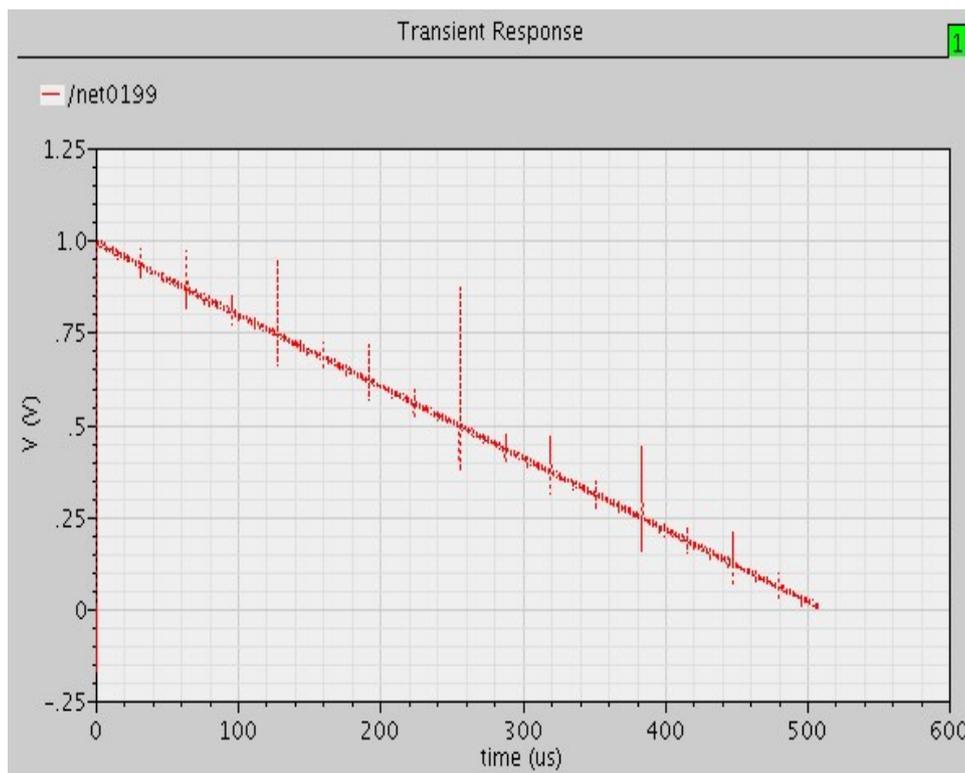


Figure III.25 Résultat simulation de sortie CNA à capacité en fonction du temps

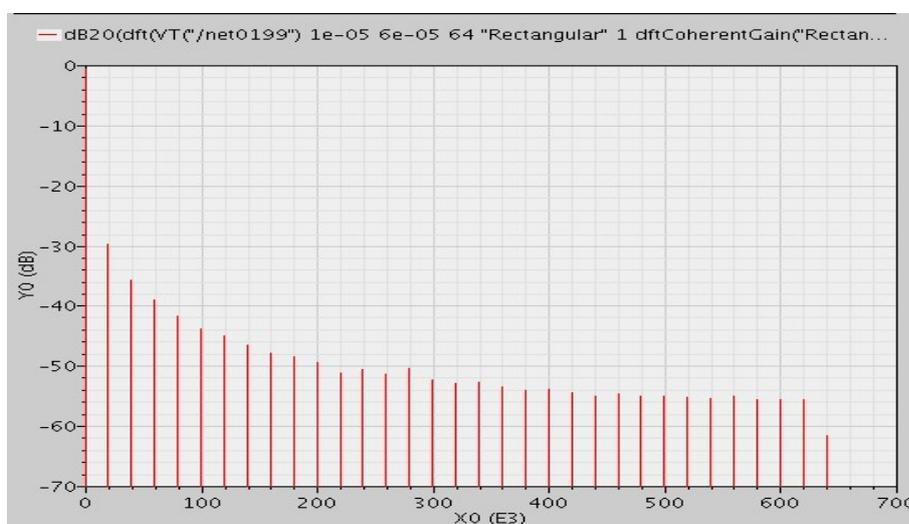


Figure III.26 Spectre de l'algorithme de CNA à capacité

III.7 Les performances CNA

Les simulations effectuées afin de vérifier les performances du modèle CNA comportementale sont rapportés dans ces sections avec les performances statiques et dynamiques

Chapitre III Simulation des circuits analogiques et CNA

III.7.1 Les performances statiques

La linéarité est le paramètre le plus important dans le convertisseur numérique analogique. Les performances de linéarités incluent la non-linéarité intégrale (INL) et la non-linéarité de différentiel (DNL). L'INL est défini comme la déviation maximale d'un point de transition d'une conversion de point de transition par-rapport a une conversion idéale. L'INL est simulé avec l'utilisation d'un code de MATLAB. Basé sur la définition de ces paramètres, LSB présente la déviation de la fonction de transfert réelle d'une ligne droite. Pour le DNL, il est défini comme la différence entre une largeur réelle de pas et la valeur idéale de 1 LSB. Par conséquent, INL représente des erreurs cumulatives de DNL, DNL est simulé par l'utilisation du code de MATLAB

a. La performance statique de CNA à R2R

Les résultats de simulations de ces deux paramètres (DNL, INL) pour CNA de R2R sont montrés dans les figures (III.27) et (III.28) respectivement. Les résultats de simulation prouvent que la variation de ces derniers est plus moins que 1 LSB, il est entre +0.06/-0.045 LSB pour le DNL, et entre +0.7/-0.38 LSB.

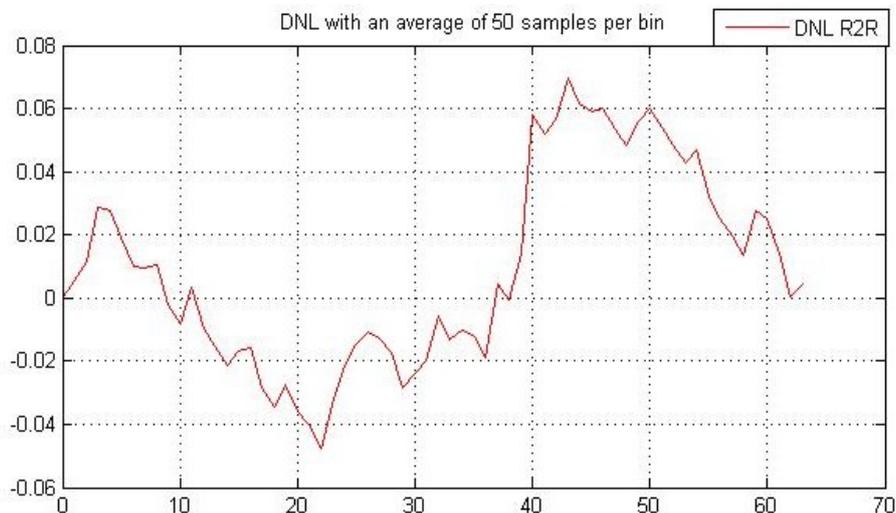


Figure III.27 DNL de CNA de R2R à 6 bits

Chapitre III Simulation des circuits analogiques et CNA

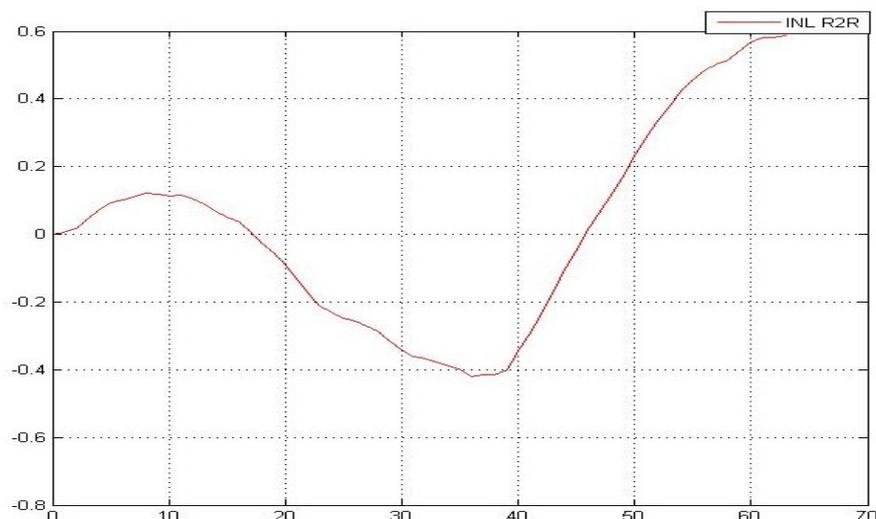


Figure III.28 INL de CNA de R2R à 6 bits

b. La performance statiques de CNA à capacité

Les résultats de simulation de ces deux paramètres (DNL, INL) pour CNA de capacité sont montrés dans les figures (III.29) et (III.30) respectivement. Les résultats de simulation prouvent que la variation de ces derniers est plus moins que 1 LSB, il est entre $-0.03/0.39$ LSB, et l'INL entre $0/0.97$ LSB.

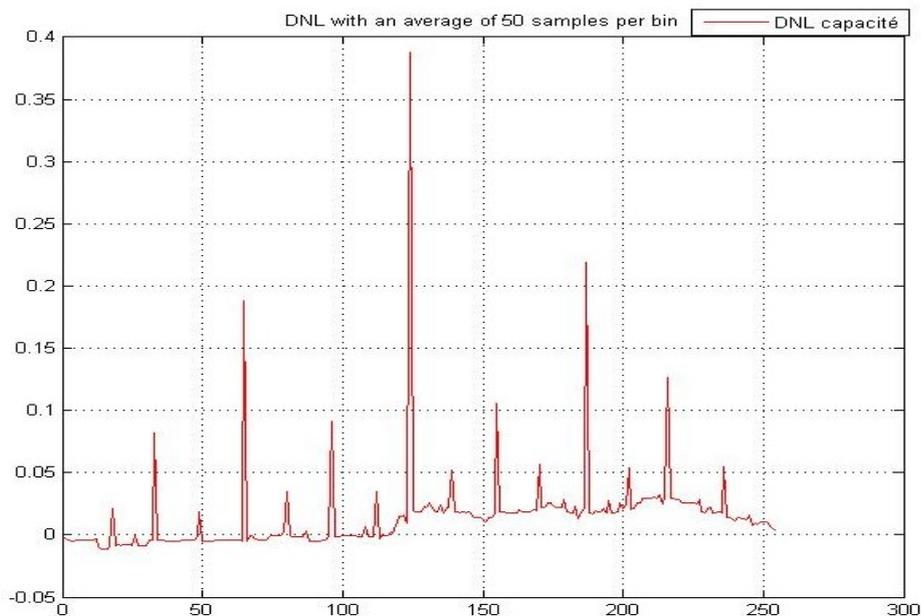


Figure III.29 DNL de CNA de capacité à 8 bits

Chapitre III Simulation des circuits analogiques et CNA

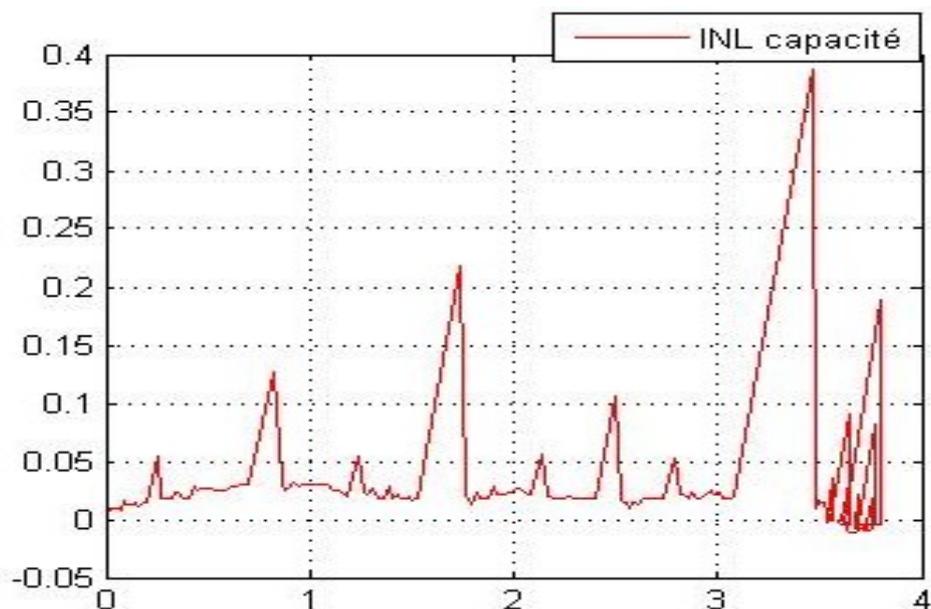


Figure III.30 INL CNA de capacité à 8 bits

III.7.2 Les performances dynamiques

Les performances dynamiques de CNA à R2R et CNA à capacité comprenant, la **SFDR** (Spurious sans rapport dynamique), en employant la transformée de Fourier rapide (**FFT**), pour la calculés

a. SFDR de CNA à R2R

On a constaté que la **SFDR** de CNA de R2R est de 38 dB comme elle est illustrée sur la (Figure III.31).

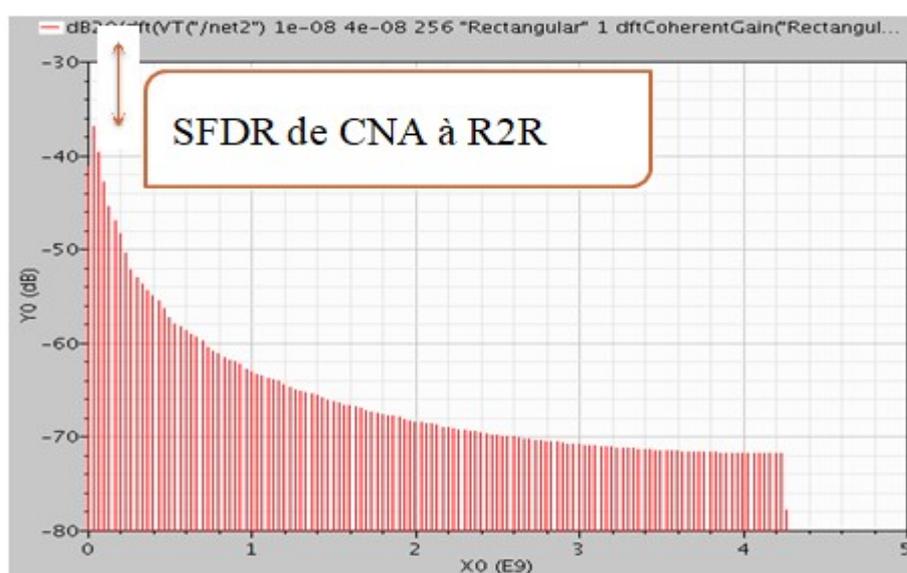


Figure III.31 SFDR de CNA à R2R

Chapitre III Simulation des circuits analogiques et CNA

b. SFDR de CNA à capacité

On a constaté que la SFDR de CNA de capacité est de 30 dB comme elle est illustrée sur la (Figure III.32).

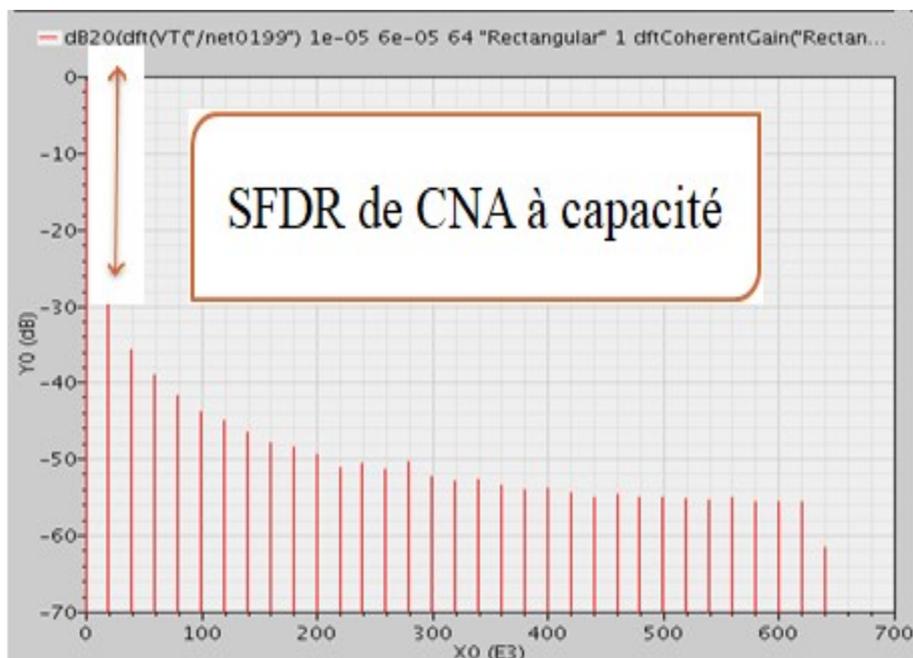


Figure III.32 SFDR de CNA à capacité

III.8 Comparaison des performances d'un CNA

Le tableau III.2 est un récapitulatif des performances de CNA à R2R et CNA à capacité

Tableau III.3 Comparaison des performances des deux convertisseurs conçus

Les paramètres	CNA à R2R	CNA à capacité
Technologie	0.13 μ m	0.13 μ m
Tension d'alimentation	1v	1v
Résolution	6 bits	8 bits
INL	0.69/-0.39 LSB	0.38/-0.03 LSB
DNL	0.06/-0.043 LSB	0.39/-0.02 LSB
SFDR	38 dB	30 dB
R(TG)	245k Ω	250k Ω

Chapitre III Simulation des circuits analogiques et CNA

Conclusion

Nous avons présenté dans ce chapitre l'ensemble des résultats de simulation réalisés, les différents circuits analogiques ensuite on a parlé sur les architectures du convertisseur numérique analogique et l'utilisation de l'logiciel CADENCE et l'analyse des performances statiques et dynamique avec l'utilisation de MATLAB les bonnes caractéristiques des CNA à R2R et CNA à capacité.

Conclusion générale

Conclusion générale

Conclusion générale

Tout au long de la préparation de notre projet de fin études qui présente les détails d'un thème enrichissant, il nous a permis de mettre en pratique les connaissances acquises durant nos études universitaires et d'acquérir des nouvelles connaissances dans ce travail la contribution à la conception d'un CNA en technologie CMOS 0.13um(cadence).

A travers l'étude traitée, nous avons étudiée dans le premier temps les différents circuits analogiques en technologie CMOS. En particulier l'inverseur, amplificateur opérationnel à deux étages ainsi la porte de transmission d'où on a mis au point des notions de base c'est-à-dire un banc d'information spécifique pour la conception analogique dans le but d'enrichir les connaissances de nos cher lecteur, ils ont étai réaliser après avoir vérifié par simulation leur bon fonctionnement et effectuée au sein du logiciel CADENCE. Ce dernier a mené un bien pour faire l'étude d'un convertisseur numérique analogique.

La place de CNA dans les circuits mixtes et particulièrement importante car elle fixe la frontière entre le traitement numérique et le traitement analogique, jouent un rôle essentiel dans de nombreuses application moderne. On a consacré à la conception des CNA utilisant les différentes architectures existant dans la littérature de leur principe de fonctionnement, avantage ainsi que leurs caractéristiques statiques et dynamiques. Pour ce qui de notre étude un convertisseur numérique analogique à R2R de 6bits et convertisseur numérique analogique à capacité de 8bits

La réalisation de ce projet, nous a permis non seulement la compréhension de la conception et l'implantation des circuits intégrés analogiques, qui viennent d'enrichir nos connaissances, mais il nous a aussi permis de faire connaissance avec un logiciel (CADENCE) en utilisant la technologie 130nm de TSMC (Taiwan Semiconductor Manufacturing Company). Très puissant non disponible au niveau de nos universités et de se familiariser avec son software de simulation analogique

Après les résultats obtenus dans les sections précédentes à très base tension, une comparaison est faite entre notre deux modèles du CNA à R2R et CNA à capacité. Les deux modèles proposés en une simple conversion directe, adapté aux technologies CMOS et conversion bien précise

Conclusion générale

Nous souhaitons, que nous ayons pu vous transmettre toute les informations de notre travail à travers ce modeste mémoire qui nous souhaitons être, un outil d'aide aux gens intéressés par ce domaine.

Résumé

Résumé

Les travaux que nous présentons dans ce mémoire portent sur la contribution à la conception d'un CNA en technologie CMOS en $0.13\mu\text{m}$ à très basse tension d'alimentation, le principe de fonctionnement, caractéristiques sont le corps de ce mémoire est de construire un convertisseur numérique analogique (CNA à R2R de 6bits et CNA à capacité de 8bits) qui est basé sur une structure dite « pondérée binaire » sa sortie peut être une tension ou un courant mais notre convertisseur à une commutation de tension. Il est développé en utilisant les circuits analogiques avec l'implantation des transistors MOS seulement.

Toute la partie analogique du projet est implanté dans CADENCE sous forme schématique, des simulations DC, AC et TR été effectuée si nécessaire et logiciel MATLAB pour les performances de convertisseur numérique analogique

Mot clé : CMOS circuit analogique, convertisseur numérique analogique (CNA)

Bibliographie

Bibliographie

Bibliographie

[1] Mazghrane Radouane « **implémentation physique d'un amplificateur à faible bruit avec la technologie CMOS 0.13 μ m** » magister, université mouloud Mammeri Tizi-Ouzou, 2018.

[2] Ibrahim Kane « **contribution à l'analyse de la susceptibilité électromagnétique des composants: caractérisation et modélisation étages d'entrée des circuits numériques** » thèse doctorat, L'université de limoges, 21-21-2016.

[3] Skotnicki.T et Bœuf.F.T.Skotnicki et F.Boeuf, « **physique des dispositifs pour circuits intégrés sur silicium** ».EGEM Encyclopédie Hermès, 2003.

[4] Hanfoug Salah « **conception et layout d'un échantillonneur bloquer à technologie CMOS** », thèse, université Batna.

[5] Gérard Ghibaudo, Antoine Cros, Cheikh DIOUF, « **caractérisation électrique des transistors MOS déca nanométriques d'architecture innovante** », thèse doctorat, L'université de GRENOBLE, 7 aout 2006

[6] Ibrahim Kane « **caractérisation et modélisation des étages d'entrée des circuits intégrés numérique** », these doctorat, l'université de Limoged, 25 jan 2017.

[7] Marc Bescond, « **Modélisation et simulation du transistor quantique dans le transistor MOS nanomètre** », thèse doctorat, L'université de Provence (AIX-Marseille), France. PP 14.18, 2004.

[8] Assia Hamouda, « **Design and layout of a temperature tegulator for a class D audio Amplifier in ELMOS Automotive High Voltage 0.8 μ mBICMOS technology** », these, université Batna, 2003.

[9] J.M.BIFFI, « **contribution à modélisation, conception et caractérisation de chaines vidéo ASIC en technologie BICMOS** », thèse doctorat, centre national d'étude spatiales (C.N.E.S) de Toulouse, France, décembre 1995, <http://www.lesia.insa-tlse.fr/zz-fichiers-associes/documents/these-jm-biffi.pdf>. Google

[10] Agoudjil Abdel Malik « **chapitre cellules élémentaire à base des miroirs de courant** », magister, Université de Biskra, 21-06-2011.

[11] Philip. E. Allen Douglass Holberg, « **CMOS analog circuit Design second Edition** », these, Oxford university press 2002.

[12] Fayçal Meddour « **acquisition de données en technologie CMOS 0.25 μ m** », thèse, université Batna.

[13] **Laboratoire d'électronique et de physique des systèmes Instrumentaux**, université Louis Pasteur Strasbourg, 'Amplificateur Opérationnel Modélisation comportementale.

Bibliographie

[15] MARCEL SIADJINE NJINOWA, « **convertisseur de données de type FLASH Basés sur les cellules normalisées et application** », thèse en ingénierie, l'université du Québec à Chicoutimi, Février 2017.

[16] Brahim Haraoubia « **electronique non lineaire 2 bascules, CAN, CNA et PPL** » Livre de collection electronique.

[17] Hanfoug Salah « **conception et layout d'un échantillonneur bloqueur à technologie CMOS 0.35 μ m** », thèse, université Batna.

[18] E. Sicard, S, Delmas-Bendhia, « **Deep Submicron CMOS Design** », these, 20/12/2003.

[19] Samia khaldi, « **Conception et layout d'un CAN pour capteur de pression intelligent** », Magister en micro-électronique université de Batna, pp6-7, 2005.

[20] Behzad Razavi, « **RF Microelectronics** », prentice hall PTR, Inc., 1998.

[21] J Jacob Wikner « **CMOS Digital-to-analog converter for telecommunication applications** », theses No.715, Department of electrical Engineering Linkoping universitet, S-581 83 Linkoping Sweden, Linkoping August 1998.

[22] F.Maloberti, « **Data converter** », these, New York, spinger-verlag, 2007.

[23] Walt Kaster « **The Data conversion hand book** », a volume in the analog Devices series USA, these, 2005.