

République Algérienne Démocratique et Populaire  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Faculté de Technologie

Département Génie Electrique

Mémoire pour l'obtention du diplôme de Master en Electronique  
Spécialité : Microélectronique



جامعة بجاية  
Tasdawit n'Bgayet  
Université de Béjaïa



**Thème :**

**Contribution à l'analyse du comportement petit signal du  
transistor MOS SOI 130nm.**

**Préparé par:**

Mr Meddour Smail

Mr Iarichen Hakim

Devant le jury composé de :

Mr Hanfoug Salah	Université de Bejaia	Président
Mr Tafinine Farid	Université de Bejaia	Examineur
Mlle Achour Lyakout	Université de Bejaia	Encadreur
Mr Maafri Djabar	Centre de recherche CDTA	Co-encadreur

Année Universitaire 2019/2020

## ***Remerciement***

*Nous tenons avant toute chose, à remercier vivement Mr Maafri Djebbar maitre de recherche au département de la microélectronique au CDTA et Mlle Yakout Achour enseignante à l'université Abderrahmane mira de Bejaia, pour l'aide précieux qu'ils nous ont apportée durant la réalisation de ce mémoire de fin d'études, a travers notamment leurs explications et leurs conseils.*

*Nous remercions aussi tous ceux qui ont contribué, de près ou de loin, à l'achèvement de ce projet, à savoir les membres de famille, les amis et les collègues au niveau de département ATE.*

*Merci également aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail.*

*A mon père.*

## Table des matières

<b>Introduction générale</b> .....	<b>1</b>
<b>Chapitre I : Généralités sur le transistor MOSFET</b>	
<i>I.1. Introduction</i> .....	3
<i>I.2. Présentation du transistor MOSFET</i> .....	3
<i>I.3. Principe de fonctionnement</i> .....	4
<i>I.4. Processus de miniaturisation du transistor MOS</i> .....	4
<i>I.5. Amélioration des performances de MOSFET</i> .....	7
<i>I.6. Le transistor MOS SOI (silicium sur isolant)</i> .....	7
<i>I.7. Comparaison entre MOS sur substrat Si massif et SOI</i> .....	8
<i>I.8. Les transistors MOS pour les applications RF</i> .....	9
<i>I.9. Les MOSFETs SOI Partiellement déserté (PD SOI)</i> .....	10
<i>I.10. Conclusion</i> .....	11
<b>Chapitre II : Techniques de modélisation et d'extraction de MOS PD SOI 130nm</b>	
<i>II.1. Introduction</i> .....	13
<i>II.2. Modélisation de transistor MOSFET</i> .....	13
<i>II.3. La modélisation phénoménologique</i> .....	13
<i>II.4. Mesure des paramètres S</i> .....	14
<i>II.5. Méthodologie suivie pour l'extraction des éléments du model électrique petit signal (linéaire)</i> .....	16
<i>II.6. Schéma équivalent petit signal</i> .....	17
<i>II.6.1. La partie extrinsèque</i> .....	18
<i>II.6.2. La partie intrinsèque</i> .....	18
<i>II.7. Techniques d'extraction des éléments d'un schéma équivalent petit signal d'un MOSFET</i> .....	19
<i>II.7.1. Méthode de polarisation à froid (Cold FET)</i> .....	20
<i>II.7.1.1. Détermination des éléments parasites</i> .....	20
<i>II.7.1.2. Détermination des éléments intrinsèques</i> .....	22
<i>II.7.2. Méthode de Lovelace</i> .....	22
<i>II.7.3. Méthode de Bracale</i> .....	23
<i>II.7.4. Méthode de Raskin</i> .....	25
<i>II.8. Validation</i> .....	26
<i>II.9. Conclusion</i> .....	26

### Chapitre III : Résultats et discussion

<i>III.1. Introduction.....</i>	27
<i>III.2. Caractéristiques statiques de MOS PD SOI 130nm.....</i>	27
<i>III.2.1. Caractéristique <math>I_{ds}</math>, <math>V_{ds}</math>.....</i>	27
<i>III.2.2. Caractéristique <math>I_{ds}</math>, <math>V_{gs}</math>.....</i>	29
<i>III.2.3. Tension de seuil <math>V_{th}</math>.....</i>	30
<i>III.3. La procédure suivie pour l'extraction des éléments du transistor PD SOI 130nm .....</i>	30
<i>III.3.1. Schéma équivalent petit signal de transistor PD SOI 130nm .....</i>	31
<i>III.3.2. Extraction de la partie extrinsèque du transistor MOS PD SOI 130nm .....</i>	31
<i>III.3.2.1. Extraction des résistances extrinsèques de MOS PD SOI 130nm en saturation .....</i>	31
<i>III.3.2.2. Extraction des capacités extrinsèques.....</i>	37
<i>III.3.3. Extraction de la partie intrinsèque du transistor PD SOI 130nm.....</i>	38
<i>III.3.3.1. Extraction des capacités intrinsèques .....</i>	39
<i>III.3.3.2. Extraction des conductances <math>g_m</math> et <math>g_d</math> .....</i>	39
<i>III.3.3.3. Extraction de la résistance <math>R_{gsi}</math> et le temps de retard <math>\tau</math>.....</i>	40
<i>III.4. Validation des résultats pour le transistor MOS PD SOI 130nm a <math>V_{ds}=1.2V</math> et <math>V_{gs}=1.2V</math> .....</i>	42
<i>III.5. Conclusion.....</i>	43
<b>Conclusion générale.....</b>	<b>45</b>
<b>Bibliographie.....</b>	<b>47</b>

## Liste des figures

### Chapitre I

<b>Figure I.1</b> : Schéma représentant un transistor MOS à effet de champ de type n (nMOSFET) .....	4
<b>Figure I.2</b> : Loi de Moore (a) évolution de nombre (b) du cout de MOSFET depuis 50 ans de miniaturisation .....	5
<b>Figure I.3</b> : Vue en coupe schématique d'un transistor MOS en technologie 28 nm montrant certaines nouvelles étapes technologiques introduites pour les architectures avancées de MOS sur substrat massif. Cas d'un NMOS .....	5
<b>Figure I.4</b> : structure d'un transistor (simple grille) SOI de type n .....	7
<b>Figure I.5</b> : Représentation schématique d'un transistor MOS SOI partiellement désertés ..	10

### Chapitre II

<b>Figure II.1</b> : Représentation d'un transistor en source commune, sous la forme d'un quadripôle. ....	15
<b>Figure II.2</b> : Organigramme des étapes à suivre suivie pour l'extraction des éléments du schéma équivalent à petit signal et sa validation.....	17
<b>Figure II.3</b> : Modele petit signal pour le transistor MOSFET.....	18
<b>Figure II.4</b> : Schéma équivalent petit signal d'un MOSFET à froid.....	21
<b>Figure II.5</b> :Schéma équivalent petit signal du transistor MOS SOI à $V_{ds}=V_{gs}=0$ V.....	21
<b>Figure II.6</b> : Circuit équivalent petit signal à $V_{gs} \ll V_{th}$ et $V_{ds} = 0$ V.....	23
<b>Figure II.7</b> : Circuit équivalent petit signal en régime d'inversion $V_{gs} > V_{th}$ et $V_{ds} = 0$ V.....	24
<b>Figure II.8</b> : Circuit équivalent petit signal en régime de saturation $V_{gs} > V_{th}$ et $V_{ds} > V_{gs} - V_{th}$ .....	26

### Chapitre III

<b>Figure III.1</b> : Caractéristiques de sortie $I_{ds} = f(V_{ds})$ mesurées du transistor MOS SOI PD-SOI 130 nm.....	28
<b>Figure III.2</b> : Conductances statiques $g_{ds}$ mesurées du transistor MOS SOI PD-SOI 130 nm. ....	28
<b>Figure III.3</b> : Caractéristiques de sortie $I_{ds} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds}=1.2$ v.....	29

<b>Figure III.4 :</b> Caractéristiques de sortie $I_{DS} = f(V_{GS})$ mesurées du transistor MOS PD-SOI 130 nm à $V_{ds} = 0.05V$ .....	29
<b>Figure III.5 :</b> Extraction de la tension de seuil $V_{th}$ en utilisant la méthode de deuxième dérivée du Transistor MOS PD-SOI 130 nm. ....	30
<b>Figure III.6:</b> partie extrinsèque d'un schéma équivalent du MOSFET. ....	31
<b>Figure III.7 :</b> Représentation paramétrique de la résistance extrinsèque $R_{se}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2V$ et $V_{gs}=0.2V$ . ....	32
<b>Figure III.8 :</b> Représentation paramétrique de la résistance extrinsèque $R_{de}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2V$ et $V_{gs}=0.2V$ . ....	33
<b>Figure III.9 :</b> Représentation paramétrique de la résistance extrinsèque $R_{ge}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2V$ et $V_{gs}=0.2V$ ....	34
<b>Figure III.10 :</b> Représentation paramétrique de la résistance extrinsèque $R_{ge}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 1.2V$ et $V_{gs}=1V$ . ....	34
<b>Figure III.11 :</b> Représentation paramétrique de la résistance extrinsèque $R_{se}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 0V$ et $V_{gs}=0V$ . ....	36
<b>Figure III.12 :</b> Représentation paramétrique de la résistance extrinsèque $R_{de}$ dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à $V_{ds} = 0V$ et $V_{gs}=0V$ .....	36
<b>Figure III.13 :</b> Représentation des capacités extrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120 \mu m$ à $V_{ds}=V_{gs}=0$ .....	37
<b>Figure III.14:</b> partie intrinsèque d'un schéma équivalent MOSFET.....	38
<b>Figure III.15 :</b> Représentation des capacités intrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g=130nm$ et $W=120\mu m$ a $V_{ds}=1.2V$ et $V_{gs}=1.2V$ .....	39
<b>Figure III.16 :</b> Représentation des conductances extraites en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120 \mu m$ a $V_{ds}=1.2V$ et $V_{gs}=1.2V$ .....	40
<b>Figure III.17 :</b> Représentation de temps de retard $\tau$ extrait en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120 \mu m$ a $V_{ds}=1.2V$ et $V_{gs}=1.2V$ .....	40
<b>Figure III.18 :</b> Représentation de la Résistance $R_{gsi}$ extrait en fonction de la fréquence du transistor MOS PD-SOI avec $L_g = 130$ nm et $W = 120 \mu m$ a $V_{ds}=1.2V$ et $V_{gs}=1.2V$ .....	41
<b>Figure III.19:</b> schéma équivalent petit signal introduit dans le simulateur ADS. ....	42
<b>Figure III.20 :</b> design utilisé pour la visualisation des paramètres-S mesurés sous l'ADS ...	42
<b>Figure III.21 :</b> Paramètres-S mesurés (cercle) et simulés (ligne rouge) du transistor MOS PD SOI avec $L_g = 130$ nm et $W = 120 \mu m$ à $V_{ds} = 1.2$ V et $V_{gs} = 1.2$ V. ....	43

**Liste des tableaux**

**Chapitre III**

*Tableau III.1 : Résistances extrinsèques extraites pour le MOS PD-SOI 130nm avec  $L_g = 130$  nm et  $W = 120\mu\text{m}$  en saturation..... 35*

*Tableau III.2 : les valeurs des paramètres intrinsèques du schéma équivalent..... 41*

**Liste des abbreviations**

<b>BOX</b>	«Burried OXide»
<b>CDTA</b>	«Centre de Développement des Technologies Avancées»
<b>CESL</b>	«contact etch stop layer»
<b>CET</b>	«Capacitive Equivalent Thickness»
<b>CMOS</b>	« Complementary Métal-Oxide-Semiconductor»
<b>DSP</b>	«Digital Signal Processor»
<b>FD SOI</b>	«Fully Depleted Silicon-on-Insulator»
<b>LDD</b>	«Lightly Doped Drain»
<b>MOSFET</b>	« Metal Oxide Semiconductor Field Effect Transistor»
<b>MOS</b>	« Metal Oxide Semiconductors » transistor
<b>PD SOI</b>	«Partielly Depleted Silicon-on-Insulator»
<b>RDF</b>	«Random Doping Fluctuation»
<b>RF</b>	«Radio frequency»
<b>SiGe</b>	«Silicon-Germanium»
<b>SiC</b>	«silicon carbide»
<b>SRAM</b>	«Static Random Access Memory»
<b>TEC</b>	«Transistor à Effet de Champ»
<b>V<sub>th</sub></b>	«threshold voltage»
<b>VNA</b>	«Vector Network Analyzer»

## **Introduction générale**

Depuis le premier circuit intégré en technologie CMOS fabriqué par Fairchild au début des années 1960, le développement de la technologie MOS a permis de produire des circuits de plus en plus rapides, contenant de plus en plus de transistors, pour un prix quasiment constant [1]. Le processus de miniaturisation qu'a connu cette technologie a fait du transistor MOS un composant de plus en plus rapide et de moins en moins cher.

L'évolution du transistor MOS en terme de performances et de rapidité ont fait de ce dernier un composant intéressant pour les circuits analogique et RF, du fait de son prix moins élevé et la possibilité qu'il offre de réaliser facilement sur un même circuit, des fonctions numériques et des fonctions analogiques ou RF. Le transistor partiellement déserté (PD SOI 130nm) fait partie de cette catégorie de MOSFET qui a fait ses preuves en termes de rapidité et faible consommation de puissance, lors de la conception des applications en haute fréquence tels que la téléphonie mobile (GSM, UMTS), les réseaux sans fil (Wifi, Bluetooth, bande ISM, Wimax) ou la localisation et le transport (GPS, radars de proximité...).

L'objectif de ce travail est d'analyser le comportement petit signal du transistor MOS SOI 130nm dans des gammes de fréquences élevées et ce en modélisant le composant afin d'extraire les paramètres physiques et électriques qui le constituent.

Le premier chapitre présentera tout d'abord ce qu'est un transistor MOSFET, puis décrira son principe de fonctionnement ainsi que les caractéristiques principales en précisant sa structure. Le cas du transistor PD SOI 130nm sera mis en relief, étant donné qu'il est souvent utilisé pour le domaine des RF.

Dans le deuxième chapitre, nous nous rapprochons plus du vif du sujet où l'approche de modélisation et d'extraction des transistors MOSFET en générale seront traitées. Dans un premier temps, nous allons nous intéresser à la modélisation analytique directe des transistors MOSFET. Ensuite nous allons aborder les différentes méthodes d'extraction directe appliquées à ce composant.

Dans le dernier chapitre, une première partie sera dédiée à l'exposition des caractéristiques relatives au comportement de transistor PD SOI 130nm en régime statique, où seront exposées les caractéristiques courant-tension. Ces dernières seront par la suite exploitées pour déduire des paramètres importants liés aux transistors, tel que, la conductance, la transconductance et la tension de seuil. Ensuite nous passons à l'extraction des éléments qui

constitue le transistor dans des gammes de fréquences élevé. Enfin nous effectuons des comparaisons entre les résultats de la simulation et les données issues des mesures, et ce, afin d'évaluer objectivement l'approche suivie.

Enfin, on termine par une conclusion générale.

## I.1. Introduction

Le MOSFET est la plus grande invention technique de l'ère moderne, considérée comme le dispositif de base des circuits modernes, tels que les cartes mémoire et les microprocesseurs. Son utilisation ne cesse d'augmenter depuis deux générations. L'architecture ainsi que les règles de miniaturisation associées à la technologie CMOS « Complementary Métal-Oxide-Semiconductor » et les challenges liés à cette course de réduction des dimensions seront présentés dans ce chapitre.

Le procédé de miniaturisation engendre des effets négatifs, pour cela, différentes approches ont été développées afin de poursuivre l'amélioration des performances des dispositifs. Telles que l'intégration de dispositif d'isolation sur substrat, silicium sur isolant SOI « Silicon-on-Insulator ».

Au cours de l'évolution de MOSFET, des nouvelles structures ont vu le jour qui sont basées sur la technologie MOS totalement désertée FD SOI (Fully Depleted Silicon-on-Insulator), citons, entre autres, le MOSFET SOI Partiellement déserté PD SOI (Partially Depleted Silicon-on-Insulator) sur lequel on va mener notre expérience et qui est aujourd'hui le dispositif principal dans les applications radiofréquences.

## I.2. Présentation du transistor MOSFET

Met en évidence aux débuts des années trente par les deux scientifiques Julius Edgar Lilienfeld et Oskar Heil, le transistor MOSFET est un dispositif semi-conducteur de base dans le domaine électronique. Il est le plus utilisé lors de la conception du circuit électronique tel que les microprocesseurs, les cartes mémoires, ...etc. Durant les années cinquante, les technologies des semi-conducteurs ont rapidement progressé en terme de procédé de diffusion, des techniques lithographiques ainsi que des méthodes de dépôt [1].

La structure MOS contient trois électrodes qui sont la grille, la source et le drain. La grille est déposée sur un isolant (couche d'oxyde de grille) recouvrant ainsi un substrat semi-conducteur qui est le canal, tandis que les deux autres emmagasinent les charges permettant la circulation du courant. On distingue deux types de transistor déterminés selon le type de porteur qui constitue le courant dans le canal : le transistor NMOS où le canal n est constitué d'électrons et le PMOS où le canal p est constitué de trous. On dit que le transistor est en mode bloqué lorsque le courant ne circule pas entre la source et le drain dû à l'absence

du champ électrique dans le canal. Au contraire, lorsqu'un champ électrique non nul est appliqué, le courant peut alors circuler entre l'électrode de la source et le drain, le transistor fonctionne alors à l'état passant.

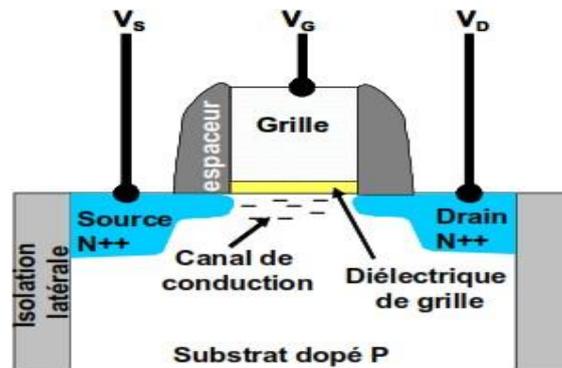


Figure I.1 : Schéma représentant un transistor MOS à effet de champ de type n (nMOSFET) [1].

### I.3. Principe de fonctionnement

Le transistor MOSFET se dit unipolaire car il fait appel à un seul porteur de charge. Le principe de base repose sur l'effet de champ appliqué à une superposition de couche de métal qu'est la grille, d'une couche d'oxyde et d'une couche de semi-conducteur de silicium polycristallin. Quand la différence de potentiel entre la grille et le substrat est nulle il ne se passe rien. Au fur et à mesure de l'augmentation de cette différence de potentiel, les charges libres dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde, créant dans un premier temps une zone dite de «déplétion», puis quand la différence de potentiel est suffisamment grande il apparaît une zone «d'inversion». Cette zone d'inversion est par conséquent une zone où le type de porteurs de charges est opposé à celui du reste du substrat, créant ainsi un «canal» de conduction [2].

### I.4. Processus de miniaturisation du transistor MOS

Depuis 1965 et l'énoncé de loi de Moore sur la miniaturisation des transistors MOS continue cette dernière a permis l'essor de l'industrie microélectronique. La réduction des dimensions du transistor MOS a eu le double avantages, améliore simultanément la rapidité de calcul des circuits intégrés CMOS et la densité d'intégration. Ceci a permis à l'industrie microélectronique d'offrir des puissances de calcul de plus en plus importantes tout en diminuant les coûts de fabrication unitaires et explique son intérêt pour la course en avant à la miniaturisation. en fait grâce à cette miniaturisation, de 1971 (procédé 10  $\mu\text{m}$ ) jusqu'à 2015

(procédé 14 nm), les performances ont été améliorées d'un facteur de 3500 fois, avec une meilleure efficacité énergétique de 90000 fois, mais surtout, le coût de production d'un transistor a été réduit de plus de 60000 fois [3]. Néanmoins la miniaturisation ne peut se faire sans l'apparition d'effets parasites, qui détériorent le bon fonctionnement du transistor. La figure I.2(b) exprime l'évolution de l'industrie des semi-conducteurs en nombre et coût de MOSFET.

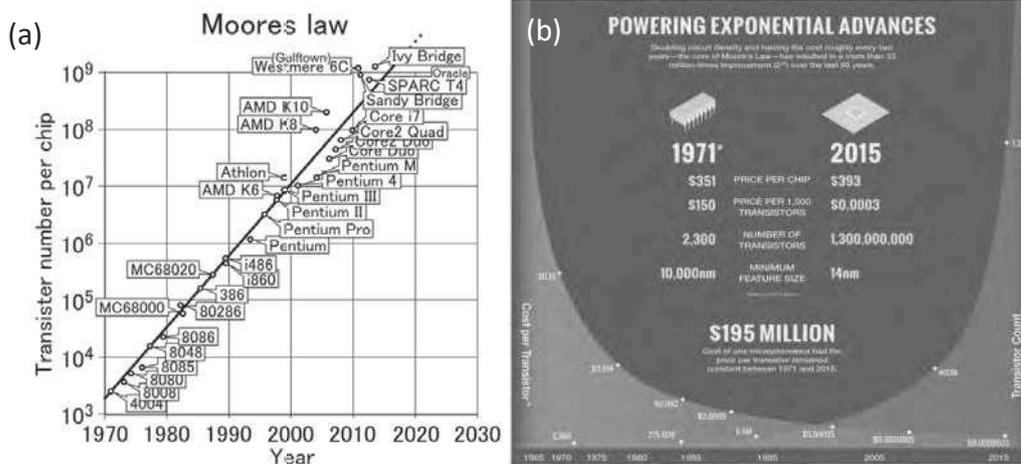


Figure I.2 : Loi de Moore (a) évolution de nombre (b) du coût de MOSFET depuis 50 ans de miniaturisation [3].

Nous détaillons dans le paragraphe qui suit les principaux ajouts et modifications introduit dans la fabrication du MOS sur substrat massif (figure I.3).

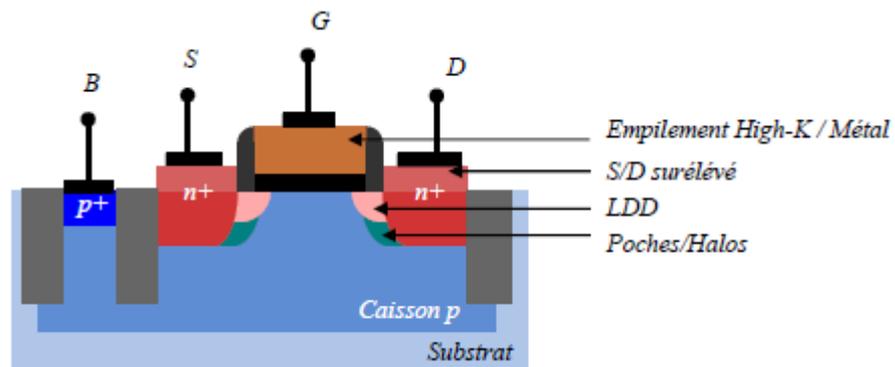


Figure I.3 : Vue en coupe schématique d'un transistor MOS développé en technologie 28 nm [4].

En premier lieu, des implants ont été ajoutés au niveau des jonctions source-canal et drain-canal que l'on abrégera par jonction S/D. Les implants LDD (Lightly Doped Drain) sont de même type que les zones de source et drain. Ils permettent de lisser les forts gradients de

Dopage avec le canal et réduisent ainsi le champ électrique et les effets de porteurs chauds associés, d'avalanche ou encore de canaux courts. Les implants poches et/ou halos, du même type que le caisson, sont réalisés au niveau des jonctions S/D avec le canal en surface (poches) ou avec le caisson plus en profondeur (halo). Ils sont rajoutés respectivement afin de contrôler les effets de canaux court et de limiter le perçage volumique sous le canal responsable d'un fort courant de fuite. Du côté de l'isolant de grille, des matériaux à forte permittivité ou high-k ( $\epsilon_{High-k} > 20$ ) sont introduits en remplacement du  $\text{SiO}_2$ . Cela permet de conserver des épaisseurs physiques de matériaux isolants suffisants pour empêcher les courants de fuite tout en augmentant la capacité de l'isolant. On parle alors de CET (Capacitive Equivalent Thickness) pour désigner l'épaisseur électrique de l'oxyde de grille en considérant la permittivité relative du  $\text{SiO}_2$  ( $\epsilon_{\text{SiO}_2} = 3.9$ ) pour référence. Dans le cas d'un matériau high-K, on peut écrire [4] :

$$CET = \frac{\epsilon_{\text{SiO}_2}}{\epsilon_{\text{High-k}}} \times t_{\text{High-k}} \quad (\text{I} - 1)$$

De manière complémentaire, le polysilicium (ou silicium polycristallin), qui sert à réaliser l'électrode de grille est remplacé par une électrode métallique. Ceci pour éviter la déplétion du polysilicium qui venait limiter la diminution du CET dans les derniers nœuds technologiques. En plus des innovations apportées pour améliorer les courants de fuite et le contrôle électrostatique, des étapes supplémentaires ont été introduites pour augmenter le courant à l'état passant ON. Les sources et drains sont surélevés grâce à des épitaxies pour diminuer les résistances d'accès. Des effets adaptés de contraintes mécaniques sur le réseau cristallin peuvent également être utilisés pour booster la mobilité des porteurs. Ces contraintes peuvent apparaître fortuitement lors du procédé de fabrication ou volontairement grâce à des solutions dédiées comme l'utilisation de CESL (couche de nitrure servant à l'arrêt de la gravure des contacts) ou de matériaux alternatifs pour les sources/drains (SiC pour les N-MOS et SiGe pour les P-MOS) [4].

Malgré les défis relevés pour conserver un bon ratio  $I_{\text{ON}}/I_{\text{OFF}}$ , qui sont respectivement le courant maximal à l'état passant et le courant de fuite à l'état bloqué, la réduction des dimensions entraîne des phénomènes de variabilité (rugosité des interfaces, définition des motifs, épaisseur des couches) qu'il devient difficile à contrôler. C'est notamment le cas de la répartition aléatoire des dopants dans le canal nommé RDF (Random Doping Fluctuation). Comme le volume de silicium se réduit drastiquement, il devient difficile de contrôler le nombre et la position des atomes dopants dans le canal pour de fortes concentrations

(quelques dizaines d'atomes pour des  $L < 100$  nm). Aujourd'hui ce phénomène devient l'une des principales causes de variabilité de la tension de seuil  $\sigma V_{TH}$ . Pour tenir compte de cette variabilité, les concepteurs sont obligés de prendre des marges importantes lors de la conception des circuits sensibles au  $\sigma V_{TH}$  comme par exemple les points mémoires SRAM. Ces marges limitent la baisse de la tension d'alimentation et deviennent bloquantes pour la diminution de la consommation des circuits. On remarquera ici que l'utilisation d'une grille métallique a par ailleurs permis de réduire la variabilité associée à la répartition des joints de grain dans le silicium polycristallin [4].

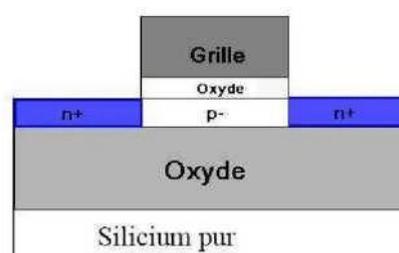
## I.5. Amélioration des performances de MOSFET

Plusieurs solutions ont été développées pour repousser les limites des MOSFETs en terme de performances tout en assurant la continuité de processus de miniaturisation dont l'une d'elles est l'augmentation du contrôle électrostatique du canal par la grille. Le renforcement de ce couplage peut être réalisé en augmentant le nombre de grille ou en réduisant l'épaisseur du film silicium. Ceci permet une meilleure gouvernance du canal ainsi qu'une diminution des effets canaux courts [5].

Pour atteindre les objectifs fixés par les concepteurs, ils ont dû remplacer les MOSFETs conventionnels par des nouveaux dispositifs tel que les transistors PD SOI et FD SOI.

## I.6. Le transistor MOS SOI (silicium sur isolant)

Comme l'indique son nom, le transistor MOS SOI est réalisé sur un substrat SOI (figure I.4). Ce substrat est constitué d'un film de silicium superficiel reposant sur une couche d'oxyde dite oxyde enterré BOX (Burried OXide).



**Figure I.4 :** structure d'un transistor (simple grille) SOI de type n [6].

La technologie SOI ne fait appel qu'aux films de silicium dits minces ou ultra-minces (l'épaisseur de film de silicium  $t_{si}$  varie généralement entre 20 et 200 nm) tandis que l'épaisseur de l'oxyde enterré  $t_{box}$  varie habituellement entre 80 et 400 nm.

Le transistor SOI sur film mince ou ultra-mince est caractérisé par le fait que la région localisée sous la grille de transistor ou va se former le canal de conduction, appelé body en soi, n'est pas accessible et n'est donc pas polarisée. Le transistor SOI, de fait de son isolation électrique, est le siège d'effets dit de substrat flottant, le body s'autopolarise sous l'influence de différents mécanismes physique pouvant apparaître dans le transistor et des signaux électriques qui lui sont appliqués. [6]

## I.7. Comparaison entre MOS sur substrat Si massif et SOI

La technologie CMOS est subdivisée en deux architectures, la technologie CMOS sur silicium massif (BULK) et la technologie CMOS SOI (Silicon-on-Insulator). Du point de vue de structure, la technologie SOI possède une couche isolante oxyde enterré BOX sur le substrat physique, ce qui lui permet d'apporter une solution en terme de compromis performance /consommation de puissance. De ce fait, la technologie CMOS SOI est devenue un excellent candidat en remplaçant la technologie BULK dans le but d'assurer la continuité de la filière CMOS. Les avantages de la technologie sur substrat SOI par rapport à la technologie classique sont :

- les transistors MOS SOI peuvent fonctionner à des tensions très basses, contrairement à la technologie BULK. Ceci permet d'avoir des dispositifs à faible consommation de puissance.
- les capacités parasites du transistor MOS SOI sont considérablement réduites. En effet, les capacités de jonction source-substrat et drain-substrat, les quelles pour le MOSFET BULK correspondent à la capacité d'une jonction polarisé en inverse, ne sont en réalité pour le SOI qu'une capacité d'oxyde (i.e. la capacité d'oxyde enterré  $C_{Box}$ ) qui est quatre voire sept fois inférieure à la capacité de la jonction obtenu sur le silicium massif [7].
- les dispositifs SOI sont plus rapides que les MOSFET sur silicium massif, pour la même vitesse, les MOSFETs SOI consomment moins de puissance [8].
- La réduction du courant de fuite, ce qui amène à une meilleure application numérique pour une consommation réduite.
- Une simplification dans les procédés de fabrication avec un nombre de masques réduits [6].
- Amélioration de contrôle de la grille sur la charge de déplétion, le rapport entre la charge de déplétion contrôlée par la grille et le drain (ou la source) est beaucoup

plus important pour le transistor SOI, par rapport aux transistor MOS BULK, avec des dimensions identique ( $L, W, T_{ox}, X_j$ ), ce phénomène est d'autant plus marquée que la longueur du canal diminue [6].

## I.8. Les transistors MOS pour les applications RF

Le MOSFET sert principalement pour la conception de circuit numérique, son faible cout et ses performances en font un composant de plus en plus incessant pour les applications radiofréquences.

Les performances RF d'un dispositif comme le MOSFET peuvent être abordées par des grandeurs telles que les fréquences de transitions.

$$f_t = \frac{g_m}{2\pi \cdot c_{gg}} \quad (\text{I} - 2)$$

$$f_{max} = \frac{f_t}{\sqrt{R_{ggext} \times (g_{ds+} + 2 \times \pi \times f_t \times C_{gd})}} \quad (\text{I} - 3)$$

$C_{gg}$  : la capacité totale vue de la grille.

$R_{ggext}$  : la résistance de la grille

$C_{gd}$  : la capacité grille-drain totale (c'est-à-dire la somme des contributions intrinsèques et extrinsèques).

Compte tenu des effets de petite géométrie,

$$f_t \propto \frac{1}{L_g} \quad (\text{I} - 4)$$

La réduction de l'épaisseur d'oxyde de grille et de la longueur du canal permet donc directement d'avoir des composants de plus en plus rapides, présentant un intérêt grandissant pour les applications RF qui sont principalement les communications sans fil : wifi, bluetooth, réseaux sans fil, GSM, GPS. Les dispositifs sont donc utilisés pour des circuits figurant dans la chaîne de réception ou d'émission de telles applications : amplificateur faible bruit, boucle à verrouillage de phase (dont l'oscillateur commandé en tension est un élément particulièrement délicat), convertisseurs analogique-numérique et numérique-analogique [9].

Les performances de rapidité du transistor MOS et le faible cout lors de sa fabrication ainsi que l'excellence intégration avec des fonctions numériques qu'il représente, fassent de lui le candidat idéal durant les applications en haute fréquence.

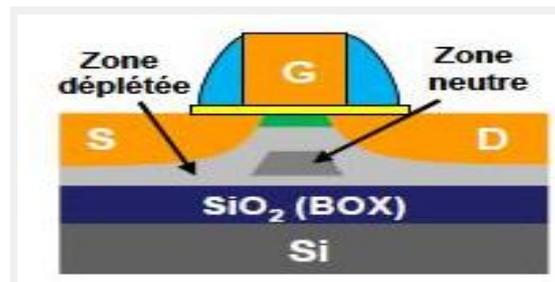
### I.9. Les MOSFETs SOI Partiellement déserté (PD SOI)

Les performances des circuits intégrés RF sont directement liées à la caractéristique analogique et haute fréquence des transistors, à la qualité des interconnexions métalliques ainsi qu'aux propriétés électromagnétiques du substrat. Grâce à l'introduction sur le marché du substrat SOI à haute résistivité et riche en pièges, les spécifications des circuits intégré en termes de linéarité sont satisfaites [6]. Le MOSFET SOI partiellement déserté (PD) permet de réduire les capacités parasites ce qui améliore les performances en haute fréquence.

Le transistor SOI est caractérisé par l'épaisseur de la zone déserté du film de silicium, qui est décrite par la relation :

$$d_{max} = \sqrt{\frac{4 \times \epsilon_{si} \times \Phi_F}{q \times N_a}} \quad (I - 5)$$

Où  $\Phi_F$  est le potentiel de Fermi du silicium,  $\epsilon_{si}$  est la permittivité et  $N_a$  est le dopage en ions accepteurs du film de silicium. Le transistor partiellement déserté tient son nom du fait que l'épaisseur du film de silicium est plus importante que  $d_{max}$ , les propriétés électriques de transistor sont présentées dans la figure I.5.



**Figure I.5 :** schéma d'un transistor MOS SOI partiellement désertés [10].

Le film actif de silicium présente une zone interne neutre, située entre la zone de désertion et la couche d'oxyde enterré, qui empêche toute interaction entre les faces avant et arrière du transistor et permette d'immuniser le transistor contre les radiations. La réduction des capacités de jonction parasites se traduit par une amélioration des performances des transistors SOI en haute fréquence par rapport aux transistors MOS sur silicium massif (bulk).

Toutefois, le transistor PD-SOI ne permet pas le contrôle du potentiel dans tout le film. En plus des effets canal court SCEs, le transistor PD-SOI est soumis aux effets de substrat flottant qui dégradent le fonctionnement du transistor. Nous soulignons aussi le fait que l'effet KINK qui est l'un des principaux effets du substrat flottant et déclenché par l'accumulation de charges produites par ionisation par impact dans le film de silicium. Cet effet se traduit dans les transistors SOI partiellement déplétés par une augmentation du courant de drain et par du bruit électrique en saturation [7].

## **I.10. Conclusion**

Dans ce chapitre, nous avons présenté d'une part, quelque généralité sur le transistor MOSFET, précisément son principe de fonctionnement ainsi que l'évolution de procédure de miniaturisation à travers le temps. D'autre part, on s'y focalisé sur la technologie SOI comme une alternatif qui a fait ses preuves en terme de rapidité, faible consommation de puissance ainsi que l'immunité à la radiation, et qui ont fait d'elle l'élément révolutionnaire à la base de tous les applications en radiofréquences.

En fin, on a précisé le type de transistor choisi pendant notre démarche, qui est, le MOSFET SOI Partiellement Déserté (PD SOI), il est connu pour ces performances souhaitables lors de la conception des circuits électroniques dans des fréquences élevés.

## II.1. Introduction

L'évolution du transistor MOS a longtemps été pensée en termes de circuits numériques (microprocesseurs, microcontrôleurs, DSPs,...) ses performances de rapidité en font désormais un composant intéressant pour les circuits analogiques et RF, Ceci a permis de développer de nombreuses applications RF grand public (principalement pour les communications sans fil).

Dans ce chapitre, nous allons décrire la méthodologie d'extraction des éléments d'un schéma équivalent petit signal en haute fréquence utilisant la modélisation phénoménologique et plus particulièrement la modélisation analytique direct. De plus, nous allons exposer quelques techniques d'extraction des valeurs des éléments constituant son modèle électrique équivalent.

## II.2. Modélisation de transistor MOSFET

La modélisation des transistors MOSFETs en haute fréquence passe par différentes étapes qui visent à reproduire les phénomènes physiques et électriques régissant ce type de composant. Dans notre cas, nous avons choisi la modélisation phénoménologique et plus particulièrement modélisation analytique directe type qui nous permet d'extraire le modèle équivalent petit signal du transistor MOSFET à savoir le PD SOI 130 nm à partir des données expérimentales (paramètres [S]), disponibles au niveau du centre de développement des technologie avancée CDTA.

## II.3. La modélisation phénoménologique

Ce type de modélisation est purement empirique. Elle est basée sur la représentation des effets observables et mesurables, indépendamment de leur nature. Ce type de modélisation contient des modèles utilisant un circuit électrique équivalent qui comporte des éléments linéaires et non linéaires. Ces derniers doivent être décrits par des expressions mathématiques relativement simples pour ne pas dégrader la convergence et le temps de calcul des simulateurs [11] [12].

Le premier avantage de ce type de modélisation est d'abord l'élaboration d'un modèle peut s'avérer très rapide, des équations simples peuvent très bien décrire le comportement électrique du transistor, sur tous les régimes de polarisation et sur la gamme de fréquence de fonctionnement ciblée. Une fois le modèle élaboré, l'extraction des paramètres est rapide et les mesures requises sont simples et peu nombreuses [13]. Par ailleurs, à cause de la nature de

La modélisation empirique, le modèle est facilement incorporable dans un simulateur de circuits. Grâce à la simplicité de tels modèles, le temps de calcul numérique peut être considérablement réduit [8]. La modélisation phénoménologique est subdivisée en trois types de modélisation qui sont :

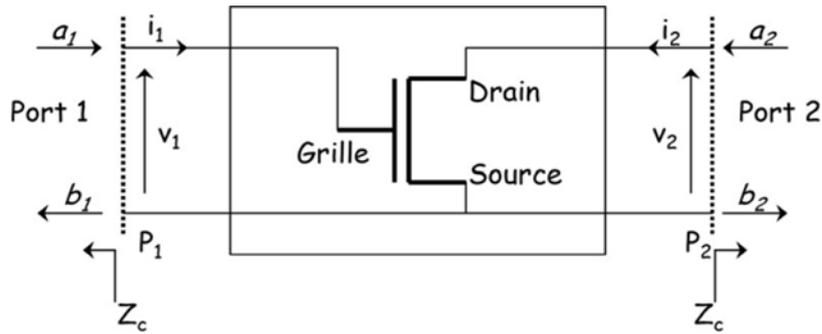
- Les méthodes numériques basées sur l'optimisation des éléments d'un schéma équivalent
- Les méthodes pseudo- analytiques.
- Les méthodes analytiques directes destinées à l'extraction du schéma équivalent à partir des paramètres de répartition [S] mesurés.

Notre travail est basé sur les méthodes analytiques directes, le scientifique Gille Dambrine [14], est le premier qui a développé une méthode d'extraction totalement analytique basé sur la transformation et l'épluchage matriciels. Le principe de ces méthodes est de placer le transistor dans des conditions particulières pour objectif de simplifier les calculs. C'est à dire ce genre de méthode permet dans une première étape de déterminer les éléments extrinsèques (parasites). Les éléments de la partie intrinsèques sont déduits analytiquement utilisant des transformations et épluchage matriciel [8].

#### II.4. Mesure des paramètres S

Pour caractériser le transistor MOS jusqu'à des fréquences élevées (par exemple, jusqu'à 110GHz), on cherche à obtenir, en module et en phase, une mesure petit signal du transistor MOS, c'est-à-dire une mesure à un certain point de polarisation et pour une certaine fréquence, en considérant le dispositif comme un quadripôle linéaire autour du point de polarisation.

En régime de fonctionnement petit-signal (faibles amplitudes d'excitation), le quadripôle peut être caractérisé par des relations linéaires entre les courant  $i_i$  et les tensions  $v_i$ . Mais en haute fréquences, les notions de courant et de tension sont difficiles à utiliser. Pour cela, on utilise les mesures des paramètres S qui se font sur entrée et sortie adaptées et n'entraînent pas de difficultés. [14].



**Figure II.1** : Représentation d'un transistor en source commune, sous la forme d'un quadripôle [13].

Pour cela, nous utilisons le concept de la puissance d'onde. Dans le plan du circuit (plan p1 ou plan p2 de la figue II.1), sont définies la puissance de l'onde incidente  $a_i$  et la puissance d'onde réfléchie  $b_i$ . Entre deux plans (P1 et P2), est définie la notion de la puissance transmise. Les puissances  $a_i$  et  $b_i$  sont reliées avec les courants  $i_i$  et les tensions  $v_i$  par les relations [14] :

$$a_i = \frac{v_i + Z_c i_i}{2 \times \sqrt{R_e(Z_c)}} \quad (\text{II -1})$$

$$b_i = \frac{v_i - Z_c i_i}{2 \times \sqrt{R_e(Z_c)}} \quad (\text{II -2})$$

$Z_c$  est l'impédance caractéristique sur laquelle le quadripôle est chargé.

Le quadripôle est caractérisé par les paramètres S qui sont définis par des relations linéaires entre les ondes incidentes, réfléchies et transmises. Ils sont définis par :

$$b_1 = S_{11}a_1 + S_{12}a_2 \quad (\text{II -3})$$

$$b_2 = S_{21}a_1 + S_{22}a_2 \quad (\text{II -4})$$

Ou sous forme matricielle :

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = (S) \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{II -5})$$

Les 4 paramètres  $S_{ij}$  sont des grandeurs complexes. La signification physique des paramètres S est la suivante :

$$s_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{II -6})$$

C'est le coefficient de réflexion l'entrée, la sortie étant adapté.

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{II -7})$$

C'est le coefficient de transmission sortie→ entrée, l'entrée étant adaptée.

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{II -8})$$

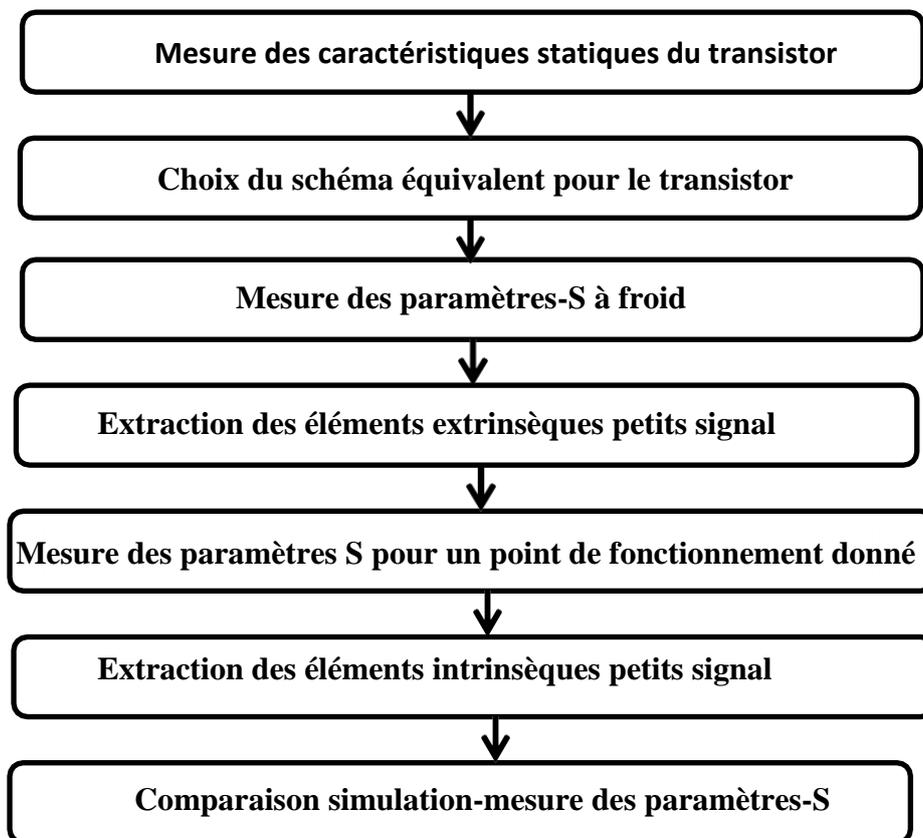
C'est le coefficient de transmission entrée→ sortie, la sortie étant adaptée.

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{II -9})$$

Les paramètres S sont mesurés par un analyseur de réseau vectoriel (ou VNA, Vector Network Analyzer), et usuellement représentés dans un abaque de Smith, qui est une transformation du plan des impédances complexe en un plan des coefficients de réflexion complexe [9]. Ils permettent de décrire le comportement électrique de réseaux électriques linéaires en fonction des signaux d'entrée et aussi l'extraction des éléments extrinsèques d'un modèle. Dans notre cas, pour caractériser et modéliser notre transistor pour des fréquences élevés jusqu'à 40 GHz, il faut obtenir les paramètres S en petit signal (régime linéaire).

## **II.5. Méthodologie suivie pour l'extraction des éléments du model électrique petit signal (linéaire)**

Ce paragraphe nous explique d'une façon détaillé la constituante du schéma électrique équivalent ainsi que les techniques utilisées pour extraire chaque éléments de ce model électriques. Ces techniques d'extraction sont basées sur des données expérimentales (paramètres [S]) mesuré en haute fréquence.



**Figure II.2.** Organigramme des étapes à suivre suivie pour l'extraction des éléments du schéma équivalent à petit signal et sa validation.

## II.6. Schéma équivalent petit signal

Pour chaque méthode d'extraction, le choix de la topologie du circuit équivalent petit signal est de très haute importance. Nous avons choisi un schéma équivalent standard largement utilisé dans la littérature (voir fig.II.3). Pour définir les différents éléments constituant le model électrique petit signal (linéaire) on utilise la notion d'élément localisé.

De point de vu fonctionnement ce schéma équivalent doit reflète le comportement physique du transistor MOSFET, ce dernier est subdivise en deux partie principales: la partie intrinsèques et la partie extrinsèques. La partie intrinsèques correspond à la partie ou l'effet transistor se produit c'est partie active du transistor (canal) les éléments à l'intérieur du rectangle en pointillé de la fig.II.3. Par contre, la partie extrinsèque représente les éléments

parasites des zones d'accès entre la partie active et les contacts métalliques connectant le transistor aux restes de circuit.

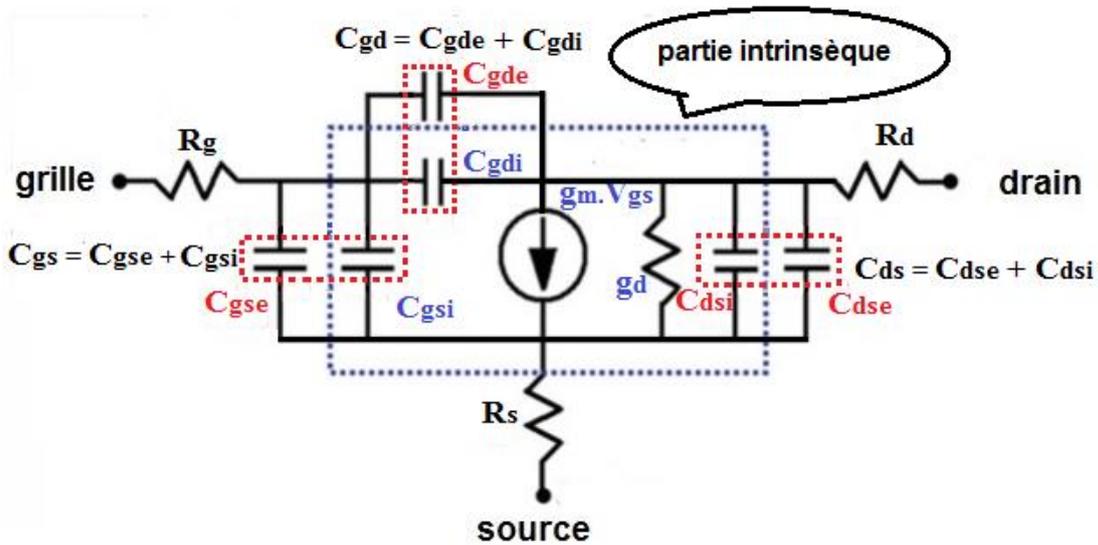


Figure II.3. Modèle petit signal pour le transistor MOSFET [8].

### II.6.1. La partie extrinsèque

Les éléments extrinsèques représentent les éléments parasites du transistor; ce sont les éléments qui ne sont pas à l'intérieur du rectangle en pointillé de la figure II.3. Ils sont supposés être indépendants des polarisations et du régime de fonctionnement [8]. La résistance  $R_g$  représente la résistance de siliciuration de la grille distribuée sur toute la largeur de la grille. Les résistances  $R_s$  et  $R_d$  modélisent la résistivité des caissons fortement dopés de source et de drain, respectivement. Elles sont inversement proportionnelles à la largeur du transistor. Par contre,  $R_g$  est proportionnelle à la largeur totale. Les capacités  $C_{gse}$ ,  $C_{gde}$  et  $C_{dse}$  représentent les capacités de bord et de chevauchement [8].

### II.6.2. La partie intrinsèque [15].

La partie intrinsèque correspond à la zone active sous la grille où l'effet transistor se produit c'est-à-dire le canal. Tous les éléments de cette partie sont supposés indépendants des conditions de polarisation sauf en ce qui concerne les conductances du transistor. L'extraction de la partie intrinsèque du transistor se fait ensuite lorsque celui-ci est polarisé

Le mécanisme d'amplification est traduit par une transconductance  $g_m$  définie par :

$$g_m = \left. \frac{\delta q \cdot I_{ds}(V_{gs}, V_{ds})}{\delta V_{gs}} \right|_{V_{ds} = C_{cste}} \quad (\text{II - 10})$$

Les transistors MOSFET ne sont pas des sources de courant idéal, c'est pour cela qu'une conductance de sortie est ajoutée dans le modèle. Elle est défini par :

$$g_d = \left. \frac{\delta q \cdot I_{ds}(V_{ds}, V_{gs})}{\delta V_{ds}} \right|_{V_{gs} = C_{cste}} \quad (\text{II - 11})$$

Dans les équations (II-10) et (II-11), le paramètre  $I_{ds}$  représente le courant qui circule entre le drain et la source et dépend de  $V_{gs}$  et  $V_{ds}$ .

La capacité  $C_{dsi}$  correspond aux capacités en série des jonctions de source et de drain. Elle est définie par la relation suivante :

$$C_{dsi} = \left. \frac{\delta Q_d(V_{gs}, V_{ds})}{\delta V_{ds}} \right|_{V_{gs} = C_{cste}} \quad (\text{II - 12})$$

$Q_d$  est la charge accumulée sous l'électrode de drain. Les capacités  $C_{gsi}$  et  $C_{gdi}$  représentent la répartition de la charge de grille  $Q_g$  entre la source et le drain sous l'effet des tensions  $V_{gs}$  et  $V_{gd}$ . Elles sont définies par :

$$C_{gsi} = \left. \frac{\delta Q_g(V_{gs}, V_{ds})}{\delta V_{gs}} \right|_{V_{ds} = C_{te}} \quad (\text{II - 13})$$

$$C_{gdi} = \left. \frac{\delta Q_{ds}(V_{ds}, V_{gs})}{\delta V_{ds}} \right|_{V_{gs} = C_{te}} \quad (\text{II - 14})$$

Les effets non quasi-statiques sont pris en compte par les résistances  $R_i$  et par la constante  $\tau$ , introduisant un retard entre l'application de la tension de commande  $V_{gs}$  et son effet sur le courant  $I_{ds}$ .

## II.7. Techniques d'extraction des éléments d'un schéma équivalent petit signal d'un MOSFET

La diversité des phénomènes physiques qui accompagne chaque génération du transistor MOSFET, pousse des chercheurs à fournir plus d'efforts en proposant plusieurs méthodes d'extraction pour prendre en compte ces phénomènes physiques. Les travaux qui sont mené

sur les méthodes statiques ont montré que ses dernières nous permettent de déterminer la résistance totale de drain et source  $R_{ds}$ . Mais, la détermination de la résistance de grille  $R_g$  est impossible, donc ce genre de méthode ne permet pas d'avoir les valeurs de tous les éléments D'un circuit électriques équivalent. Pour cela, l'alternative est les méthodes d'extraction RF qui nous permette de déterminer les valeurs des résistances extrinsèques à savoir  $R_g$ ,  $R_s$  et  $R_d$ . Dans cette section nous exposons les différentes méthodes d'extraction directe basée sur un schéma équivalent petit signal des transistors MOSFET Fig.II.3.

### II.7.1. Méthode de polarisation à froid (Cold FET)

La technique de polarisation à Froid (cold FET) a été introduite par Diamant. Elle permet de déterminer les résistances et les inductances parasites à partir des paramètres-S mesurés à  $V_{ds} = 0$  V. Gille Dambrine a publié une méthode qui nous permet d'obtenir les éléments parasites d'un transistor à effet de champ à partir des paramètres-S mesurés à ( $V_{gs} > 0$  V et  $V_{ds} = 0$  V) [14].

#### II.7.1.1. Détermination des éléments parasites

Le schéma équivalent montré dans la figure II.4. Contient seulement une partie extrinsèque qui représente les éléments parasites. Le but de cette méthode est de polariser le transistor à froid c'est-à-dire ( $V_{ds} = 0$  V et  $V_{gs} < V_{th}$ ) ou  $V_{th}$  est la tension de seuil. Dans ce cas le transistor est à l'état OFF c'est-à-dire que la partie intrinsèque n'existe plus, ce qui facilite l'extraction des éléments parasites [9]. Le calcul des éléments extrinsèques est à partir des transformations matricielles de la matrice de répartition [S] en matrice impédances [Z] pour extraire les résistances et inductances extrinsèques. La matrice de répartition [S] et la matrice impédances [Z] sont représentés respectivement par :

$$[S] = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \quad (\text{II} - 15)$$

$$[Z] = \begin{bmatrix} (R_g + R_s) + j\omega(L_g + L_s) & R_s + jL_s\omega \\ R_s + jL_s\omega & R_d + R_s + j(L_d + L_s)\omega \end{bmatrix} \quad (\text{II} - 16)$$

D'une façon générale les résistances extrinsèques représente la partie réelle des paramètres  $Z_{ij}$ . Par contre, la partie imaginaire est destinée pour déterminer les inductances extrinsèques.

$$[Z_e] = \begin{bmatrix} (R_{ge} + R_{se}) & R_{se} \\ R_{se} & (R_{de} + R_{se}) \end{bmatrix} \quad (\text{II} - 17)$$

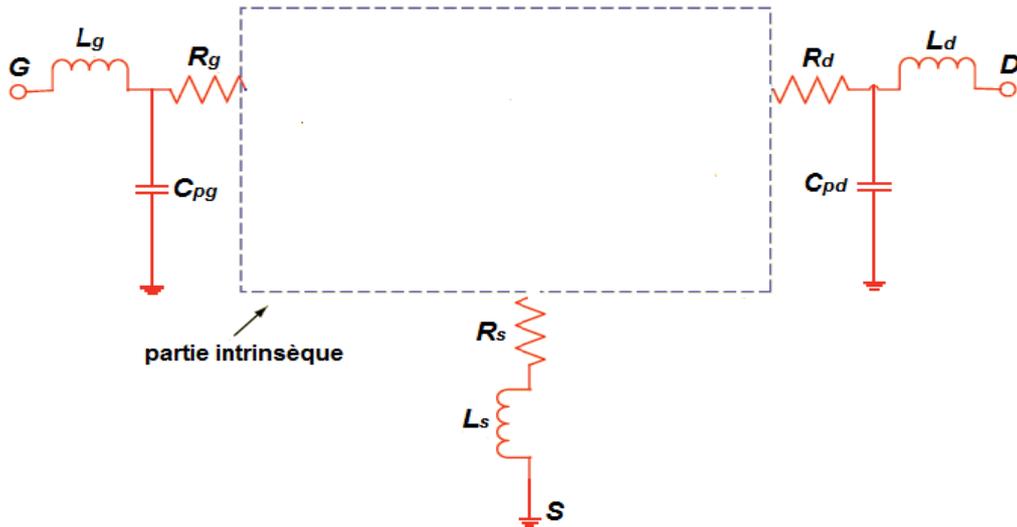


Figure II.4 : Schéma équivalent petit signal d'un MOSFET à froid [13].

Les capacités extrinsèques représentent les capacités parasites du transistor. Leur détermination est à partir d'une transformation de la matrice impédance  $[Z]$  en matrice admittance  $[Y]$  et qui est la suivant :

$$[Y_e] = \begin{bmatrix} j\omega(C_{gse} + C_{gde}) & -j\omega C_{gde} \\ -j\omega C_{gde} & j\omega(C_{dse} + C_{gde}) \end{bmatrix} \quad (\text{II} - 18)$$

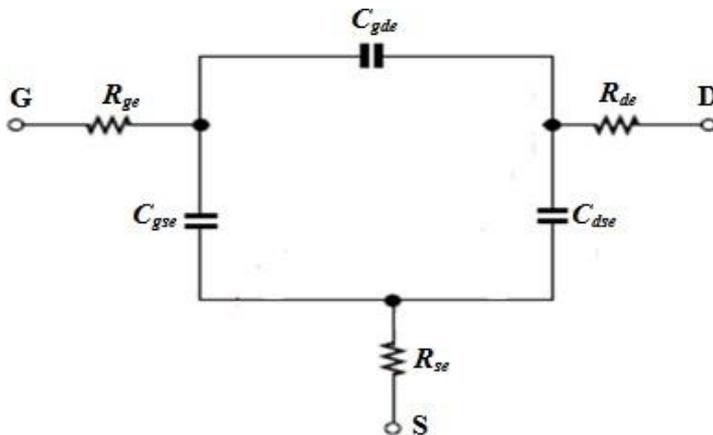


Figure II.5 : Schéma équivalent petit signal du transistor MOS SOI à  $V_{ds} = V_{gs} = 0 \text{ V}$  [16].

Les capacités parasites peuvent être directement déduites à partir de la partie imaginaire des paramètres- $Y$  du circuit équivalent (figure II.5) en déplétion ( $V_{ds} = V_{gs} = 0 \text{ V}$ ) et en utilisant les équations suivantes [8] :

$$\text{Im}(Y_{11}) = (C_{gse} + C_{gde}) \quad (\text{II} - 19)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -(C_{gde}) \quad (\text{II} - 20)$$

$$\text{Im}(Y_{22}) = (C_{dse} + C_{gde}) \quad (\text{II} - 21)$$

### II.7.1.2. Détermination des éléments intrinsèques

Les éléments intrinsèques mentionnés en figure II.3 sont déterminés par la matrice admittance intrinsèque  $[Y_{int}]$  ; cette dernière est obtenue à partir de la matrice de répartition  $[S]$  mesurée à un point de fonctionnement donné en saturation une fois les éléments parasites sont éliminés. L'extraction de ces éléments est effectuée par un simple calcul matriciel. La topologie en PI du schéma équivalent de la figure II.3 nous donne en effet la matrice  $[Y_{int}]$  suivante [17]:

$$Y_{11int} = \frac{R_i C_{gs}^2 \omega^2}{D} + j\omega \left( \frac{C_{gs}}{D} + C_{gd} \right) \quad (\text{II} - 22)$$

$$Y_{12int} = -j\omega C_{gd} \quad (\text{II} - 23)$$

$$Y_{21int} = \frac{g_m e^{-j\omega\tau}}{1 + j\omega R_i C_{gs}} - j\omega C_g \quad (\text{II} - 24)$$

$$Y_{22int} = g_d + (C_{ds} + C_{gd}) \quad (\text{II} - 25)$$

Avec  $D = 1 + R_i^2 C_{gs}^2 \omega^2$ .

### II.7.2. Méthode de lovelace

La méthode lovelace est réalisé en polarisant le transistor en déplétion c'est à dire  $V_{gs} \ll (V_{th} \text{ et } V_{ds} = 0 \text{ V})$ , dans ce cas le transistor est à l'état OFF c'est-à-dire les éléments intrinsèques disparaissent. Le transistor peut être représenté par un circuit équivalent simplifié tel que montré à la figure II.6, la partie réelle des impédances du circuit équivalent de la figure est :

$$R_e(Z_{11} - Z_{12}) = R_{ge} \quad (\text{II} - 26)$$

$$R_e(Z_{12}) = \text{Im}(Z_{21}) = R_{se} \quad (\text{II} - 27)$$

$$R_e(Z_{22} - Z_{12}) = R_{de} \quad (\text{II} - 28)$$

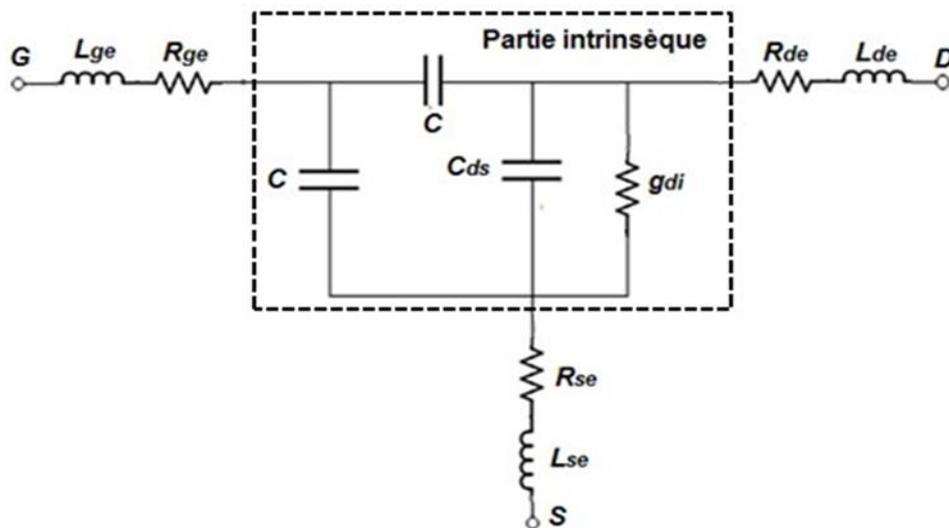
Quant aux parties imaginaires des impédances  $Z$ , elles sont représentées comme suit :

$$\text{Im}(Z_{11} - Z_{12}) = \omega^2 L_{ge} + C_A \quad (\text{II} - 29)$$

$$\text{Im}(Z_{12}) = (Z_{21}) = \omega^2 L_{se} + C_B \quad (\text{II} - 30)$$

$$\text{Im}(Z_{22} - Z_{12}) = \omega^2 L_{de} + C_C \quad (\text{II} - 31)$$

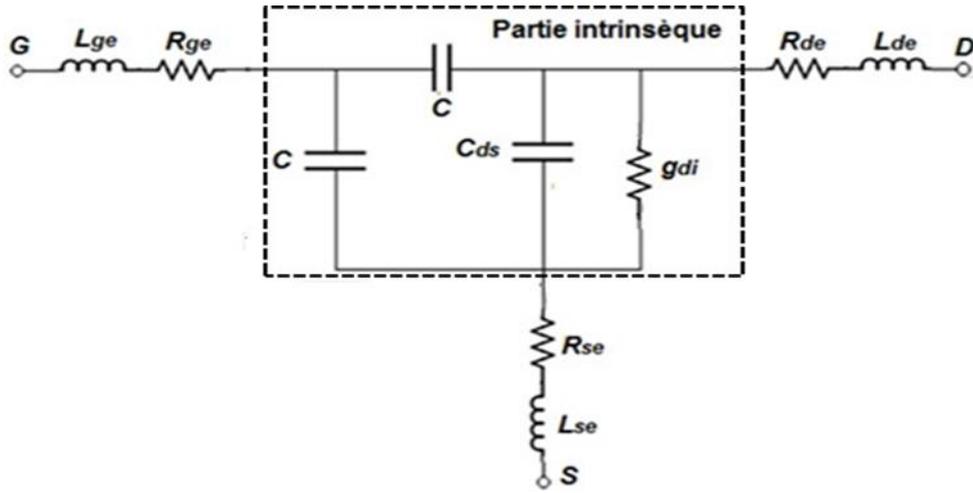
$C_A$ ,  $C_B$  and  $C_C$  sont des valeurs qui dépendent des capacités extrinsèques  $C_{gse}$ ,  $C_{gde}$  et  $C_{dse}$ . Le tracé de la partie imaginaire multipliée par  $\omega$  en fonction de  $\omega^2$  donne une fonction linéaire, où les pentes de chaque courbe correspondent aux inductances série respectives [18].



**Figure II.6 :** Circuit équivalent petit signal à  $V_{gs} \ll V_{th}$  et  $V_{ds} = 0$  V [18].

### II.7.3. Méthode de Bracale

Dans cette méthode, le transistor MOS est polarisé en inversion c'est-à-dire à  $V_{gs} > V_{th}$  et  $V_{ds} = 0$  V. Dans ces conditions, la transconductance intrinsèque disparaît. En outre, à  $V_{ds} = 0$  V le transistor devient symétrique, ce qui implique que  $C_{gs} = C_{gd} = C$ . Ainsi le transistor peut être représenté par le circuit équivalent simplifié de la figure II.7 [19].



**Figure II.7 :** Circuit équivalent petit signal en régime d'inversion  $V_{gs} > V_{th}$  et  $V_{ds} = 0$  V [19].

On considèrera que  $C + 2CC_{ds} \ll 2g_{di}/\omega$  ainsi que la mobilité constante est appliqué pour chaque  $V_{gs}$ . Les parties réelles des paramètres  $Z$  des éléments du circuit équivalent de la figure 2.10 peuvent se mettre sous la forme suivante [8].

$$R_e(Z_{22} - Z_{12}) = R_{de} + \frac{1}{2K(V_{gs} - V_T)} \quad (\text{II} - 32)$$

$$R_e(Z_{12}) = R_{se} + \frac{1}{2K(V_{gs} - V_T)} \quad (\text{II} - 33)$$

$$R_e(Z_{11} - Z_{12}) = R_{ge} + \frac{1}{4K(V_{gs} - V_T)} \quad (\text{II} - 34)$$

Où  $K = \mu \left(\frac{W}{L}\right) C_{OX}$ ,  $\mu$  et  $C_{ox}$  étant respectivement la mobilité et la capacité d'oxyde de grille normalisée alors que  $W$  et  $L$  représentent respectivement la largeur et la longueur du canal du transistor MOS. Enfin, les résistances série sont déterminées par l'intersection des courbes représentant les parties réelles des paramètres  $Z$  en fonction de  $1/(V_{gs} - V_{th})$ .

Quant aux parties imaginaires des paramètres  $Z$ , elles permettent de déterminer les inductances  $L_{de}$ ,  $L_{se}$  et  $L_{ge}$ . Elles sont données par :

$$\text{Im}(Z_{22} - Z_{12}) = L_{de} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (\text{II} - 35)$$

$$\text{Im}(Z_{12}) = L_{se} + \frac{C + 2C_{ds}}{4K^2} \frac{1}{(V_{gs} - V_T)^2} \quad (\text{II} - 36)$$

$$\text{Im}(Z_{11} - Z_{12}) = L_{ge} + \frac{C_{ds}(C + 2C_{ds})}{4CK^2} \frac{1}{(V_{gs} - V_T)^2} - \frac{1}{2C\omega^2} \quad (\text{II} - 37)$$

Ainsi,  $L_{de}$  et  $L_{se}$  sont obtenues par l'intersection des courbes qui correspondent aux parties imaginaires des paramètres  $Z$  en fonction de  $(1/(V_{gs}-V_{th})^2)$ . Dans le cas de  $L_{ge}$ , deux étapes sont nécessaires [18] :

- Une première régression linéaire de  $\text{Im}(Z_{11}-Z_{12})$  en fonction de  $\omega^2$  pour différentes valeurs de  $V_{gs}$ .
- Une seconde régression linéaire de chaque intersection de l'étape précédente en fonction de  $(1/(V_{gs}-V_{th})^2)$ .

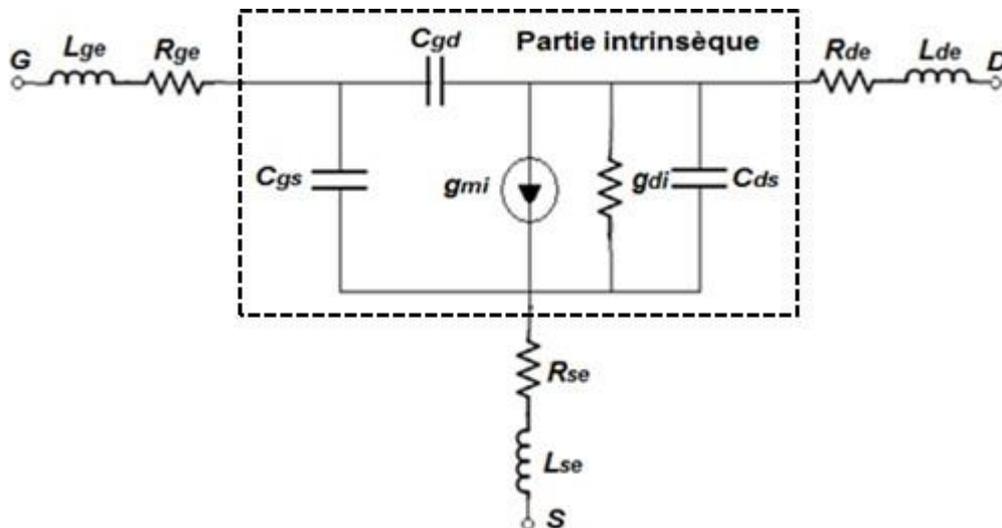
#### II.7.4. Méthode de Raskin

Dans cette méthode, le transistor est polarisé en saturation  $V_{gs} > V_{th}$  et  $V_{ds} > V_{gs}-V_{th}$ . Dans ce cas le dispositif est considéré asymétrique, son circuit équivalent étant représenté à la figure II.8 [20]. Les parties réelles des paramètres  $Z$  peuvent être exprimés par :

$$R_e(Z_{12}) = R_{se} + \frac{A_s}{\omega^2+B} \quad (\text{II} - 38)$$

$$R_e(Z_{22} - Z_{12}) = R_{de} + \frac{A_d}{\omega^2+B} \quad (\text{II} - 39)$$

$$R_e(Z_{11} - Z_{12}) = R_{ge} + \frac{A_g}{\omega^2+B} \quad (\text{II} - 40)$$



**Figure II.8 :** Circuit équivalent petit signal en régime de saturation  $V_{gs} > V_{th}$  et  $V_{ds} > V_{gs} - V_{th}$  [21].

Ainsi, les résistances série extrinsèques sont obtenues en utilisant le tracé des courbes suivantes :

La paire  $\{R_e([Z_{\sigma\pi 12}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$  permet de déterminer la résistance de source  $R_{se}$ , la paire  $\{R_e([Z_{\sigma\pi 11}(\omega)], R_e([Z_{\sigma\pi 21}(\omega)])\}$  permet de déterminer la résistance de grille  $R_{ge}$  et la paire  $\{R_e([Z_{\sigma\pi 22}(\omega)], R_e([Z_{\sigma\pi 12}(\omega)])\}$  permet de déterminer la résistance de drain  $R_{de}$ .

## II.8. Validation

La dernière étape que constitue la modélisation d'un transistor est la validation. Elle nous permet de vérifier la qualité de la procédure d'extraction qu'on a suivie. Pour cela, dans notre cas, on a procédé à la comparaison entre les mesures et le résultat de simulation, et cela à un point de polarisation donné afin de pouvoir affirmer que le modèle est validé. Une tâche qu'on réalisera dans le prochain chapitre.

## II.9. Conclusion

Dans ce chapitre, nous nous sommes intéressés à la modélisation phénoménologique et plus particulièrement à la modélisation analytique directe dont les modèles nécessitent une caractérisation sur des dispositifs déjà existant. Le travail avec ce genre de modélisation est relativement, précis et rapide.

Dans un second temps, on a montré les différentes méthodes d'extraction RF, à savoir, les méthodes : polarisation à froid (cold fet), lovelace, bractal, raskin, ainsi que les paramètres S sur lesquelles on se base afin de trouver une manière dont on pourra extraire les éléments des deux parties, extrinsèques et intrinsèques, du transistor dont fait l'objet notre projet, ainsi que l'étape de validation qui nous permet d'approuver l'approche suivie durant la procédure d'extraction.

### III.1. Introduction

Le présent chapitre constituera une phase de test et validation de ce qui a été évoqué depuis le début de ce manuscrit. Nous allons exposer les résultats de caractérisation et modélisation petit-signal du transistor PD SOI 130nm, et ce, moyennant l'approche proposée.

En premier lieu, nous présenterons les différents paramètres qui constituent le transistor dans le régime statique et qui donneront des informations très utiles sur les limites d'utilisation de ce composant. Ensuite, on appliquera la méthode d'extraction suivie, qui est présentée dans le deuxième chapitre, afin d'extraire les paramètres intrinsèques et extrinsèques de transistor dans des régimes de polarisation différents. Ces paramètres seront présentés graphiquement et calculé mathématiquement.

En fin, nous validerons l'approche suivie en comparant les résultats issus de la simulation avec les données des mesures en utilisant le logiciel de simulation ADS (Advanced design System).

### III.2. Caractéristiques statiques de MOS PD SOI 130nm

Comme on l'a mentionné dans le deuxième chapitre, le type de modélisation qu'on a suivie nécessite une caractérisation particulière des composants déjà existants. Pour cela on a commencé à caractériser le transistor en régime statique avant de le caractériser à des plages de fréquence élevées. Certains paramètres tels que le courant maximal  $I_{DSmax}$ , la transconductance  $g_m$ , la conductance  $G_{DS}$  et la tension de seuil  $V_{th}$  ne seront certes pas utilisés d'une façon directe pour notre modélisation basée sur les mesures hyperfréquences, mais ils serviront comme éléments de comparaison et donneront des informations très utiles sur les limites d'utilisation de ce composant.

#### III.2.1. Caractéristique $I_{ds}$ , $V_{ds}$

Les caractéristiques  $I_{ds} = f(V_{ds})$  du MOS PD-SOI 130 nm sont montrées à la figure ci-dessus.

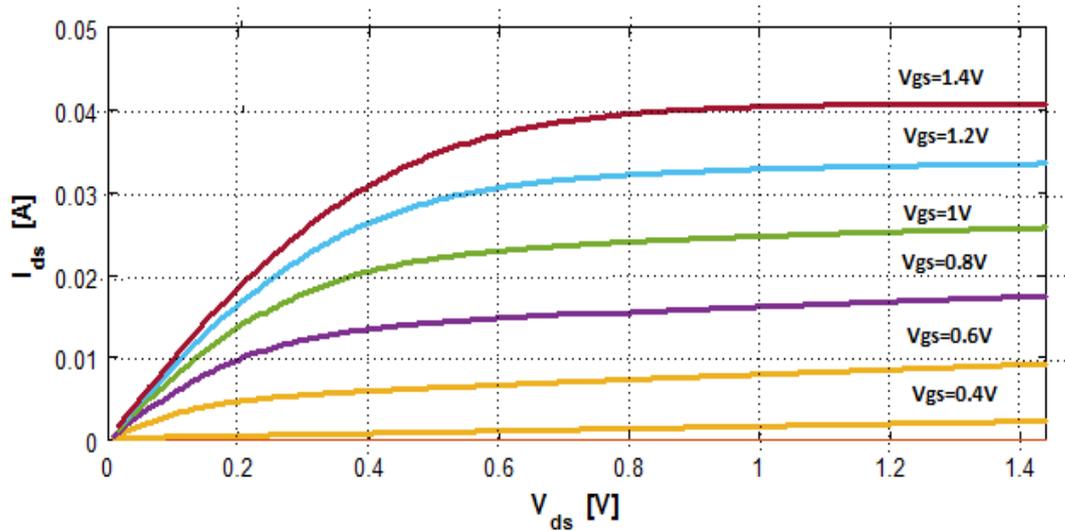


Figure III.1 : Caractéristiques de sortie  $I_{ds} = f(V_{ds})$  mesurées du transistor MOS SOI PD-SOI 130 nm.

La caractéristique  $I_{ds} = f(V_{ds})$  pour différentes valeurs de  $V_{gs}$  de transistor PD SOI 130nm donne des informations sur le courant de drain maximum que peut délivrer le transistor.

La conductance statique  $g_{ds}$  (figure III.2) est donnée par l'équation (III-1). Elle représente la dérivée du courant  $I_{ds}$  par rapport à la tension  $V_{ds}$ .

$$g_{ds} = \left. \frac{\delta I_{ds}}{\delta V_{ds}} \right|_{V_{gs}=Ctse} \tag{III - 1}$$

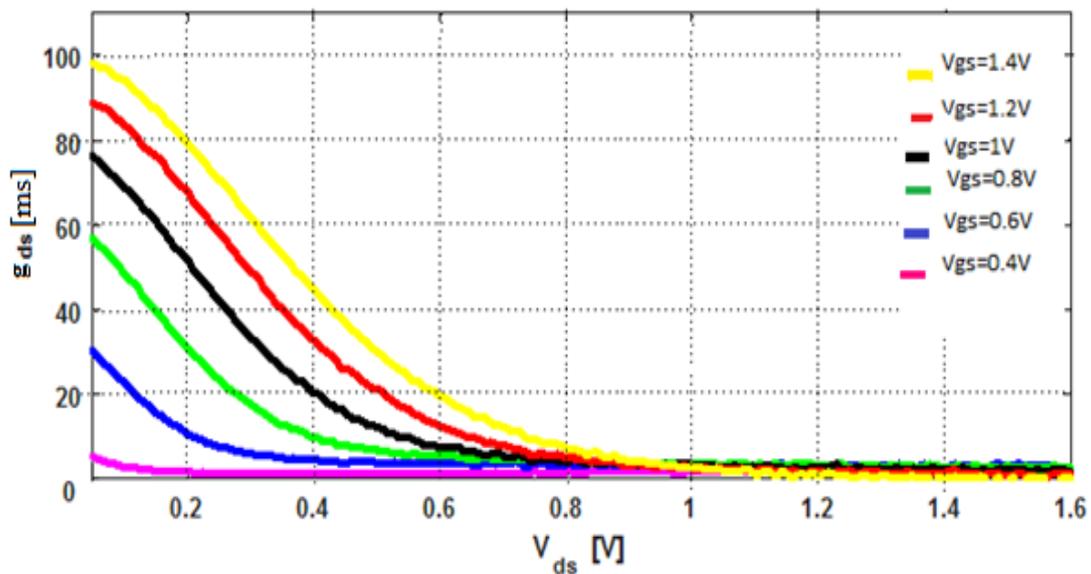


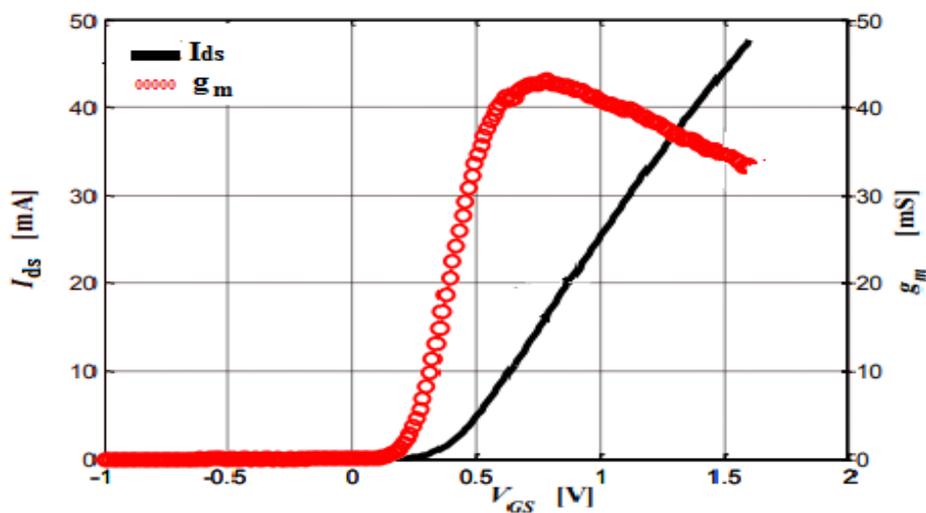
Figure III.2 : Conductances statiques  $g_{ds}$  mesurées du transistor MOS SOI PD-SOI 130 nm.

### III.2.2. Caractéristique $I_{ds}$ , $V_{gs}$

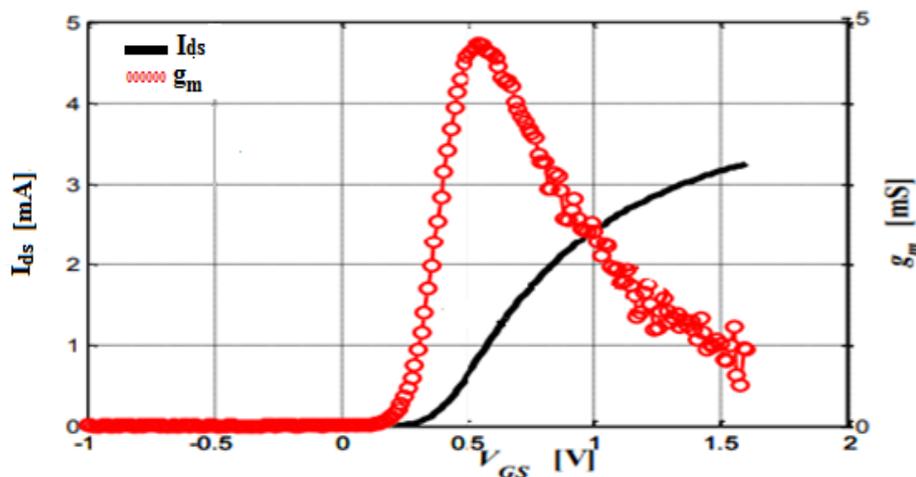
Les figures III.3 et III.4 illustrent respectivement les caractéristiques  $I_{ds} = f(V_{gs})$  et la transconductance  $g_m$  du transistor MOS SOI PD-SOI 130 nm en saturation et en régime linéaire (à  $V_{ds} = 1.2v$  et  $V_{ds} = 0.05v$ ).

La transconductance statique  $g_m$ , donnée par l'équation (III-2), représente la dérivée du courant  $I_{ds}$  par rapport à la tension  $V_{gs}$ .

$$g_m = \left. \frac{\delta I_{ds}}{\delta V_{gs}} \right|_{V_{ds}=Cste} \quad (III - 2)$$



**Figure III.3 :** Caractéristiques de sortie  $I_{ds} = f(V_{GS})$  mesurées du transistor MOS PD-SOI 130 nm à  $V_{ds}=1.2v$ .

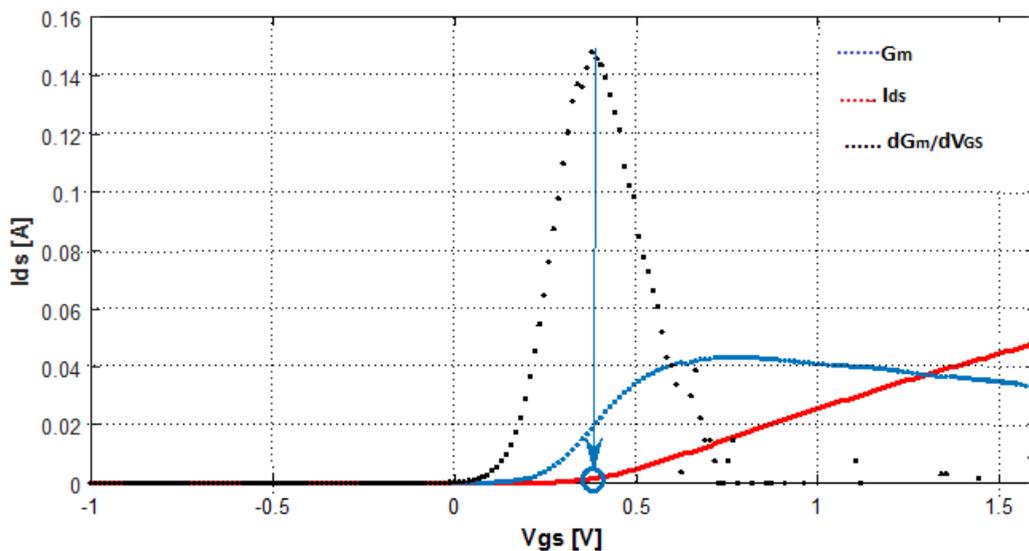


**Figure III.4 :** Caractéristiques de sortie  $I_{DS} = f(V_{GS})$  mesurées du transistor MOS PD-SOI 130 nm à  $V_{ds} = 0.05v$ .

### III.2.3. Tension de seuil $V_{th}$

La tension de seuil est la tension nécessaire à la grille pour laquelle le transistor passe de l'état bloqué à l'état passant. Il s'agit donc de la tension pour laquelle le canal entre la source et le drain se forme. Elle peut être extraite moyennant la méthode de deuxième dérivée de la caractéristique  $I_{ds}=f(V_{gs})$  (à  $V_{ds}=1.2V$ ) décrite dans l'équation (III-3). Dans ce cas, la valeur de la tension de seuil du transistor MOS PD-SOI 130 nm est la tension  $V_{gs}$  correspondante au maximum de la deuxième dérivée d'  $I_{ds}=f(V_{gs})$  de la figure III.5.

$$\frac{d^2 I_{ds}}{d^2 V_{gs}} = \frac{d g_m}{d V_{gs}} \quad (III - 3)$$



**Figure III.5 :** Extraction de la tension de seuil  $V_{th}$  en utilisant la méthode de deuxième dérivée du Transistor MOS PD-SOI 130 nm.

### III.3. La procédure suivie pour l'extraction des éléments du transistor PD SOI 130nm

Les résultats d'extraction RF du circuit équivalent petit signal des transistors MOS PD-SOI de longueur de grille  $L_g = 130$  nm et d'une largeur  $W = 120$   $\mu m$  sont exposés dans la suite de ce chapitre.

### III.3.1. Schéma équivalent petit signal de transistor PD SOI 130nm

Le schéma équivalent petit signal choisi est celui montré dans la figure II.3 et qui comprend deux parties : l'une intrinsèque et l'autre extrinsèque. Ce schéma est suffisant pour décrire le comportement de notre transistor.

### III.3.2. Extraction de la partie extrinsèque du transistor MOS PD SOI 130nm

La partie extrinsèque correspond aux éléments parasites du transistor, qui est affiché dans la figure ci-dessous. Dans un premier temps on commence par l'extraction des résistances extrinsèques grâce aux parties réelles des éléments de la matrice impédance  $[Z_e]$  (équation (II-17)). Et après la transformation de la matrice impédance  $[Z_e]$  en matrice admittance  $[Y_e]$  (équation (II-18)), on obtient les capacités extrinsèques.

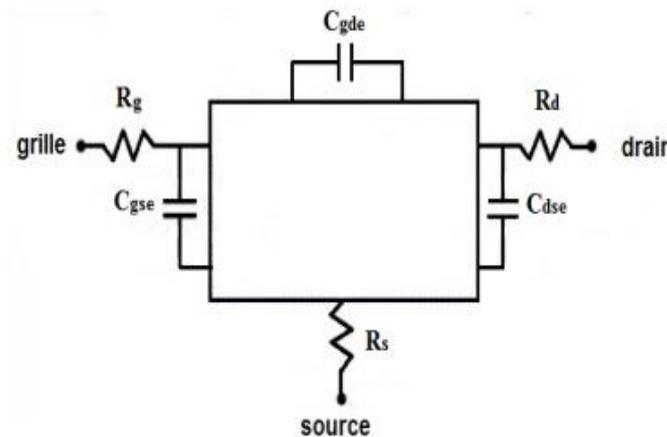


Figure III.6 : partie extrinsèque d'un schéma équivalent du MOSFET.

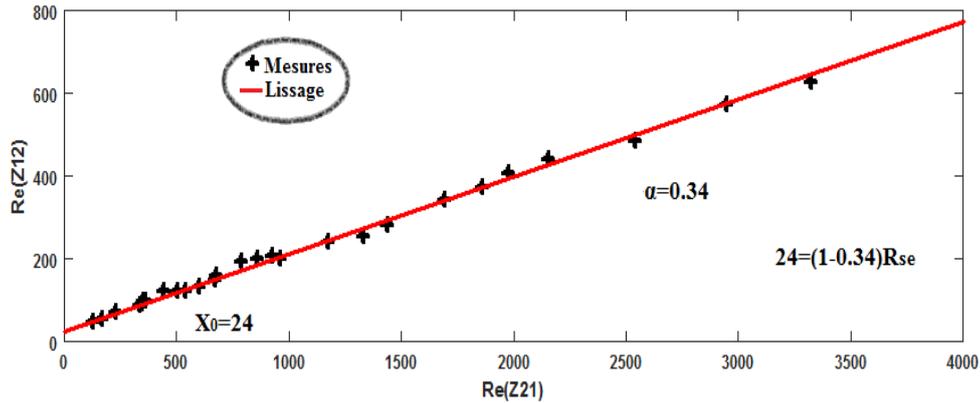
#### III.3.2.1. Extraction des résistances extrinsèques de MOS PD SOI 130nm en saturation

L'extraction des résistances extrinsèques pour différents points de polarisation se fait en se basant sur la méthode raskin montré dans le chapitre II. Les paires de données  $[R_e(Z_{21}(\omega)), R_e(Z_{12}(\omega))]$ ,  $[R_e(Z_{21}(\omega)), R_e(Z_{11}(\omega))]$  et  $[R_e(Z_{12}(\omega)), R_e(Z_{22}(\omega))]$  sont utilisées pour déterminer respectivement les résistances de source  $R_{se}$ , de grille  $R_{ge}$  et de drain  $R_{de}$  en saturation. Les courbes de ces paires de données doivent être des lignes droites qui donnent deux paramètres importants, à savoir l'intersection à l'origine  $X_0$  et la pente  $\alpha$ . En remplaçant ces deux paramètres  $X_0$  et  $\alpha$  par leurs valeurs calculées dans les équations des droites relatives aux paires de données mentionnées ci-dessus, des équations linéaires en rapport avec les résistances série peuvent être déduites.

**a. Résistance  $R_{se}$**

On commence par l'extraction des valeurs de  $R_{se}$  en polarisation à des valeurs  $V_{gs}$  allant de 0.2V à 1.2V, et  $V_{ds}=1.2V$ , en se basant sur la paire de données [ $R_e(Z_{21}(\omega))$ ,  $R_e(Z_{12}(\omega))$ ].

La figure suivant représente la variation des valeurs de la résistance  $R_{se}$  en fonction de la fréquence.



**Figure III.7 :** Représentation paramétrique de la résistance extrinsèque  $R_{se}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 1.2V$  et  $V_{gs}=0.2V$ .

Pour trouver la valeur de  $R_s$ , on doit déterminer l'équation de la courbe à partir de la partie réelle de deux paramètres  $Z_{12}$  et  $Z_{21}$  :

$$\begin{cases} Z_{12} = R_{se} + jL_s\omega \\ Z_{21} = R_{se} + jL_s\omega \end{cases} \quad (III - 4)$$

Etant donné que le transistor est asymétrique,  $R_e(Z_{12})$  n'est pas égal au  $R_e(Z_{21})$ . Donc le  $Re(Z_{21})$  peut s'écrire :  $\alpha R_{se} + \beta$ .

Et puisque  $Z_{12}=Z_{21}$ , on aura alors l'équation suivante :

$$R_{se} = \alpha R_{se} + \beta \quad (III - 5)$$

Cette écriture est l'équation de la droite qu'on a tracé.

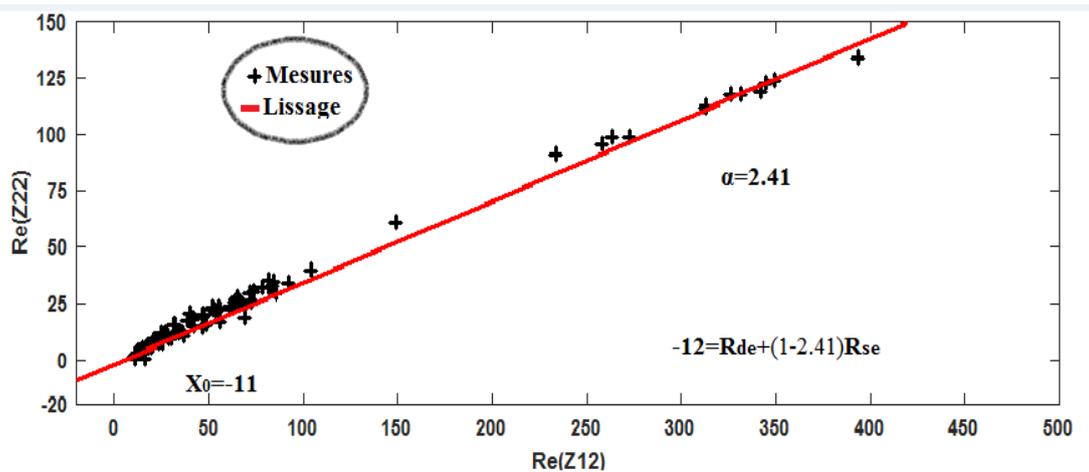
Tel que :  $\alpha = \frac{y_1-y_2}{x_1-x_2}$  Et  $\beta = X_0$

A partir de l'équation (III - 5) on obtient :

$$R_{se} = \frac{X_0}{(1-\alpha)} \quad (III - 6)$$

**b. Résistance  $R_{de}$**

l'extraction des valeurs de  $R_{de}$  se fera en polarisation a des valeurs  $V_{gs}$  allant de 0.2V a 1V, et  $V_{ds}=1.2V$ , en se basant sur à la paire de données [ $R_e(Z_{12}(\omega))$ ,  $R_e(Z_{22}(\omega))$ ].



**Figure III.8 :** Représentation paramétrique de la résistance extrinsèque  $R_{de}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 1.2V$  et  $V_{gs}=0.2V$ .

Pour trouver la valeur de  $R_{de}$ , on doit déterminer l'équation de la courbe à partir de la partie réel de deux paramètres  $Z_{12}$  et  $Z_{22}$

$$\begin{cases} Z_{12} = R_{se} + jL_{se}\omega \\ Z_{22} = R_{de} + R_{se} + j(L_{de} + L_{se})\omega \end{cases} \quad (III - 7)$$

D'après l'équation (II - 39), l'équation de notre droite est représentée sous la forme suivante :

$$X_0 = R_{de} + (1 - \alpha)R_{se} \quad (III - 8)$$

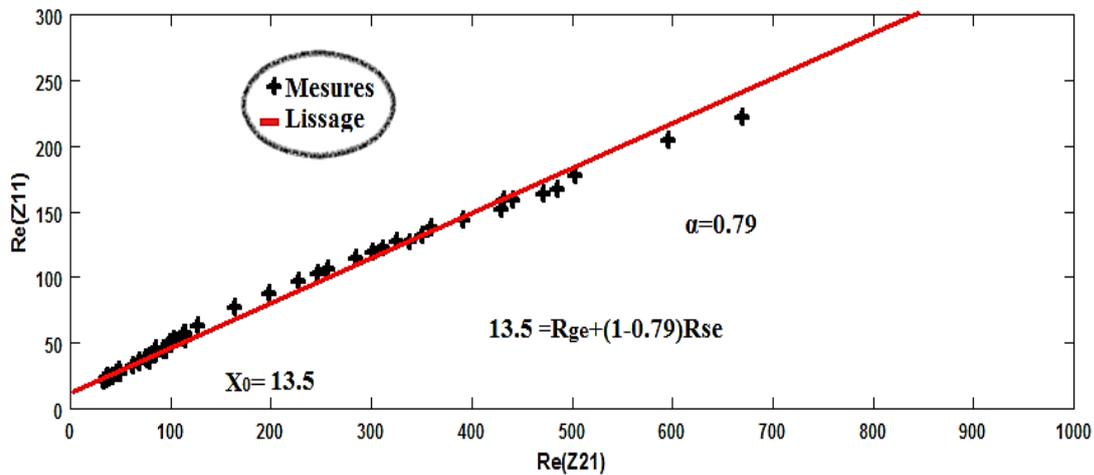
Grace à l'équation (III - 8) on peut calculer les valeurs de  $R_{de}$  pour les différents points de polarisation :

$$R_{de} = X_0 - (1-\alpha) R_{se} \quad (III - 9)$$

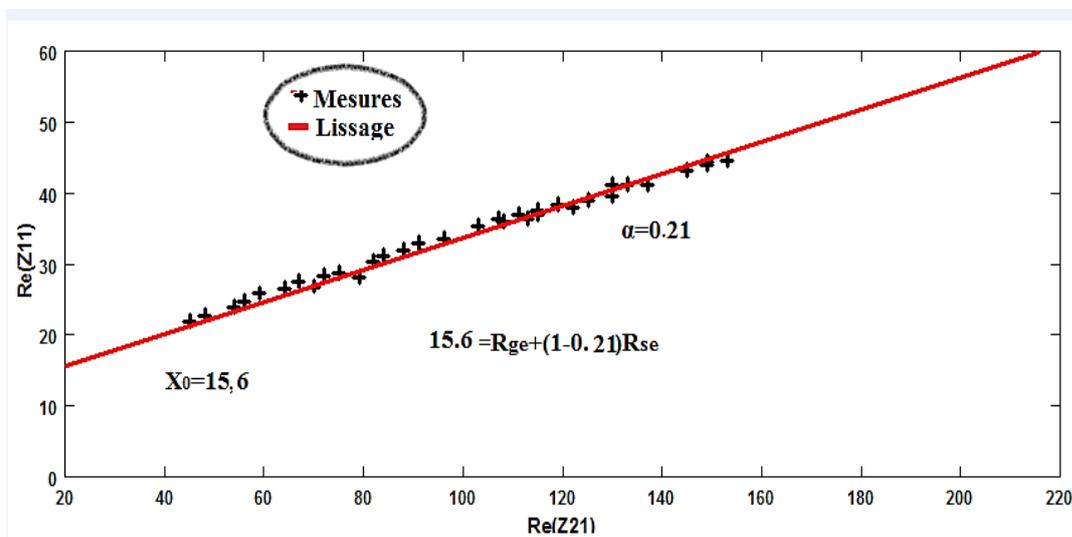
**c. Résistance  $R_{ge}$**

L'extraction des valeurs de  $R_{ge}$  se fera en polarisation a des valeurs  $V_{gs}$  allant de 0.2V à 1V, et  $V_{ds}=1.2V$  grâce à la paire de données [ $R_e(Z_{21}(\omega))$ ,  $R_e(Z_{11}(\omega))$ ]. Les deux figures ci-

dessous (III.8 et III.9) montrent les variations des valeurs de  $R_{ge}$  pour différents point de polarisation à savoir  $V_{gs}=0.2V$  et  $V_{gs}=1V$ , toujours en gardant la valeur de  $V_{ds}=1.2V$ .



**Figure III.9 :** Représentation paramétrique de la résistance extrinsèque  $R_{ge}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 1.2V$  et  $V_{gs}=0.2V$



**Figure III.10 :** Représentation paramétrique de la résistance extrinsèque  $R_{ge}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 1.2V$  et  $V_{gs}=1V$ .

Pour trouver la valeur de  $R_{ge}$ , on doit déterminer l'équation de la courbe grâce à partir de la partie réel de deux paramètres  $Z_{21}$  et  $Z_{11}$ .

$$\begin{cases} Z_{21} = R_s + jL_s\omega \\ Z_{11} = R_g + R_s + j(L_g + L_s)\omega \end{cases} \quad (III - 10)$$

L'équation de notre droite est la suivante :

$$X_0 = R_{ge} + (1-\alpha)R_{se} \quad (\text{III} - 11)$$

A partir de l'équation (III - 11), la résistance  $R_{ge}$  est représentée sous la forme suivante :

$$R_{ge} = X_0 - (1 - \alpha)R_{se} \quad (\text{III} - 12)$$

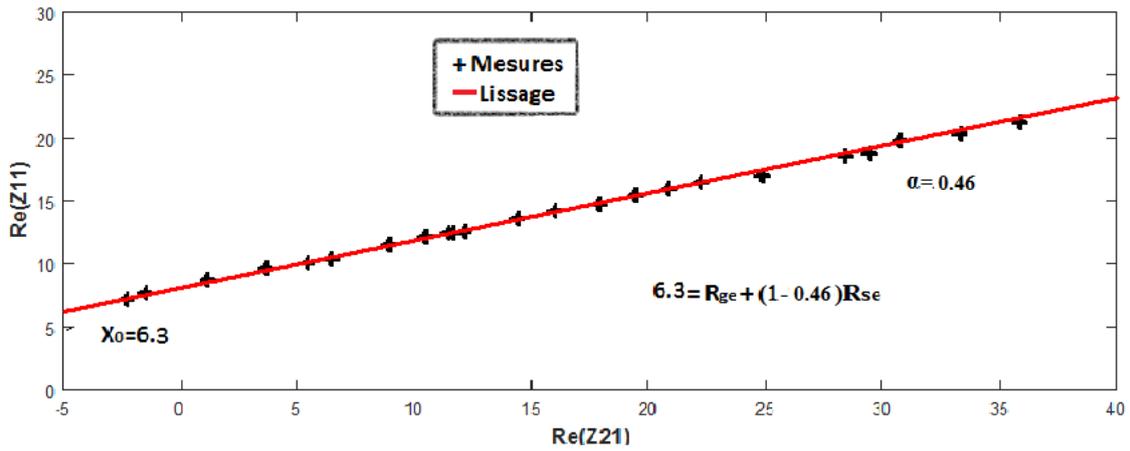
Le Tableau 3.1 montre les valeurs des résistances qu'on a extraites à des différents points de polarisation en saturation. D'après les valeurs de résistance de grille  $R_{ge}$  montrant une faible variation, on peut conclure que cette résistance est indépendante de la polarisation. Par contre, les valeurs des résistances de source et de drain  $R_{se}$  et  $R_{de}$ , extraites dans les mêmes conditions, montrent une dépendance de polarisation. C'est pour cela qu'il faut les calculer à des conditions de polarisation nulle, c'est à dire indépendamment de la polarisation.

$V_{gs}$ (v)	$V_{ds}$ (v)	$R_{se}$ ( $\Omega$ )	$R_{de}$ ( $\Omega$ )	$R_{ge}$ ( $\Omega$ )
$V_{gs}=0.2$	$V_{ds}=1.2$	36.36	39.27	5.87
$V_{gs}=0.4$	$V_{ds}=1.2$	17.12	35.2	6.37
$V_{gs}=0.6$	$V_{ds}=1.2$	12.83	34.1	5.71
$V_{gs}=0.8$	$V_{ds}=1.2$	12.34	22.9	5.52
$V_{gs}=1$	$V_{ds}=1.2$	11.93	20.8	6.69
$V_{gs}=1.2v$	$V_{ds}=1.2v$	6.35	13.7	5.33

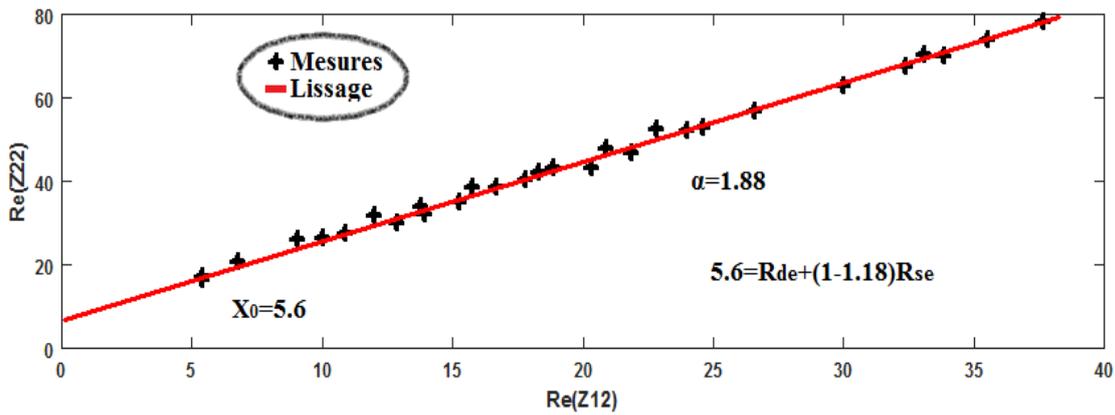
**Tableau III.1** : Résistances extrinsèques extraites pour le MOS PD-SOI 130nm avec  $L_g = 130$  nm et  $W = 120\mu m$  en saturation

#### d. Extraction de la résistance de source et de drain à $V_{ds} = 0V$ et $V_{gs} = 0 V$

Comme on l'a mentionné auparavant, la méthode raskin est applicable que lorsque le transistor est polarisé en saturation, néanmoins elle nous permet d'extraire les résistances de source  $R_{se}$  et de drain  $R_{de}$  à des conditions de polarisation nulle, c'est à dire à  $V_{ds}=0$  et  $V_{gs}=0$ . On applique le problème de régression linéaire, et ce en se basant sur la valeur de la résistance  $R_{ge}$  trouvé précédemment qui est fixé à  $5\Omega$ . Les figures III.10 et III.11 montrent que les paires  $[R_e(Z_{21}(\omega)), R_e(Z_{11}(\omega))]$  et  $[R_e(Z_{12}(\omega)), R_e(Z_{22}(\omega))]$  sont utilisées pour déterminer, respectivement, la résistance de source  $R_{se}$ , et la résistance de drain  $R_{de}$ .



**Figure III.11 :** Représentation paramétrique de la résistance extrinsèque  $R_{se}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 0V$  et  $V_{gs}=0V$ .



**Figure III.12 :** Représentation paramétrique de la résistance extrinsèque  $R_{de}$  dans la gamme de fréquence 0.04 - 40 GHz pour le MOS PD-SOI 130 nm à  $V_{ds} = 0V$  et  $V_{gs}=0V$ .

Les valeurs de  $R_{de}$  et  $R_{se}$  sont déterminées partir des équations de nos droites représentées dans les figures ci-dessous. Ces équations sont déterminées à partir de la partie réelle des paramètres  $Z_{21}$  et  $Z_{11}$ ,  $Z_{12}$  et  $Z_{22}$ . Qui sont les suivants :

$$\begin{cases} 5.6 = R_{de} + (1 - 1.18)R_{se} & \text{(III - 11)} \end{cases}$$

$$\begin{cases} 6.3 = R_{ge} + (1 - 0.46) R_{se} & \text{(III - 12)} \end{cases}$$

À partir de l'équation (III - 11) on obtient  $R_{se}$  :

$$R_{se} = \frac{6.3 - R_{ge}}{(1 - 0.46)} \quad \text{(III - 13)}$$

Et à partir de l'équation (III - 12) on obtient  $R_{de}$  :

$$R_{de} = 5.6 - (1 - 1.18) R_{se} \quad \text{(III - 14)}$$

Les valeurs obtenus sont :  $R_{se}=2.4\Omega$ ,  $R_{de}=6.01\Omega$ .

### III.3.2.2. Extraction des capacités extrinsèques

Les capacités extrinsèques représentent les capacités parasites du transistor incluant les capacités de chevauchement, de proximité et de bord.

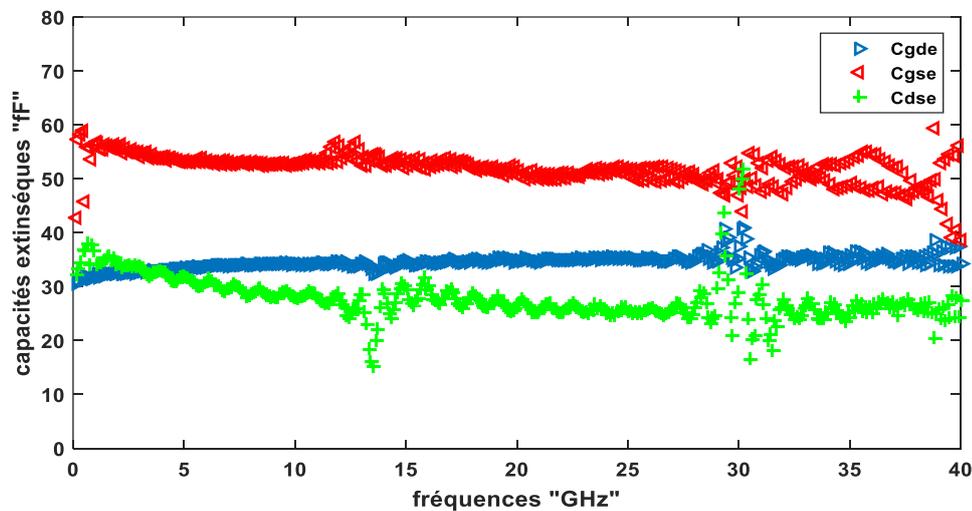
Elles peuvent être directement déduites à partir de la partie imaginaire des paramètres-Y du circuit équivalent (figure II.3) en déplétion ( $V_{ds} = V_{gs} = 0$  V), et en utilisant les équations suivantes :

$$Im(Y_{11}) = j\omega(C_{gse} + C_{gde}) \quad (III - 15)$$

$$Im(Y_{12}) = ImY_{21} = -j\omega(C_{gde}) \quad (III - 16)$$

$$Im(Y_{22}) = j\omega(C_{dse} + C_{gde}) \quad (III - 17)$$

La figure ci-dessous illustre parfaitement le cheminement des capacités extrinsèques en fonction de la fréquence.



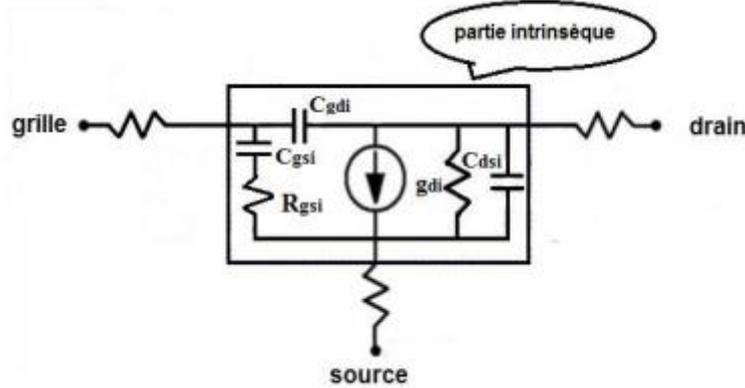
**Figure III.13 :** Représentation des capacités extrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec  $L_g = 130$  nm et  $W = 120$   $\mu$ m à  $V_{ds}=V_{gs}=0$

Les valeurs des capacités extrinsèques  $C_{gde}$ ,  $C_{gse}$  et  $C_{dse}$  sont, comme c'est montré dans la figure III.12, presque constantes tout au long de la gamme de fréquences du transistor PD SOI 130 nm. Les valeurs obtenues sont :

$$C_{gde}=34.69\text{fF}, C_{gse}=50.61\text{fF}, C_{dse}=26.85\text{fF}$$

### III.3.3. Extraction de la partie intrinsèque du transistor PD SOI 130nm

Les paramètres intrinsèques représentent la partie active du transistor, après épluchage des résistances et des capacités extrinsèques (Voire figure III.14).



**Figure III.14** : partie intrinsèque d'un schéma équivalent MOSFET.

Les paramètres intrinsèques qui dépendent de la polarisation sont obtenus à partir de la matrice intrinsèque  $[Y_{int}]$  suivante :

$$[Y_{int}] = \begin{bmatrix} j\omega \left[ \frac{C_{gsi}}{1+j\omega R_{gsi}C_{gsi}} \right] & -j\omega [C_{gdi}] \\ \frac{g_{mie-j\omega\tau}}{1+j\omega R_{gsi}C_{gsi}} - j\omega(C_{gdi}) & g_{di} + j\omega [C_{dsi} + C_{gdi}] \end{bmatrix} \quad (\text{III} - 18)$$

Les expressions des paramètres intrinsèques sont données par les équations ci-dessous :

$$R_{gsi} = R_e \left( \frac{1}{Y_{11int} + Y_{12int}} \right) \quad (\text{III} - 19)$$

$$C_{gsi} = \frac{1}{\omega \text{Im} \left( \frac{1}{Y_{11int} + Y_{12int}} \right)} \quad (\text{III} - 20)$$

$$C_{gdi} = - \frac{1}{\omega \text{Im} \left( \frac{1}{Y_{12int}} \right)} \quad (\text{III} - 21)$$

$$g_m = - \left| \frac{Y_{21int} - Y_{12int}}{Y_{11int} - Y_{12int}} \right| \frac{1}{\omega \text{Im} \left( \frac{1}{Y_{11int} + Y_{12int}} \right)} \quad (\text{III} - 22)$$

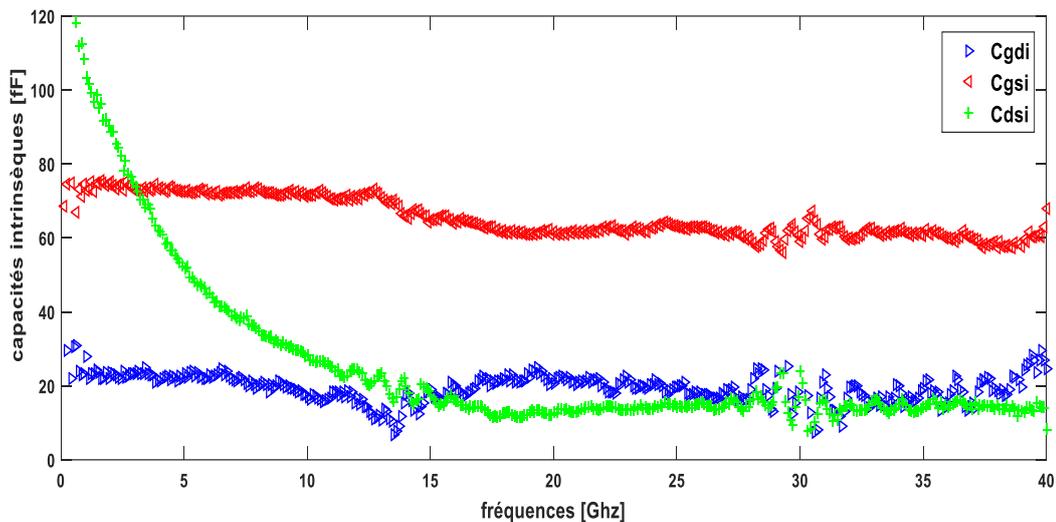
$$g_d = (Y_{22int}) \quad (\text{III} - 23)$$

$$C_{dsi} = \frac{\text{Im}(Y_{22} + Y_{12})}{\omega} \quad (\text{III} - 24)$$

$$\tau = -\frac{1}{\omega} \arctan \left( \frac{\operatorname{Re} \left( \frac{Y_{21int} - Y_{12int}}{Y_{11int} + Y_{12int}} \right)}{\operatorname{Im} \left( \frac{Y_{21int} - Y_{12int}}{Y_{11int} + Y_{12int}} \right)} \right) \quad (\text{III} - 25)$$

### III.3.3.1. Extraction des capacités intrinsèques

Les capacités intrinsèques  $C_{gsi}$ ,  $C_{gdi}$  et  $C_{dsi}$  sont extraites respectivement à partir des équations (III – 20), (III – 21) et (III – 24) à différents points de polarisation. Dans notre cas à  $V_{gs}$  allant de 0.8V à 1.2V.

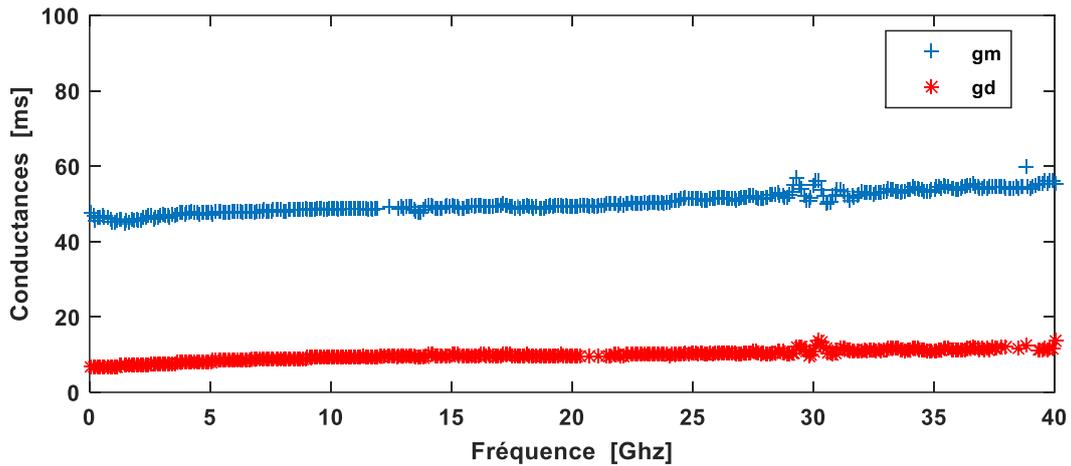


**Figure III.15 :** Représentation des capacités intrinsèques extraites en fonction de la fréquence du transistor MOS PD-SOI avec  $L_g=130\text{nm}$  et  $W=120\mu\text{m}$  à  $V_{ds}=1.2\text{V}$  et  $V_{gs}=1.2\text{V}$ .

La figure ci-dessus montre la variation des capacités intrinsèques en fonction de la fréquence. On voit bien que la courbe présentant la capacité  $C_{dsi}$  diminue brusquement dans la marge de fréquence allant de 0 jusqu'à 15 GHz. Cela est dû aux bruit thermique de la résistance intrinsèque. Les résultats des paramètres intrinsèques sont résumés dans le tableau III.2.

### III.3.3.2. Extraction des conductances $g_m$ et $g_d$

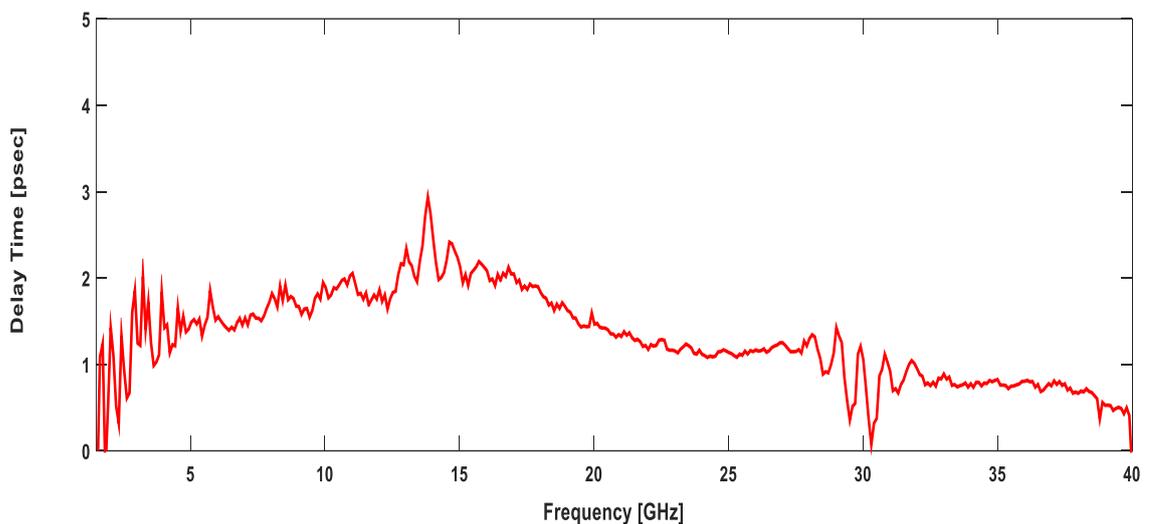
La conductance  $g_d$  et la transconductance  $g_m$  sont extraites à partir des deux équations (III – 22) et (III – 23) respectivement, en polarisant le transistor à des valeurs  $V_{gs}$  allant de 0.8V à 1.2V.



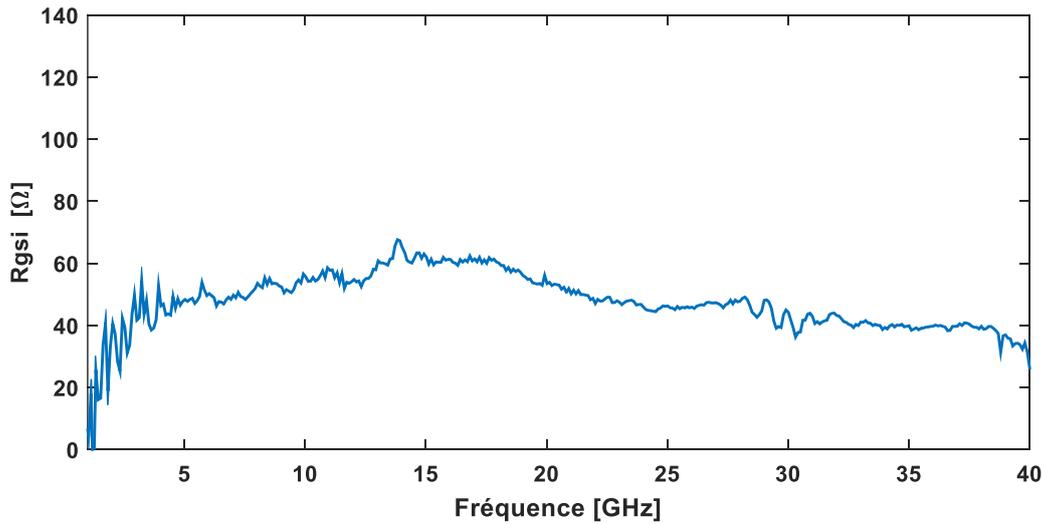
**Figure III.16 :** Représentation des conductances extraites en fonction de la fréquence du transistor MOS PD-SOI avec  $L_g = 130$  nm et  $W = 120$   $\mu$ m à  $V_{ds}=1.2$ V et  $V_{gs}=1.2$ V.

### III.3.3.3. Extraction de la résistance $R_{gsi}$ et le temps de retard $\tau$

Les figures III.17 et III.18 illustrent les courbes représentant le temps de retard et la résistance intrinsèque  $R_{gsi}$ , respectivement. Des fluctuations sont observées au début de la variation de fréquence. Néanmoins les valeurs se stabilisent une fois que les fréquences augmentent.



**Figure III.17 :** Représentation de temps de retard  $\tau$  extrait en fonction de la fréquence du transistor MOS PD-SOI avec  $L_g = 130$  nm et  $W = 120$   $\mu$ m à  $V_{ds}=1.2$ V et  $V_{gs}=1.2$ V.



**Figure III.18 :** Représentation de la Résistance  $R_{gsi}$  extrait en fonction de la fréquence du transistor MOS PD-SOI avec  $L_g = 130$  nm et  $W = 120$   $\mu$ m a  $V_{ds}=1.2$ V et  $V_{gs}=1.2$ V.

Les figures III.15 ; III.16, III.17 et III.18 représentent les éléments de la partie intrinsèques du transistor et qui sont extraites à des conditions de polarisation non nul,  $V_{ds}=1.2$ V et  $V_{gs}=1.2$ V.

Les résultats obtenus pour le transistor à différents points de polarisation sont récapitulés dans le tableau ci-dessous :

$V_{ds}$ (V)	$V_{gs}$ (V)	$C_{gsi}$ (fF)	$C_{gdi}$ (fF)	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (pesc)	$R_{gsi}$ ( $\Omega$ )
1.2	0.8	57.13	16.63	51.09	6.03	0.98	42.37
1.2	1	62.88	49	50.73	7.17	1.456	43.85
1.2	1.2	59.66	17.02	49.21	7.3	1.13	46

**Tableau III.2 :** les valeurs des paramètres intrinsèques du schéma équivalent.

D'après les valeurs des éléments intrinsèques citées dans le tableau précédant, et ce à différents points de polarisation, on peut conclure qu'elles varient peu en fonction de la fréquence. Donc ces éléments sont indépendants de cette dernière.

### III.4. Validation des résultats pour le transistor MOS PD SOI 130nm a $V_{ds}=1.2V$ et $V_{gs}=1.2V$

La validation des résultats obtenus se fait en utilisant le logiciel de simulation ADS (Advanced Design System).

Le schéma équivalent petit signal du transistor MOS PD SOI 130nm est tracés par le logiciel ADS, tout en introduisant les résultats des différents paramètres obtenus auparavant. Les figures III.19 et III.20 montrent les schémas utilisés pour la comparaison entre les résultats de la simulation et les mesures des paramètres-S, respectivement et ce, en mode saturation du transistor avec  $V_{gs}=1.2V$  et  $V_{ds}=1.2V$ .

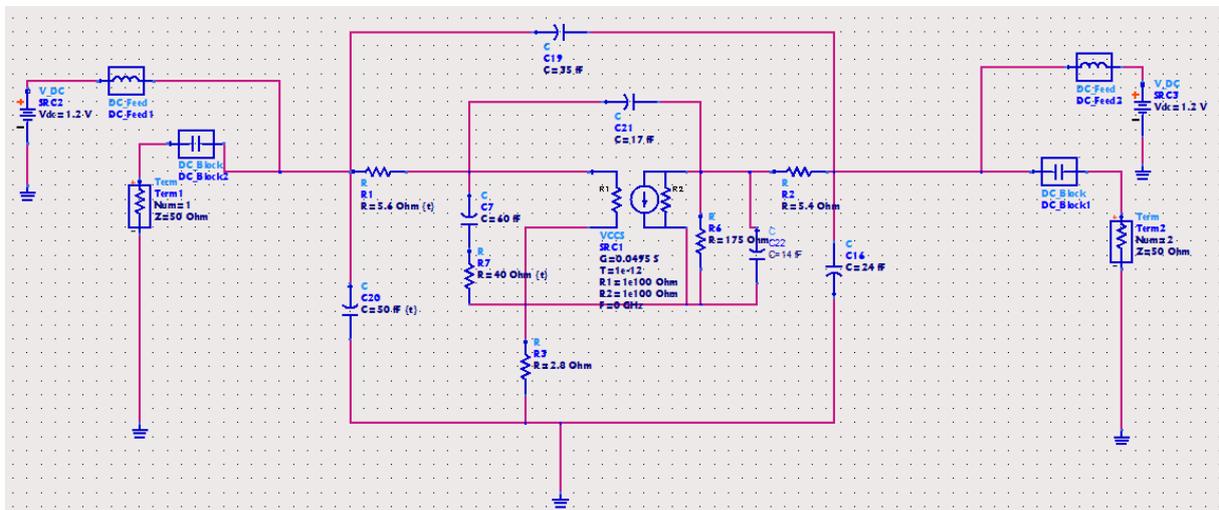


Figure III.19 : schéma équivalent petit signal introduit dans le simulateur ADS.

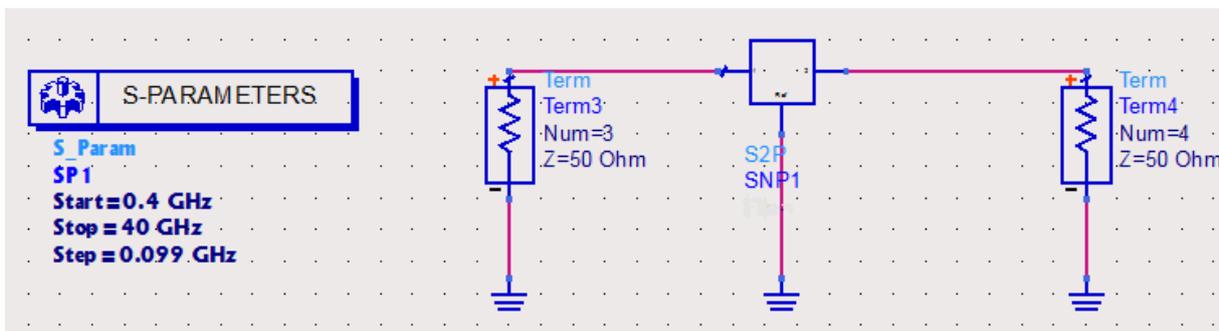
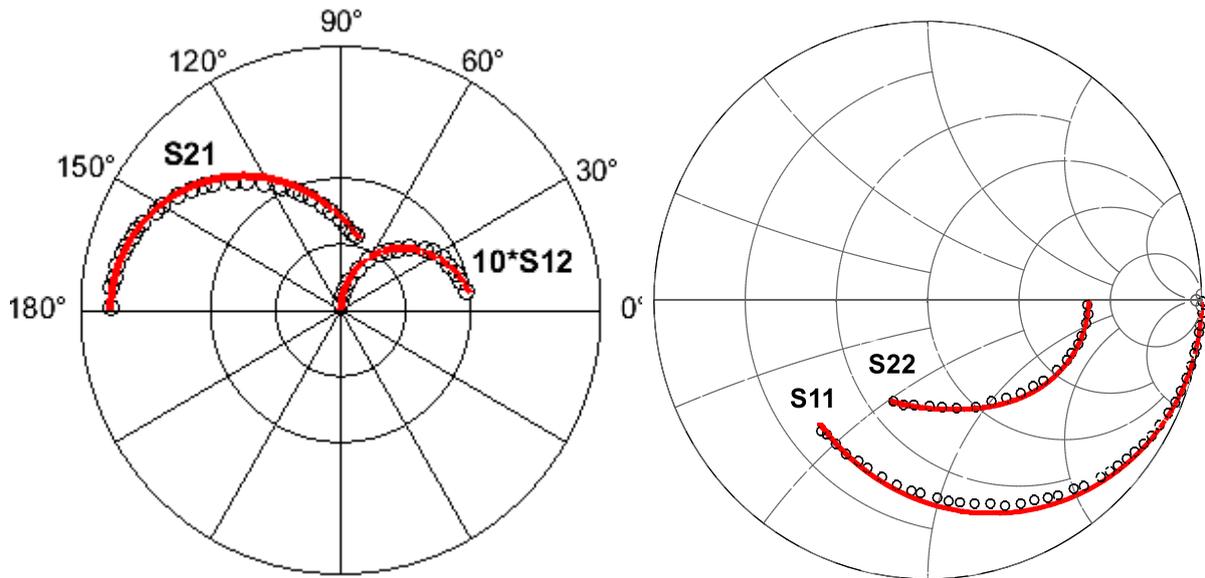


Figure III.20 : design utilisé pour la visualisation des paramètres-S mesurés sous l'ADS

Nous voyons une vraie ressemblance entre les deux résultats et un excellent accord a été obtenu entre simulations et mesures sur une large bande de fréquence allant jusqu'à 40 GHz. L'excellente concordance de ces évolutions prouve que la reproduction de fonctionnement du composant en régime petit-signal est satisfaisante [15]. Ces résultats démontrent l'efficacité de la méthode d'extraction suivie et la validité du circuit équivalent à petit signal proposé.



**Figure III. 21 :** Paramètres-S mesurés (cercle) et simulés (ligne rouge) du transistor MOS PD SOI avec  $L_g = 130$  nm et  $W = 120$   $\mu$ m à  $V_{ds} = 1.2$  V et  $V_{gs} = 1.2$  V.

### III.5.Conclusion

Dans ce chapitre, on a exposé les résultats de la caractérisation et de la modélisation petit-signal du transistor PD SOI 130nm à des points de polarisation différents.

En premier lieu, on a commencé à caractériser le transistor en régime statique, les paramètres tels que le courant maximal  $I_{DSmax}$ , la transconductance  $g_m$ , la conductance  $G_{Ds}$  et la tension de seuil  $V_{th}$  nous ont servi comme éléments de comparaison et nous ont donnés des informations très utiles sur les limites d'utilisation de ce composant. Ensuite on a extraient les paramètres extrinsèques qui caractérise le transistor à l'aide de la méthode d'extraction appelé Raskin, qui nous a permis d'obtenir les résistances extrinsèques, puis les capacités qui sont déduites analytiquement à partir de la partie imaginaire des paramètres-Y du circuit équivalent. La partie intrinsèque qui est la partie active du transistor et qui dépend de la polarisation a été extraites analytiquement à partir de la matrice intrinsèque  $[Y_{int}]$  après épiluchage des résistances et des capacités extrinsèques.

Enfin on a procédé a l'étape final qui consiste à valider l'approche suivie durant la procédure d'extraction, et ce, en comparant les résultats obtenus par la mesure et celle de la simulation, où on a pu voir un bon accord entre les deux méthodes.

## **Conclusion générale**

Le MOSFET est un transistor de plus en plus utilisé pour la conception de circuits RF. Ceci a permis de développer de nombreuses applications RF grand public (principalement pour les communications sans fil, internet des objets,...). Pour répondre aux besoins des concepteurs, les modèles doivent pouvoir reproduire efficacement le comportement des dispositifs dans le domaine de hautes fréquences.

L'analyse du comportement petit signal des transistors MOSFETs et plus particulièrement le transistor MOS SOI 130nm qui a fait l'objet de notre étude passe inévitablement par la modélisation de ce dispositif et l'extraction des paramètres qui le constituent dans des plages de fréquences élevées.

Au cours du premier chapitre de notre travail, on a présenté les aspects théoriques du transistor MOSFETs d'une manière générale à savoir, sa structure, son principe de fonctionnement et le phénomène de miniaturisation qu'a connu la technologie CMOS. On a constaté l'importance de ces transistors dans l'industrie des composants électroniques destinés aux applications RF. Ensuite on a mis en avant un type de transistors particuliers de la famille des MOSFET qui sont les MOSFETs SOI partiellement déserté dont fait partie le MOS SOI 130nm.

Dans le deuxième chapitre, on a décrit la méthodologie d'extraction des éléments d'un schéma équivalent petit signal en haute fréquence utilisant la modélisation phénoménologique et plus particulièrement la modélisation analytique direct. Ainsi que les techniques d'extractions RF sur lesquels on s'est basé afin d'obtenir les valeurs des éléments du schéma équivalent. Ensuite, on a montré la manière dont on pourra valider les résultats obtenu lors de la procédure d'extraction.

Le troisième chapitre est une phase de test et validation de ce qui a été évoqué depuis le début de ce manuscrit. La première partie a été consacré à la présentation des caractéristiques décrivant le fonctionnement du transistor MOS SOI 130nm, et ce, en régime statique. Ces caractéristiques sont d'une importance du moment qu'elles permettent de déterminer des paramètres propres au transistor en question. Ensuite, on a entamé la procédure d'extraction des éléments intrinsèques et extrinsèques que contient le schéma équivalent du transistor aux différents points de polarisation et ce moyennant une méthode qui a été développé récemment. Les valeurs obtenus montrent le comportement de ces éléments dans une large

bande de fréquence allant jusqu'à 40GHz. Enfin, on a conclu par une étape ultime, celle qui nous a permis de valider les résultats et la méthode d'extraction suivie, et ce en comparant les résultats obtenus par la mesure et celle de la simulation, où on a pu avoir un bon accord.

Il serait judicieux de continuer le travail mené dans ce mémoire, et ce, en élargissant l'étude sur d'autres transistor MOSFET comme l'UTBB FD-SOI, le transistor FinFET ou autres, afin de pousser les limites d'exploitation de la méthode de modélisation et des techniques d'extraction choisies dans ce travail. On propose également d'utiliser d'autres méthodes de modélisation telle que la méthode numériques basées sur l'optimisation des éléments d'un schéma équivalent cité dans le deuxième chapitre.

## Bibliographie

- [1] : X. Lei Han «*Réalisation et caractérisation de dispositif MOSFET nanométrique à base de réseau dense de nanofils verticaux en silicium*», thèse de doctorat, Université De Lille 1 Sciences Et Technologie, 2011.
- [2] : [http://www.composelec.com/transistor\\_a\\_effet\\_de\\_champ\\_a\\_grille\\_metal-oxyde.php](http://www.composelec.com/transistor_a_effet_de_champ_a_grille_metal-oxyde.php), consulter le 23/07/2020.
- [3] : Y. Guerfi. «*Réalisation et caractérisation de transistor MOS à base de nanofils verticaux en silicium*», thèse de doctorat, Université De Toulouse, 2016.
- [4] : A. Litty. «*Conception, fabrication, caractérisation et modélisation du transistor mosfet haute tension en technologie avancée SOI (silicon on insulator)*», thèse de doctorat, Université Grenoble Alpes, 2016.
- [5] : I. Ben Akkez. «*études théorique et expérimentale des performances des dispositifs FD SOI sub 32nm*», thèse de doctorat, École doctorale électronique, électrotechnique, automatique, traitement du signal (Grenoble), 2012.
- [6] : F. Kertous. «*Etude et modélisation d'un transistor MOSFET à double-grille symétrique*», Mémoire du diplôme de magister, Université Des Sciences Et De La Technologie D'Oran Mohamed Boudiaf, 2012.
- [7] : M. Khaouani. «*Etude et caractérisation d'un transistor nanométrique à grille enrobante GAA MOSFETs*», thèse de doctorat, Université Aboubakr Belkaid Tlemcen, 2018.
- [8] : D. Maarfi. «*Caractérisation et modélisation large bande des transistors à effet de champ*», thèse de doctorat, Université Sciences Et Technologie Houari Boumediene Faculté D'électronique Et Informatique, 2017.
- [9] : F. Khettab. «*Etude et simulation d'un transistor FinFET*», mémoire de fin étude de master académique, Université Mouloud Mammeri De Tizi-Ouzou, 2015.
- [10] : M. Masselus. «*Caractérisation d'un transistor FDSOI à basse température*», mémoire en master : ingénieur civil électricien, Ecole polytechnique de louvain, Université Catholique De Louvain, 2019.
- [11]: I. Angelov, H. Ziath, N. Rorsman, «*A new empirical nonlinear model for HEMT and MESFET devices*», IEEE Trans. Microw. Theory and Tech., vol. 40, pp. 2258-2266, 1992.
- [12]: R. Gillon, J. P. Raskin, D. Vanhoenacker, J. P. Colinge, «*Determining the reference impedance of on-wafer TRL calibrations on lossy substrates*», in 26th European Microwave Conference Digest, pp. 170–173. 1996.
- [13]: K. Laouar, A. Medjdoub. «*Modélisation et caractérisation des transistors LDMOS dans le domaine des RF à base de schéma équivalent*», mémoire de fin étude de master académique, Université Mohammed Seddik Benyahia Jijel, 2019.

- [14]: G. Dambrine, A.Cappy, F.Heliodore, E.Playez, «*A new method for determining the FET small-signal equivalent circuit*», IEEE Trans. Microw. Theory and Tech., vol. 36, pp. 1151-1159, 1988.
- [15]: M. Tamoum. «*Caractérisation Fine et Modélisation Non-Linéaire des Transistors MOSFET*», thèse de doctorat, Université Ferhat Abbas Sétif, 2013.
- [16]: J. C. Tinoco, J. P. Raskin, «*Advanced RF MOSFET's for Microwave and Millimeter Wave Applications: RF Characterization Issues*», Microwave and Millimeter Wave Technologies from Photonic Bandgap Devices to Antenna and Applications, Igor Minin (Editor), pp. 953-978, InTech, 2010.
- [17]: S. Veeraraghavan, J. G. Fossum, «*A physical short-channel model for thin film SOI MOSFET applicable to device and circuit CAD*», IEEE Tans. Electron Dev., vol.35, pp. 1866-1875, 1988.
- [18]: D. Lovelace, J. Costa, N. Camilleri, «*Extracting small-signal model parameters of silicon MOSFET transistors*», IEEE MTT-S Int. Microwave Symp, vol. 2, pp. 865-868, 1994.
- [19]: A. Bracale, V. Ferlet, N. Fel, D. Pasquet, J. L. Gautier, J. L. Pelloie, J. PONCHARA «*A new approach for SOI devices small-signal parameters extraction*», Analog Integrated Circuits and Signal Processing, pp. 157-168, 2000.
- [20]: J. P. Raskin, R. Gillon, J. Chen, D. Vanhoenacker, J. P. Colinge, «*Accurate SOI MOSFET characterization at microwave frequencies for device performance optimization and analog modeling*», IEEE Trans. Electron Dev, vol. 45, no. 5, pp. 1017-1024, 1998.

## **Résumé**

Le transistor est probablement l'invention la plus géniale de l'ère moderne. Les fonctionnalités qu'il peut accomplir, depuis sa création en 1937, ont permis aux scientifiques de développer, de mieux en mieux, des applications RF à haute performance liés à l'industrie électronique.

Notre travail est porté sur l'analyse de comportement petit signal du transistor MOS SOI 130nm, qui ne peut se faire sans la modélisation de ce dernier. Ceci nous a permis de reproduire les phénomènes physiques et électriques régissant ce type de composant, ainsi que l'extraction des paramètres qui constituent son schéma électrique équivalent dans des plages de fréquences allant jusqu'à 40 GHz. L'extraction a été effectuée à différents points de polarisation à partir des données expérimentales (paramètres [S]), disponibles au niveau du centre de développement des technologies avancées CDTA.

**Mots clés :** MOS SOI 130nm, Modélisation, Paramètres [S].

## **Abstract**

The transistor is probably the most brilliant invention of the modern age. The features it can accomplish, since its inception in 1937, have enabled scientists to increasingly develop high-performance RF applications related to the electronics industry.

Our work is focused on the analysis of the small signal behavior of the 130nm MOS SOI transistor, which cannot be done without modeling the latter. This allowed us to reproduce the physical and electrical phenomena governing this type of component, as well as the extraction of the parameters that constitute its equivalent electrical diagram in frequency ranges up to 40 GHz. The extraction was performed at different polarization points from the experimental data (parameters [S]), available at the CDTA Advanced Technologies Development Center.

**Keywords:** MOS SOI 130nm, Modeling, Parameters [S].