

République Algérienne Démocratique et Populaire
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

Faculté de Technologie

Département Génie Electrique

Mémoire pour l'obtention du diplôme de Master en Electronique
Spécialité : Microélectronique



جامعة بجاية
Tasdawit n'Bgayet
Université de Béjaïa

CDTA

Thème :

**Extraction DC des Paramètres Extrinsèques des Transistors
MOS Avancés.**

Préparé par:

Mme Nasri Wissem

Devant le jury composé de :

Mr Sadji Université de Bejaia	Président
Mme Idjdarene Université de Bejaia	Examineur
Mme Achour Université de Bejaia	Encadreur
Mr Maafri Centre de recherche CDTA	Co-encadreur

Année Universitaire 2019/2020

Remerciement

Nos remerciements en premier lieu à Monsieur Maafri Djebbar maitre de recherche au département de la microélectronique au CDTA et Madame Yakout Achour enseignante à l'université Abderrahmane mira de Bejaia, pour leurs aide, leurs suivi, leurs encouragements et leurs conseils durant notre travail.

Merci également aux membres du jury pour l'honneur et l'amabilité d'avoir bien voulu accepter de juger ce travail., et aussi pour tous les membres du département ATE.

Enfin, tous ceux qui nous a aidé de près ou de loin, que ce soit par leur amitié, leurs conseils ou leurs soutien moral, trouveront dans ces quelques lignes l'expression de notre remerciements les plus vifs.

À tous, pour tous, Merci

Dédicaces

A,

Mon père et ma mère pour la vie qui m'ont donné,

A,

Tous mes chers amis que j'ai trouvé dans les moments les plus difficiles, qu'ils étaient pour moi des frères et des sœurs : Tilleli, Yacine, Matouk, Kamel, Ali,.....et la liste est longue, chacun et chacune avec son nom et son rôle,

A,

Tous mes Camarades de lutte, pour tous les causes justes, que ce soit les camarades du gauche, les camarades indépendantistes, les camarades anarchistes, démocrates, socialistes ou féministes, tant qu'il y a de la vie, le combat continu,

A,

Mes camarades dans le mouvement associatif, mes camarades de l'apw jeune, sans oublier ma troupe théâtrale « Talwit »,

A,

Mon jumeau Amenay,

A,

La nature et la force divine qui me protège,

A,

Tous ceux qui étaient à mes cotés pour que je sois ce que je suis aujourd'hui,

« La nature est une femme, et le savoir est son dieu »

Laguertha kabyle,

Wissem,

Liste des abréviations

CDTA	« Centre de Développement des Technologies Avancées »
CI	« Integrated circuits »
CMOS	« Complementary Metal-Oxide-Semiconductor »
DC	« Direct Current »
FD SOI	« Fully Depleted SOI »
FET	« Field Effect Transistor »
FGTL	« Floating-Gate Transmission Line »
FoM	« Facteur de performances RF »
MOS	« Metal Oxide Semiconductor »
PD SOI	« Partially Depleted Silicon-on-Insulator »
RF	« Radio frequency »
SiO₂	« silicon dioxide »
SOI	« Silicon-on-Insulator »
TLM	« Transmission-Line matrix »
V_{th}	« threshold voltage »

Liste des figures

CHAPITRE I : Les transistors MOSFET

Figure. I. 1. Représentation schématique d'un transistor nMOS sur silicium massif.....	4
Figure. I. 2. Structure d'un transistor (simple grille) SOI de type-n.....	4
Figure. I. 3. Vue de profile du substrat silicium sur isolant	5
Figure. I. 4. Schéma de principe d'un transistor SOI (a) partiellement déserté (b) totalement déserté.....	6
Figure. I. 5. Structure d'un transistor nMOS SOI partiellement déserté	7

CHAPITRE II : Modélisation petit signal en régime statique des transistors MOS SOI

Figure. II.1. Organigramme des étapes à suivre pour l'extraction des facteurs de performances RF des transistors MOS SOI et leurs validations	11
Figure. II.2. Schéma équivalent à petit signal du transistor MOSFET.....	12
Figure. II.3. Représentation d'un transistor MOS en source commune, sous la forme d'un quadripôle	15
Figure. II.4. Les contacts à double grille Transistor MOSFET PD-SOI: (a) disposition, (b) modèle électrique.	18
Figure. II.5. Extraction de la résistance R_{SD} en utilisant la méthode de Bracale en mode DC	19

Chapitre III : Résultats et Discussions

Figure.III.1. Circuit équivalent petit signal pour modéliser le comportement RF des transistors MOS avancés	22
Figure.III.2. Extraction des résistances extrinsèques ($R_s + R_d$) en utilisant la méthode de Bracale en DC	22
Figure.III.3. Extraction des résistances de grille en fonction de la longueur de grille	23
Figure.III.4. Caractéristiques de sortie $I_{ds} = f(V_{gs})$ des transistors MOS SOI avancés.	24
Figure. III.5. La transconductance $g_m = f(V_{gs})$ des transistors MOS SOI avancés.	25

Figure. III.6.Caractéristiques de transfert $I_{ds}=f(V_{gs})$ des transistors MOS SOI avancés..... 25

Figure. III.7.La conductance $g_{ds}=f(V_{ds})$ des transistors MOS SOI avancés pour différentes valeurs de V_{gs} 26

Figure.III.8.La courbe $I_{ds}=f(V_{gs})$ des transistors MOS SOI avancés à faible V_{ds} 27

Figure. III.9.Capacité totale de grille C_{gg} mesurée après épluchage du transistor MOS PD-SOI avec $L_g = 0.26 \mu\text{m}$ 28

Figure.III.10.Extraction de f_T à partir de gain en courant H_{21} et f_{max} à partir de gain en puissance ULG à partir des paramètres- S mesurés du transistor MOS avancés. 29

Figure.III.11. f_T et f_{max} en fonction de la longueur de grille obtenues par la méthode proposée et par la méthode RF. 30

Liste des tableaux

CHAPITRE I : Les transistors MOSFET

Tableau. I.1. Comparaison de quelques caractéristiques électrique d'un FDSOI et PDSOI avec un MOSFET sur silicium massif. N : neutre, + : meilleur, - : plus mauvais 7

Sommaire

Introduction générale	1
-----------------------------	---

CHAPITRE I : Les transistors MOSFET

I.1.Introduction	3
I.2.Introduction aux transistors MOSFET	3
I.3. Transistors MOS bulk	3
I.4. Transistor MOSFET SOI	4
I.4.1. Technologie SOI	5
I.4.2.SOI partiellement et entièrement déserté	6
I.5. Différences entre MOS sur substrat Si massif et SOI	8
I.6.Conclusion	9

CHAPITRE II : Modélisation petit signal en régime statique des transistors MOS SOI

II.1.Introduction	10
II.2.Modélisation de transistor MOSFET	10
II.3.Méthodologie suivie pour la détermination des performances RF	10
II.3.1. Schéma équivalent électrique petit-signal	12
II.3. 1.1.Partie intrinsèque	12
II.3.1.2.Partie extrinsèque	14
II.4. Paramètres-S	14

II.4.1.Facteur de performances RF (FOM).....	15
II.4.1.1 Fréquence de transition f_T	16
II.4.1.2.Fréquence maximale d'oscillation f_{max}	16
II.5. Méthodes d'extraction DC.....	17
II.5.1.Méthode de Bracale	17
II.5.2.Technique Floating-Gate Transmission Line (FGTL).....	19
II.5.3.Technique TLM	19
II.5.4.Technique End-Resistance.....	20
II.6. Conclusion	20

Chapitre III : Résultats et Discussions

III.1.Introduction	21
III.2.Calcul des fréquences de transition.....	21
III.2.1.Détermination des résistances parasites (R_s , R_d , R_g).....	22
III.2.2.Détermination des conductances intrinsèques.....	23
III.2.3.Détermination de la capacité de grille	27
III.3.Extraction RF des fréquences de transition.....	28
III.4. Extraction de f_T et f_{max}	29
III.5.Conclusion.....	30
Conclusion générale	31

Bibliographie..... 32

Introduction

Générale

Introduction générale

Ces dernières années le succès de l'industrie des semi-conducteurs repose principalement sur l'évolution continue de la filière CMOS. Cette technologie s'est toujours progressée en adéquation avec la stratégie conventionnelle initiée par la << Loi de Moore >>, et ce, depuis son apparition en 1965 [1]. Cependant, la réduction de la longueur des transistors MOS (Metal Oxide Semi-conductor) n'est plus le seul facteur déterminant pour assurer le progrès en microélectronique. En arrivant à l'échelle nanométrique, la dite Loi de Moore atteint ses frontières physiques et devra s'accompagner d'importantes modifications des matériaux utilisés ainsi que de l'architecture des dispositifs. Les structures SOI (Silicon On Insulator) amincies (au niveau du film et de l'isolant enterré) se portent comme excellents candidats par rapport à ceux de la technologie alternative, elle se caractérise par l'amélioration sensible des performances des circuits intégrés (vitesse, consommation, etc.) et l'excellente adéquation aux contraintes imposées par la miniaturisation ultime des transistors. Dans ce contexte, la tentative du contrôle des effets à canal court et, par conséquent, la miniaturisation ultime des transistors MOS en utilisant des films ultra minces de SOI, se montrent prometteuses pour l'avenir et la continuité de la filière. Annonçant donc un meilleur contrôle du canal et de bonnes performances.

D'autre part, l'évolution de composants semi-conducteurs s'accompagne toujours par d'autres travaux d'investigation relevant des domaines de la caractérisation électrique et de la modélisation. D'ailleurs, la caractérisation et modélisation électrique statique demeure un besoin récurrent permettant de voir les caractéristiques électriques des transistors et de l'extraction des paramètres petit-signal (extrinsèques et intrinsèques). De nouvelles techniques d'extraction peuvent également être envisagées et examinées. Mais l'interprétation des résultats reste le point fondamental de la caractérisation. A l'issue de la modélisation en petit-signal, les données expérimentales fourniront une riche base pour concevoir des modèles appropriés intégrant tous les effets présents dans les dispositifs de très faible volume et les phénomènes de couplage en vue de les utiliser pour la conception des circuits digitaux, analogiques et radio fréquence (RF).

C'est dans ce contexte que notre travail s'inscrit et il sera mené en collaboration avec l'équipe CDTA/ARFIC.

L'objectif de ce travail est de modéliser le transistor MOSFET dans un schéma électrique équivalent petit signal en méthode des mesures statiques (DC) afin d'extraire les paramètres physiques et électriques qui le constituent.

Le premier chapitre présentera les transistors à effet de champs MOSFET, puis on va se baser sur les transistors MOS bulk et les transistors SOI et on va citer les différences entre ces derniers, ensuite on décrira les transistors SOI partiellement et entièrement déserté.

Dans le deuxième chapitre, nous nous rapprochons plus du vif du sujet où l'approche de modélisation et d'extraction des paramètres extrinsèques et intrinsèques du schéma électrique équivalent des transistors MOSFET en générale seront traitées. Dans un premier temps, nous allons nous intéresser à la modélisation analytique directe des transistors MOSFET. Ensuite nous allons aborder la méthodologie suivie pour la détermination des performances RF puis on présentera le schéma équivalent et les méthodes suivies pour extraire les valeurs de ses paramètres extrinsèques et intrinsèques, et le calcul des fréquences de transition et on va citer différentes méthodes d'extraction DC.

Dans le dernier chapitre, on présentera les résultats de la partie pratique de notre travail, où on déterminera les valeurs des éléments du schéma équivalent, d'abord les résistances parasites, ensuite les conductances intrinsèques puis la capacité de grille. Enfin et à partir de ces paramètres on peut calculer les fréquences de transitions qui nous permettra de déterminer le facteur des performances radio fréquences (FoM).

Enfin, on terminera par une conclusion générale.

CHAPITRE I : Les transistors MOSFET

I.1.Introduction

Le transistor MOSFET est considéré jusqu'à maintenant comme l'élément le plus important dans l'industrie des circuits intégrés (CI). Sa taille n'a cessé de décroître d'un facteur de 2 tous les deux ans respectant ainsi la loi de Gordon Moore et sa consommation aussi est en continuelle décroissance pour chaque nouvelle génération de transistors. Avec la réduction considérable de sa géométrie, des effets indésirables connus sous le nom d'effets canaux courts apparaissent altérant son bon fonctionnement le rendant inopérable telle qu'il fut conçu au départ. Ces effets viennent limiter les gains de performances apportés à chaque nouvelle génération [1].

Dans ce chapitre nous allons présenter deux types de transistors MOSFET. On va donner un aperçu sur leur technologie de fabrication, et la différence entre ces deux types en termes d'avantages et d'inconvénients.

I.2.Introduction aux transistors MOSFET

Un transistor à effet de champ est un dispositif semi-conducteur de la famille des transistors. Sa particularité est d'utiliser un champ électrique pour contrôler la conductivité d'un « canal » dans un matériau semi-conducteur [2].

On peut classer les transistors à effet de champ comme tels :

- 1 .Les transistors à effet de champ à jonction : J- FET
- 2 .Les transistors à effet de champ à couche d'oxyde de silicium : MOS – FET
3. Les transistors MESFET
4. Les transistors à électron à haute mobilité HEMT

I.3. Transistors MOS bulk

Le Transistor à Effet de Champ à Métal Oxyde Semi-conducteur à substrat massif (MOSFET bulk : Metal Oxyde Semi-conducteur Field Effect Transistor bulk) a sa grille isolée du canal par une couche de dioxyde de silicium (SiO_2).

Comme est représentée sur la figure I.1, le transistor MOS bulk possède 4 électrodes : la Source (S): point de départ des porteurs, le Drain (D): point de collecte des porteurs, la Grille (Gate) G et le Substrat (Body) B. Ce sont les électrodes de la capacité MOS qui contrôle le nombre de porteurs présents dans le canal. L'intensité du courant circulant entre la source et le drain (I_{ds}) est commandée par la tension de la grille (V_{gs}). Très souvent les électrodes de source et du substrat sont électriquement reliées [3].

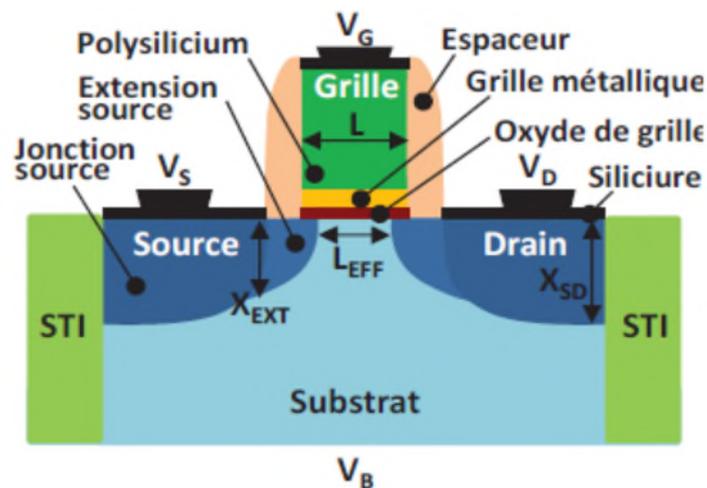


Figure I. 1. Représentation schématique d'un transistor nMOS sur silicium massif [3]

I.4. Transistor MOSFET SOI

Le transistor MOS SOI (Silicon On Insulator) se distingue du transistor sur silicium massif (bulk) par sa réalisation sur un substrat SOI (Figure I.2). Ce substrat est constitué d'un film de silicium superficiel reposant sur une couche d'oxyde dite oxyde enterré [3] (*Box* pour Burried Oxide).

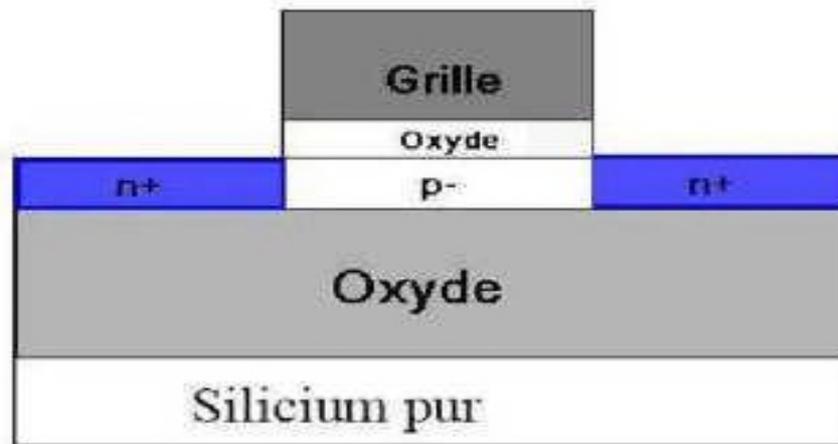


Figure I. 2. Structure d'un transistor (simple grille) SOI de type-n [3]

Le transistor SOI sur film mince ou ultra mince est caractérisé par le fait que la région localisée sous la grille du transistor où va se former le canal de conduction, n'est pas accessible et n'est donc pas polarisée. Cette région est appelée body en SOI pour éviter toute confusion avec le substrat mécanique sous-jacent à l'oxyde enterré. Le transistor SOI, du fait de son isolation électrique, est le siège d'effet dit de substrat flottant. Le body s'auto polarise sous l'influence des différents mécanismes physiques pouvant apparaître dans le transistor et des signaux électriques qui lui sont appliqués [3].

I.4.1. Technologie SOI

Le silicium sur isolant (en anglais : SOI ou Silicon On Insulator) est une structure constituée d'un empilement d'une couche de silicium sur une couche d'isolant. Cet isolant peut être du saphir (*Silicon-On-Sapphire*), de l'air (*Silicon-On-Nothing*) ou du dioxyde de silicium (SiO_2). Cette technologie est une alternative prometteuse au silicium brut dans la réalisation de transistors opérant à de hautes fréquences.

En effet, malgré son coût de développement supérieur de 10 % par rapport aux technologies classiques sur substrat massif, le gain en performance est évalué entre 20 et 35 %. Les fréquences de coupure sont supérieures à 150 GHz pour la technologie 130 nm. Avec l'utilisation de substrats fortement résistifs, les pertes sont diminuées et les performances accrues notamment au niveau du bruit micro-onde. Ainsi, les performances fréquentielles des dispositifs fabriqués sur des technologies silicium sont à revoir à la hausse. Il est généralement admis que la technologie SOI permet de gagner une génération de puce.

La technologie SOI compte plusieurs procédés industriels qui ont été développés pour réaliser un film de silicium sur une couche isolante. Le plus ancien est le SOS ou Silicon-On-

Sapphire. Depuis les années 1980, d'autres techniques ont été mises au point et sont devenues des standards industriels. Les deux principaux procédés sont le SIMOX et le BSOI. Ces dernières techniques de fabrication dominent actuellement le marché du SOI, notamment la technique Smart Cut qui représente environ 90 % de la production actuelle de SOI.

Contrairement à la technologie conventionnelle Bulk, le substrat en technologie silicium sur isolant est constitué de deux couches de silicium : le silicium actif, d'épaisseur t_{Si} et le substrat de dopage intrinsèque de type P isolées l'une de l'autre par une couche d'oxyde enterrée (BOX pour Burried Oxide) comme le montre la figure I.3. Ce type de substrat est obtenu grâce au procédé de fabrication appelé « Smart-Cut ». L'intérêt est d'obtenir une couche de silicium supérieure mince et isolée [3].

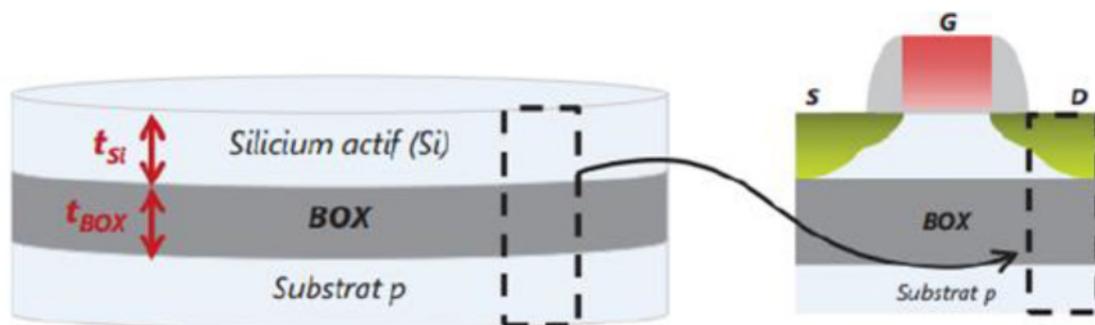


Figure. I.3. Vue de profil du substrat silicium sur isolant [3]

I.4.2.SOI partiellement et entièrement déserté

Les dispositifs SOI peuvent être classés en deux types, essentiellement suivant l'extension de la couche de désertion dans le film de silicium. Pour un film de silicium épais, la zone de déplétion dans le film n'atteint pas l'oxyde enterré (voir Figure. I.4) et nous parlons alors de transistor partiellement déserté (ou PDSOI, "*Partially Depleted SOI*"). Pour une épaisseur du film réduite, la déplétion atteint l'oxyde enterré. Le film est donc complètement déserté et la grille améliore le contrôle de son potentiel [3] et c'est ça alors le transistor entièrement déserté (ou FDSOI, "*Fully Depleted SOI*") comme on voit sur la figure I.4.

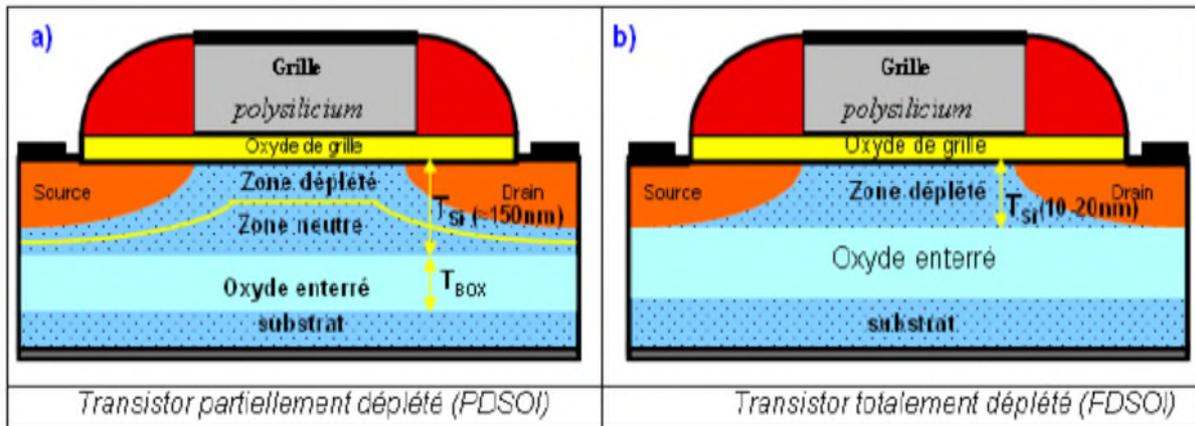


Figure. I. 4. Schéma de principe d'un transistor SOI (a) partiellement déserté (b) totalement déserté [3]

Le tableau suivant montre la différence entre un PDSOI et FDSOI sur quelques caractéristiques électriques comparé à un MOSFET classique. [3]

Paramètres physique	Partiellement déserté	Totalement déserté
Mobilité	N	+
Transconductance	N	+
Effets canal court	N	+
Capacité Source et Drain	+	+
Pente sous le seuil	N	+
Sensibilité V_{th}/t_{si}	N	-
Parasite bipolaire	+	- Ou N

Tableau. I.1. Comparaison de quelques caractéristiques électrique d'un FDSOI et PDSOI avec un MOSFET sur silicium massif. N : neutre, + : meilleur, - : plus mauvais.

La technologie CMOS SOI partiellement désertée constitue une amélioration de la technologie CMOS BULK avec presque les mêmes procédés technologiques. C'est-à-dire un procédé de fabrication simple et un cout de développement réduit.

Les dispositifs de technologie CMOS SOI partiellement déserté permettent de réduire les capacités parasites en haute fréquence par rapport au silicium massif. Ils permettent aussi de réduire les courants de fuites par l'élimination des effets Latch-up.

Dans ce type de transistor (figure I.5), le film actif de silicium présente une zone interne neutre située entre la zone de déplétion et la couche d'oxyde enterré (Body). Cette zone empêche toute interaction entre les faces avant et arrière du transistor mais son potentiel n'est

relié à aucun accès du transistor. Par conséquent, des phénomènes particuliers peuvent apparaître comme le transistor bipolaire parasite, l'effet kink, Pour faire face à ces effets et améliorer les performances du transistor, de nouvelles architectures basées sur la réduction du film de silicium et qui présentent une zone totalement désertée ont vu le jour pour remplacer avantageusement la technologie PD-SOI (*Partially Deserted Silicon-on-Insulator*). [4]

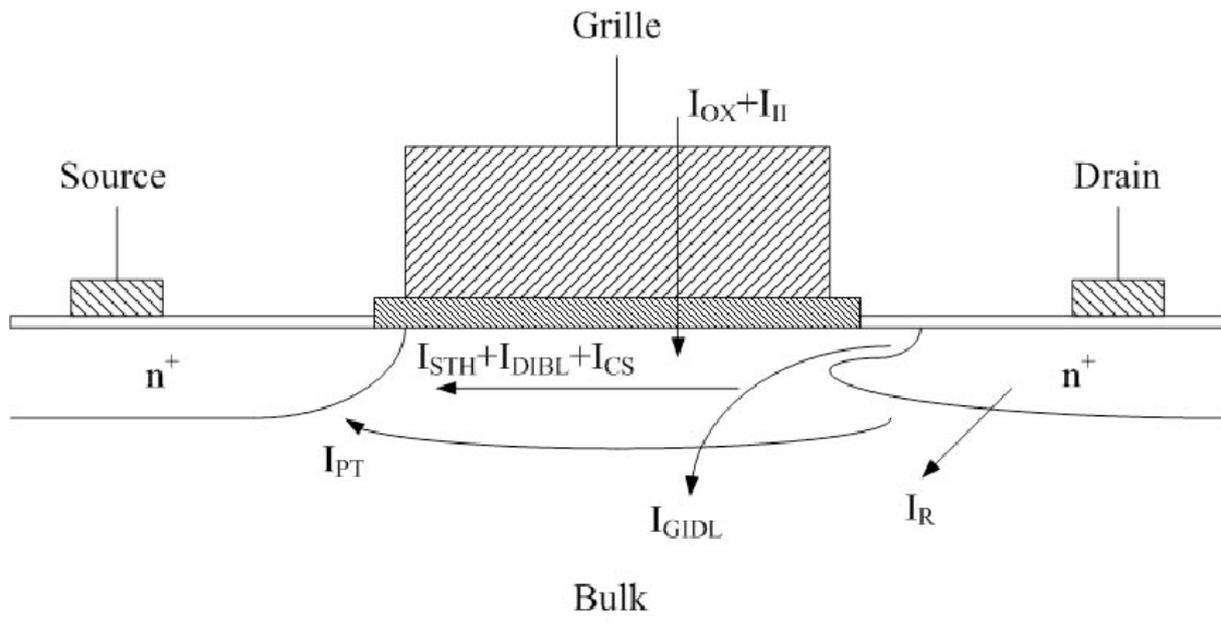


Figure. I. 5. Structure d'un transistor nMOS SOI partiellement déserté [5]

I.5. Différences entre MOS sur substrat Si massif et SOI

On peut citer ces quelques différences entre les deux types du MOSFET :

- La présence d'une couche isolante nommée oxyde enterré (*Barried OXide ou BOX*) dans le substrat du SOI.

L'idée du SOI est de créer une isolation électrique entre la zone active et le substrat physique, ce qui permet d'apporter une solution en terme de compromis performances / consommation de puissance.

- Le SiO_2 permet de réduire la surface occupée par les transistors ainsi que les effets capacitifs liés à la déplétion des jonctions (*source/substrat et drain/substrat*).

- Les dispositifs SOI sont plus rapides que les MOSFET sur silicium massif, ou, pour la même vitesse, consomment moins de puissance.

- l'isolation électrique des dispositifs SOI offre la possibilité de réduire les courants de fuite, ce qui amène à une minimisation de la puissance dissipée en mode statique et une meilleure application numérique.

-Le transistor MOS sur SOI procède à l'élimination d'autres effets parasites comme le latchup qui est présent sur le MOSFET sur substrat massif. Ce phénomène parasite étant dû au déclenchement du thyristor parasite lié à la proximité des zones N+ et P+ des transistors NMOS et PMOS voisins. [4]

Au vu de ses nombreux avantages, le transistor MOS sur substrat SOI s'est devenu un excellent candidat pour remplacer la technologie Bulk pour assurer la continuité de la filière CMOS.

I.6.Conclusion

Dans ce chapitre on a présenté les transistors à effet de champs MOSFET et ses différents types. On s'est basé par la suite sur les transistors MOS bulk et les transistors MOSFET SOI. Finalement, on a parlé des transistors SOI partiellement et entièrement déserté et on a cité les différences entre MOS sur substrat Si massif et SOI.

CHAPITRE II :

Modélisation petit signal en régime statique des transistors MOS SOI

II.1. Introduction

L'évolution de composants semi-conducteurs et plus particulièrement CMOS s'accompagne toujours par des travaux d'investigation relevant des domaines de la caractérisation électrique et de la modélisation. D'ailleurs, la caractérisation électrique statique demeure un besoin récurrent permettant de voir les caractéristiques électriques des transistors, de l'extraction des ces paramètres.

Dans ce chapitre, nous allons décrire les élément d'un schéma équivalent petit signal du transistor MOS SOI avancés ainsi que les différentes méthodes d'extraction statiques qui permettent d'avoir les valeurs des différents paramètres petit signal à savoir les fréquences de transitions.

II.2. Modélisation de transistor MOSFET

La modélisation DC et en petit signal des transistors MOSFETs passe par différentes étapes qui visent à reproduire les phénomènes physiques et électriques régissant ce type de composant. Dans notre cas, nous avons choisi la modélisation empirique ou phénoménologique basé sur des données existantes c'est-à-dire des caractéristiques DC et basse fréquence.

Afin obtenir les éléments intrinsèques et extrinsèques du schéma équivalent avec une bonne précision, une méthode d'extraction totalement analytique basée sur la caractérisation statique courant-tension de transfert. La philosophie de cette méthode consiste à placer le transistor dans des conditions de polarisation particulières dans le but de simplifier le calcul. Ceci permet dans une première étape de déterminer les éléments de la partie extrinsèque. Puis, Les éléments de la partie intrinsèque sont déduits analytiquement par de différentes fonctions mathématiques.

II.3 .Méthodologie suivie pour la détermination des performances RF

Dans cette section, nous allons présenter une méthode d'extraction qui permet de déterminer les performances RF à savoir la fréquence de transition et la fréquence max d'oscillation à partir uniquement des mesures DC et basse fréquences. Les méthodes analytiques directes permettent de déterminer chaque élément du modèle et la procédure générale d'extraction est schématisée sur l'organigramme montré à la figure II-1.

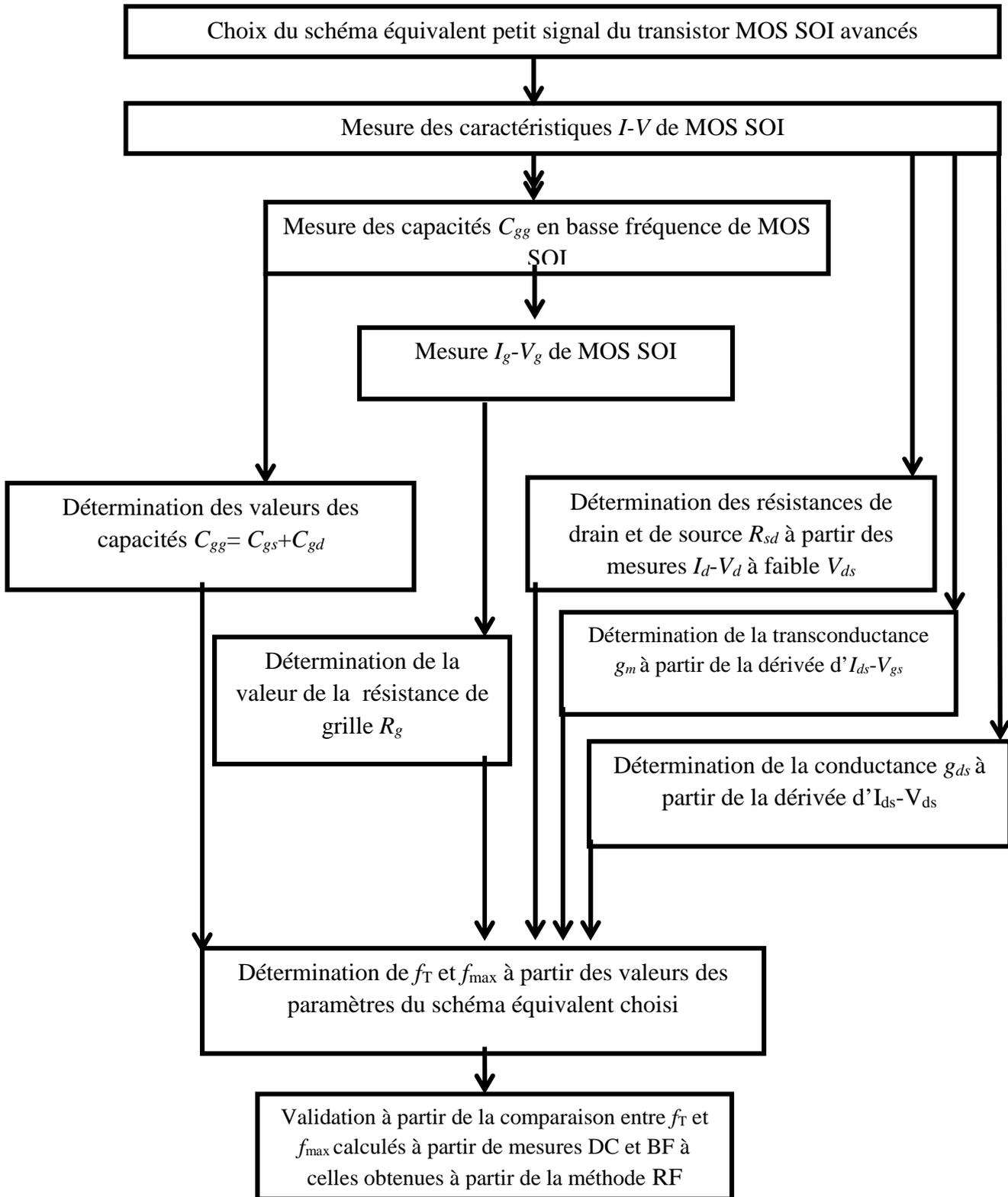


Figure. II.1. Organigramme des étapes à suivre pour l'extraction des facteurs de performances RF des transistors MOS SOI et leurs validations

II.3.1. Schéma équivalent électrique petit-signal [6]

Nous nous sommes basés sur un schéma équivalent petit-signal, largement utilisé dans la littérature, hérité de la culture des transistors FET, Il est défini selon une approche non-quasi statique pour une topologie à source commune et un potentiel de substrat nul (connecté à la source). Les différents éléments électriques constituant le schéma équivalent représentent les diverses parties du transistor et leurs mécanismes physiques.

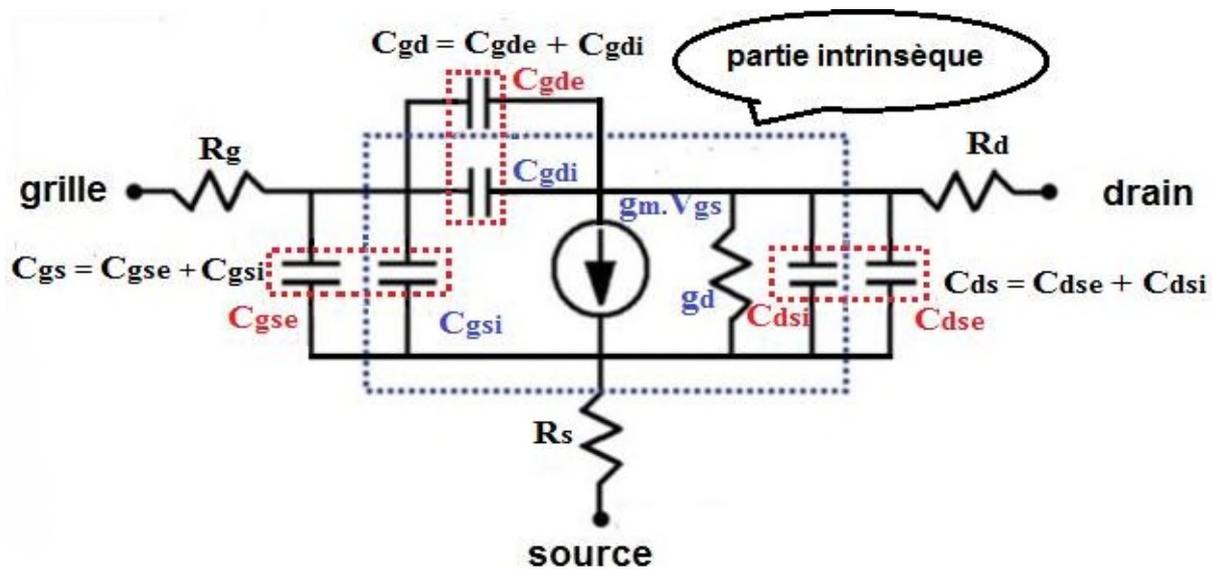


Figure. II.2. schéma équivalent à petit signal du transistor MOSFET [6]

La structure et le fonctionnement physique du schéma équivalent divise le transistor en deux parties : partie intrinsèque et partie extrinsèque. Chaque partie a ses éléments.

II.3. 1.1.Partie intrinsèque [6]

La partie intrinsèque représente les éléments à l'intérieur du rectangle en pointillés du schéma de la figure II.2, et qui représentent la partie active du transistor et plus précisément le canal. Ses éléments sont :

- **La transconductance**

La transconductance g_m est l'expression du mécanisme de la commande du transistor MOS. L'effet transistor est modélisé par une source de courant donnée par $g_m \cdot V_{gs}$. V_{gs} est le signal appliqué aux bornes de la capacité C_{gs}

La transconductance statique g_m est la dérivée du courant I_{ds} par rapport à la tension V_{gs} avec V_{ds} constant.

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=\text{cte}} \quad (\text{II-1})$$

- **La conductance**

La conductance de sortie g_{ds} est la variation du courant de drain en fonction de la tension pour une polarisation de grille constante.

$$g_{ds} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=\text{cte}} \quad (\text{II-2})$$

- **Capacités grille-source / grille-drain**

Les capacités C_{gsi} et C_{gdi} sont liées respectivement à la variation de la charge stockée sous la grille en fonction des tensions grille-source et grille-drain.

L'estimation de ces capacités dans un dispositif MOSFET est très importante, et cela particulièrement pour la simulation des circuits RF (Radio Fréquence).

$$C_{gsi} = \left. \frac{\partial Q_g(V_{gsi}, V_{gdi})}{\partial V_{gsi}} \right|_{V_{gdi}=\text{cte}} \quad (\text{II-3})$$

$$C_{gdi} = \left. \frac{\partial Q_g(V_{gsi}, V_{gdi})}{\partial V_{gdi}} \right|_{V_{gsi}=\text{cte}} \quad (\text{II-4})$$

Avec :

Q_g = la charge de la zone stocké sous la grille.

L'expression de la capacité vue de la grille c'est :

$C_{gg} = C_{gsi}$ (la capacité entre la grille et la source) + C_{gdi} (la capacité entre la grille et le drain) + C_{gb} (la capacité entre la grille et le substrat)

C_{gb} : Capacité entre la grille et le substrat et elle est négligeable.

- **La capacité drain-source**

L'origine de la capacité C_{dsi} correspond aux capacités en série sous les contacts ohmiques de drain et de source.

II.3.1.2. Partie extrinsèque [6]

La partie extrinsèque représente les éléments à l'extérieur du rectangle en pointillé du schéma de la figure II.2 c'est la partie parasites du transistor. Cette dernière qui relie la zone active du composant avec les métallisations. Ses éléments sont :

- **Les résistances**

Les résistances R_{se} et R_{de} traduisent l'effet de la résistivité des caissons fortement dopés respectivement des contacts ohmiques de source et de drain. Alors que R_{ge} représente la résistance du contact de grille.

Il est important de noter que R_{se} et R_{de} sont inversement proportionnels à la largeur du transistor, alors que R_{ge} est proportionnelle à la largeur totale.

- **Les éléments parasites d'accès**

- Les inductances de grille (L_g), de source (L_s) et de drain (L_d) matérialisent les inductances parasites et elles sont liées aux connexions du transistor avec le reste du circuit sont généralement négligeables lorsque il s'agit des transistors des nœuds avancés.
- Les capacités C_{gse} , C_{gde} et C_{dse} sont des capacités électrostatiques parasites des plots de métallisation de grille et de drain par rapport au substrat elles ne dépendent que de la largeur du transistor.

II.4. Paramètres-S [6]

Les transistors sont généralement représentés sous la forme de quadripôles avec un port d'entrée et un port de sortie, où sont définis les courants et les tensions.

Le port 1 est relié à la grille, le port 2 au drain. La figure. II.3 illustre schématiquement un transistor MOS sous sa représentation quadripôle en source commune.

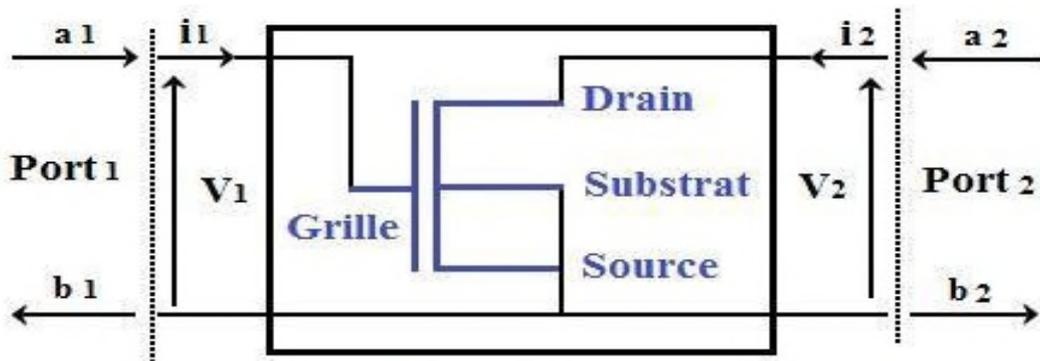


Figure. II.3.Représentation d'un transistor MOS en source commune, sous la forme d'un quadripôle. [6]

Les équations reliant les ondes émergentes b_1 et b_2 aux ondes incidentes a_1 et a_2 s'écrivent de la façon suivante :

$$b_1 = S_{11} * a_1 + S_{12} * a_2 \quad (\text{II-5})$$

$$b_2 = S_{21} * a_1 + S_{22} * a_2 \quad (\text{II-6})$$

Quand la sortie est adaptée ce qui signifie que $a_2=0$ alors:

$S_{11}=b_1/a_1$: Coefficient de réflexion à l'entrée quand la sortie est adaptée.

$S_{21}=b_2/a_1$: Coefficient de transmission direct quand la sortie est adaptée. Et quand l'entrée est adaptée ce qui signifie que $a_1=0$ alors:

$S_{22}=b_2/a_2$: Représente le coefficient de réflexion à la sortie quand l'entrée est adaptée.

$S_{12}=b_1/a_2$: Représente le coefficient de transmission inverse quand l'entrée est adaptée. Les paramètres S nous ont permis à calculer simplement les grandeurs les plus communément recherchées : puissance, gain ou atténuation, facteur de réflexion sur un accès, impédance d'entrée.

Z_0 : Représente l'impédance de référence

R_c : la résistance du canal.

II.4.1.Facteur de performances RF (FoM)

Pour les facteurs de performances radio fréquence, les paramètres les plus importants sont: la fréquence de coupure f_T et la fréquence maximum d'oscillation f_{max} . Ces deux derniers sont les paramètres principaux du facteur de performances RF (FoM) extrait à partir des paramètres S.

II.4.1.1.Fréquence de transition f_T [6]

La fréquence de coupure f_T d'un transistor est la fréquence à laquelle le gain en courant en court-circuit $|h_{21}|$ du composant est égal à 1 (ou 0 dB). Elle reflète les performances dynamiques du transistor en régime de fonctionnement petit-signal et permet d'estimer la gamme de fréquences dans laquelle le dispositif peut être utilisé, on peut calculer analytiquement la fréquence de transition à partir des paramètres [S] et des éléments du schéma équivalent électrique hyperfréquence du transistor MOS.

$$|h_{21}|^2 = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22})+S_{12}S_{21}} \right| \quad (II-7)$$

On pose : $|h_{21}(f_T)|=1$

L'expression analytique de la fréquence de transition est alors:

$$f_T \approx \frac{g_m}{2\pi C_{gse} \left(1 + \frac{C_{gde}}{C_{gse}}\right) + (R_{se} + R_{de}) \left(\frac{C_{gde}}{C_{gse}(g_m + g_d)} + g_d\right)} \quad (II-8)$$

L'approximation de cette expression c'est :

$$f_T \approx \frac{g_m}{2\pi C_{gg}} \quad (II-9)$$

Avec :

$$C_{gg} = C_{gde} + C_{gse}$$

C_{gde} : la capacité drain/source

C_{gse} : la capacité grille/source

II.4.1.2.Fréquence maximale d'oscillation f_{max} [6]

En général la fréquence maximale d'oscillation f_{max} caractérise la qualité de la technologie. Au-delà de f_{max} , le transistor devient passif. Avec l'adaptation de l'entrée et la sortie du composant à l'impédance caractéristique, on obtient Le gain unilatéral (U) qui nous a permet à définir la fréquence maximale d'oscillation f_{max} , fréquence pour laquelle le gain en puissance est égal à 1 (ou 0 dB). Son expression en fonction des paramètres S du composant est donnée par

$$ULG = \frac{\left|\frac{S_{21}}{S_{12}} - 1\right|^2}{2(K \left|\frac{S_{21}}{S_{12}}\right| - R_e \left(\frac{S_{21}}{S_{12}}\right))} \quad (II-10)$$

Avec :

K : le facteur de stabilité du transistor.

Il existe plusieurs définitions analytiques de f_{max} directement reliées à un schéma équivalent spécifique du transistor.

L'expression la plus précise est :

$$f_{max} \approx \frac{g_m}{4\pi C_{gse}(1+C_{gde}/C_{gse}) \sqrt{g_d(R_{ge}+R_{se})+0.5C_{gde}/C_{gse}(R_{se}g_m+\frac{C_{gde}}{C_{gse}})}} \quad (\text{II-11})$$

Après simplification on obtient :

$$f_{max} \approx \frac{g_m}{\sqrt{R_{gg} \cdot (g_d + 2\pi f_T \cdot C_{gd})}} \quad (\text{II-12})$$

Avec :

C_{gg} Est la capacité totale vue de la grille

$$R_{gg} = R_{ge} + R_{se}$$

II.5. Méthodes d'extraction DC

Dans la littérature, de nombreuses techniques et méthodes de mesure en courant continu des résistances parasites de transistor à effet de champ, mais chaque méthode nécessite une procédure compliquée nécessitant des mesures précises dans les conditions particulières:

II.5.1. Méthode de Bracale [7]

De nombreux travaux ont été rapportés sur l'extraction extrinsèque des résistances en série pour les modes DC. Certaines méthodes DC offrent la possibilité de déterminer R_s et R_d indépendamment, mais R_g est encore indéterminé.

Les résistances de source et de drain sont extraites à partir des caractéristiques ($V_{ds} - I_{ds}$). La résistance totale ($R_s + R_d + (1 / g_d)$) représente la pente des courbes des caractéristiques ($V_{ds} - I_{ds}$) à divers points de biais de V_{gs} . À faible valeur de V_{ds} ($V_{ds} = 20$ mV), avec V_{gs} supérieur à la tension de seuil V_{th} , la résistance du canal ($1 / g_d$) est négligée; par conséquent, la résistance totale est réduite à ($R_s + R_d$). Aussi, en considérant $R_s = R_d$, leurs expressions deviennent $R_s = R_d = (R_s + R_d) / 2$. Ainsi, en utilisant la méthode de Bracale en mode DC, les résistances de source et de drain peuvent être calculées à partir de la courbe des pentes des courbes des caractéristiques ($V_{ds} - I_{ds}$) tracée en fonction de $1 / (V_{gs} - V_{th})$, comme présenté sur la figure

II.4. Enfin, la valeur de $(R_s + R_d)$ est l'intersection de ces dernières courbes avec l'axe des pentes des caractéristiques $(V_{ds} - I_{ds})$ (voir la figure II.4). Quant à l'extraction de la résistance de grille R_g , le transistor doit avoir un contact DC à double grille connecté au début et à la fin des contacts de grille. La figure II.5 (a) illustre l'ordre de cette configuration. Pour simplifier l'extraction de la valeur de la résistance de grille, l'ordre des contactes de la figure II.5 (a) est réduit à l'image représentée sur la figure II.5 (b) qui représente également son modèle. Ensuite, une petite tension V_{gs} est appliquée aux deux contacts de grille (voir figure II.5 (b)) afin de créer un courant I_g . Par conséquent, la résistance $R_{GATE-TO-GATE}$ peut être déduite par la loi d'Ohm (V_{gs} / I_g) . De plus, la valeur de la résistance métallique R_{Metal} est calculée avec la même méthode que $R_{GATE-TO-GATE}$ (voir figure II.5 (b)). Donc la résistance de grille est calculée par l'expression suivante :

$$R_g = R_{Gate} = R_{GATE-TO-GATE} - 2R_{Metal} \quad (II.13)$$

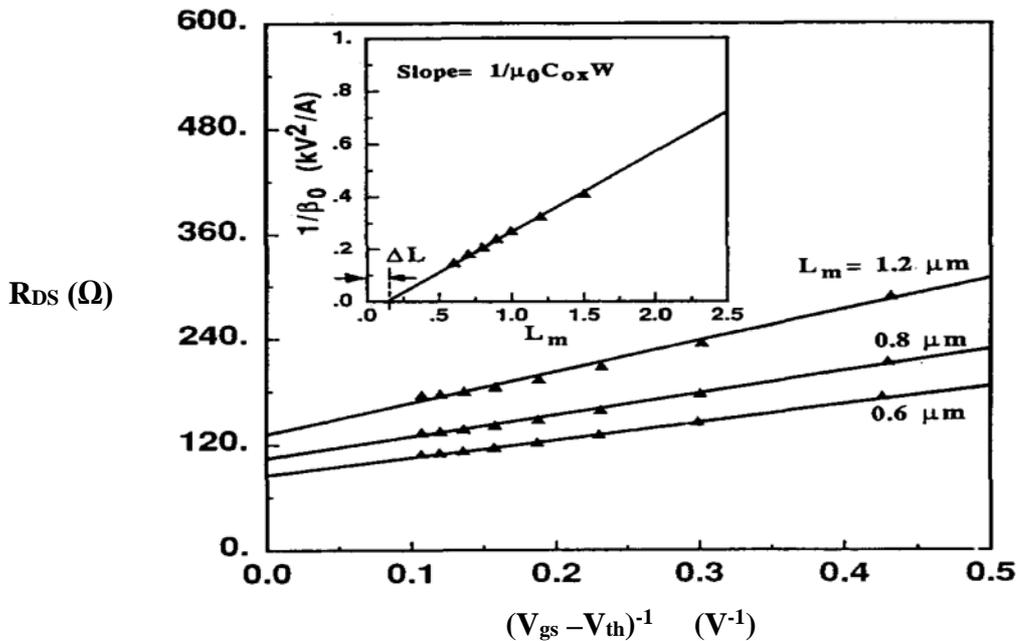
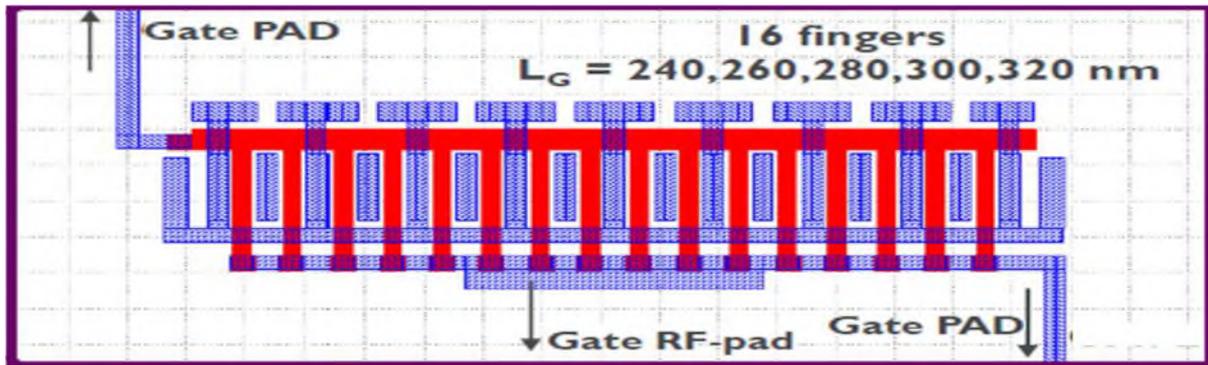
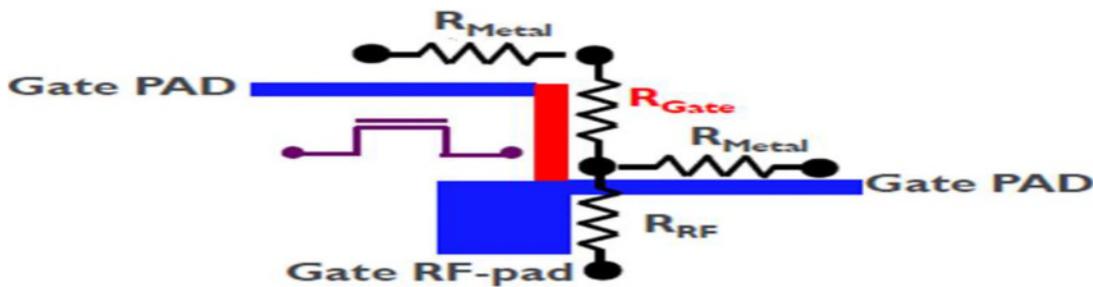


Figure. II.4. Extraction de la résistance R_{SD} en utilisant la méthode de Bracale en mode DC.

[7]



(a)



(b)

Figure. II.5.les contacts à double grille Transistor MOSFET PD-SOI: (a) disposition, (b) modèle électrique. [7]

II.5.2. Technique Floating-Gate Transmission Line (FGTL)

La technique de la ligne de transmission à grille flottante (FGTL) a été proposée par Azzam et al [8-9]. La technique FGTL suppose qu'aucun courant ne traverse la barrière avec une configuration de grille flottante et la grille flottante échantillonnant la tension au milieu du canal n'est pas correctes en raison d'une chute de potentiel existant sur la longueur du canal. De plus, pour obtenir des résistances parasites, de nombreux dispositifs avec des longueurs de grille différentes sont nécessaires, de sorte que certaines erreurs doivent être causées par une non-uniformité entre différents dispositifs.

II.5.3. Technique TLM

C'est une technique la plus utilisé pour évaluer séparément les résistances de contact et de canal [10-11]. Cette technique nécessite des structures de test spéciales, par exemple la structure de test utilisée ne possède pas de porte. Par conséquent, la résistance d'étalement due

à l'encombrement du courant à l'extrémité source de la porte ne peut pas être correctement mesurée par le TLM.

II.5.4. Technique End-Resistance

Proposée pour la première fois par Fukui [12], cette méthode nécessite une procédure compliquée nécessitant une mesure précise de divers paramètres du dispositif DC, tels que la tension de seuil, la tension intégrée et le facteur d'idéalité de la diode de grille. Ensuite, des variantes de la technique de résistance finale ont été proposées [13–22].

II.6. Conclusion

Dans ce chapitre on a définie premièrement la modélisation phénoménologique. Ensuite on a présenté la méthodologie suivie pour extraire les paramètres extrinsèque et intrinsèque d'un schéma équivalent électrique petit signal qu'on a présenté. Par la suite on a défini la manière pour calculer les deux fréquences de coupure et d'oscillation maximale. Finalement, on a présenté quelques méthodes DC pour extraire la résistance en série source/drain, parmi elles la méthode de Bracale qu'on va utiliser dans la suite de notre travail.

Chapitre III : Résultats et Discussions

III.1.Introduction

Dans ce chapitre nous vison à déterminer les performances RF des transistors MOS avancés par le calcul des fréquences de transissions f_T et f_{max} à partir des mesures statiques et basse fréquence. Mais, le calcul de ces paramètres doit passer par la détermination des valeurs des éléments du schéma équivalent petit signal du transistor MOS avancés, illustré à la figure III.1. Ce dernier est constitué des résultats de notre travail, d'abord la détermination des résistances parasites (R_s , R_d , R_g), ensuite les conductances intrinsèques, puis la capacité de grille. À partir de ces paramètres on peut calculer les fréquences de transition.

III.2.Calcul des fréquences de transition

En utilisant des mesures statiques pour extraire les résistances de grille, source et de drain (R_g , R_s , R_d), ainsi que les conductances intrinsèques à savoir la transconductance g_m et la conductance de sortie g_{ds} . D'autre part les mesures aux basses fréquences sont utilisées pour déterminer la capacité totale d'entrée C_{gg} . L'évaluation de ces paramètres nous a permis de déterminer d'une façon rapide et précise les deux valeurs de facteur de performances radio fréquence (FoM), à savoir, la fréquence de coupure f_T et la fréquence maximale d'oscillation f_{max} . L'efficacité de calcul de ces performances RF réside dans le fait qu'elle permet l'extraction des éléments du circuit équivalent petit signal (figure III.1) qui rentre dans le calcul de f_T et f_{max} uniquement à partir des mesures DC et à basse fréquence. Les expressions de f_T et f_{max} sont donnés par; [23-25]:

$$f_T \approx \frac{g_m}{2\pi C_{gs} \left(1 + \frac{C_{gd}}{C_{gs}}\right) + (R_s + R_d) \left(\frac{C_{gd}}{C_{gs}(g_m + g_{ds})} + g_{ds}\right)} \approx \frac{g_m}{2\pi C_{gg}} \quad (\text{III} - 1)$$

$$f_{max} \approx \frac{g_m}{4\pi C_{gs} \left(1 + \frac{C_{gd}}{C_{gs}}\right) + \sqrt{g_{ds}(R_g + R_s) + \frac{0.5C_{gd}}{C_{gs}(R_s g_m + \frac{C_{gd}}{C_{gs}})}}}$$

$$\approx \frac{f_T}{2\sqrt{(R_g + R_s) \cdot g_{ds} + 2 \cdot \pi \cdot f_T R_g C_{gd}}} \quad (\text{III} - 2)$$

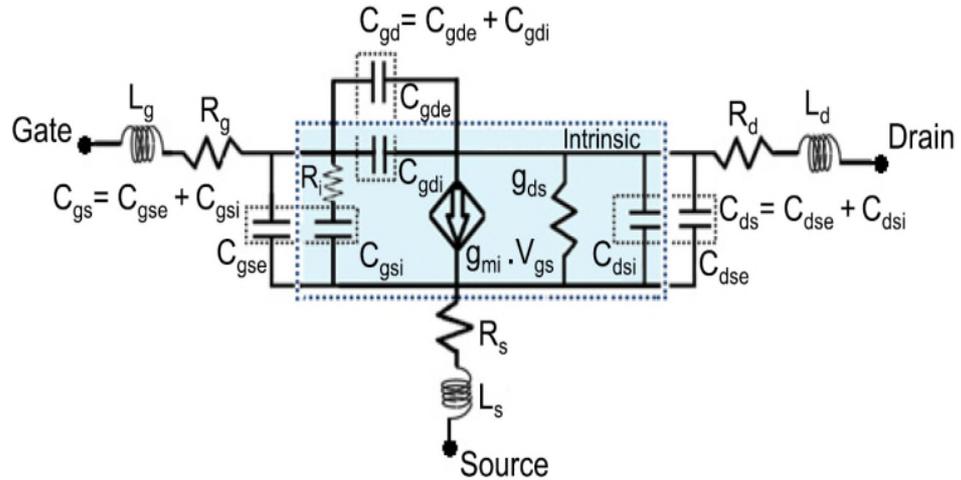


Figure. III.1. Circuit équivalent petit signal pour modéliser le comportement RF des transistors MOS avancés [9].

III.2.1. Détermination des résistances parasites (R_s , R_d , R_g)

Les résistances R_s et R_d sont extraites à partir des mesures courant-tension $I_{ds}-V_{ds}$ à faibles V_{ds} ($V_{ds} = 20$ mV) en utilisant la méthode de Bracale en statique [26]. Les résistances R_s et R_d peuvent être calculées à partir des pentes de la courbe $I_{ds}-V_{ds}$ tracé en fonction $1/(V_{gs}-V_{th})$ présenté à la figure III.2. La valeur de R_s+R_d est donnée par l'intersection de ces dernières courbes avec l'axe des ordonnées de la courbe $I_{ds}-V_{ds}$.

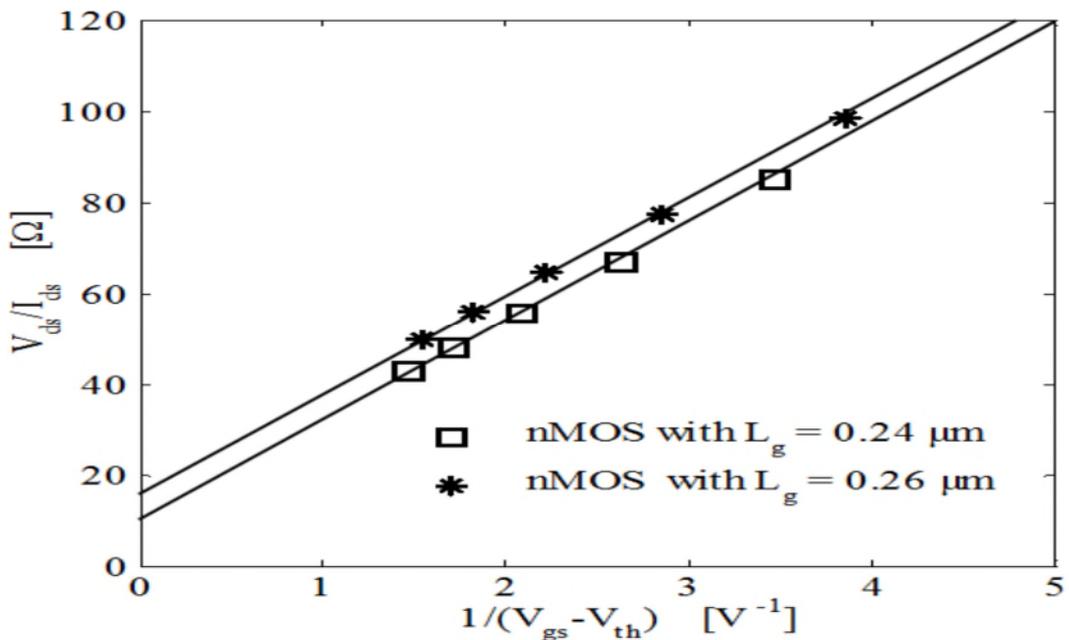


Figure.III.2.Extraction des résistances extrinsèques(R_s+R_d) en utilisant la méthode de Bracale en DC. [7]

Pour l'extraction de la résistance de grille R_g , le transistor doit avoir un contact DC à double grille. Une faible tension V_{gs} est appliquée aux deux contacts DC de grille afin de créer un courant I_{gs} , par conséquent, la résistance de grille peut être déduite par la loi d'Ohm à V_{gs}/I_{gs} . La figure III.3 représente la variation de R_g en fonction de la longueur de grille L_g .

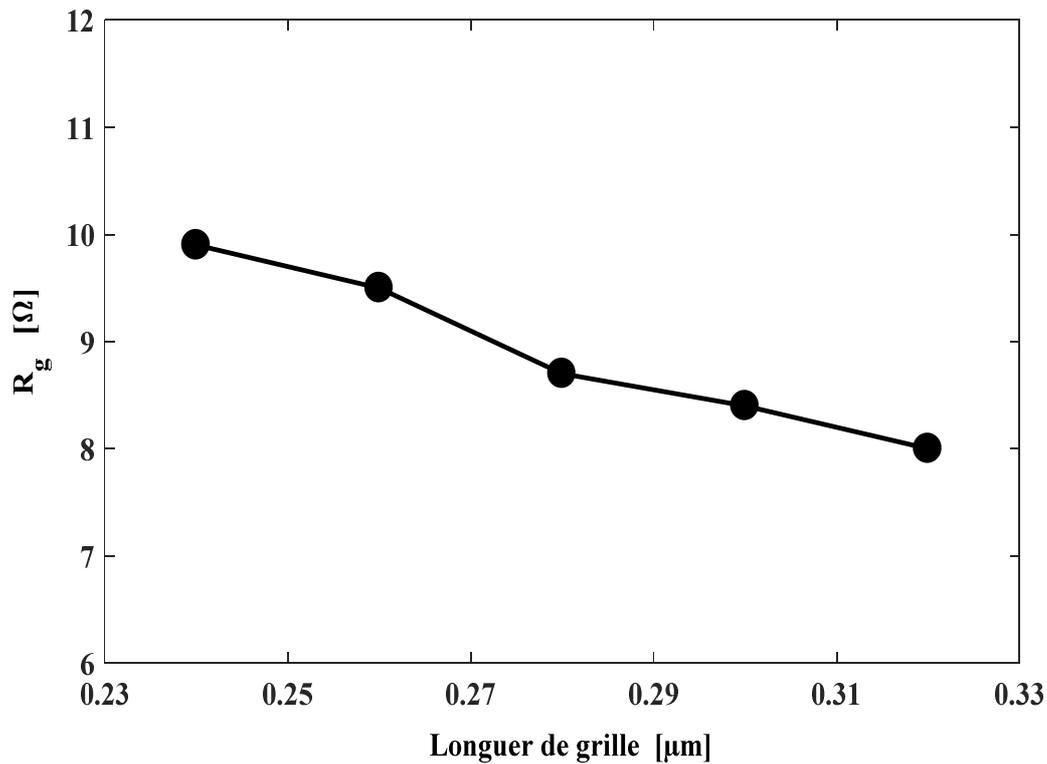


Figure.III.3.Extraction des résistances de grille en fonction de la longueur de grille

III.2.2.Détermination des conductances intrinsèques

La transconductance g_m et la conductance g_{ds} ont été obtenues à partir de la dérivée des caractéristiques de transfert et de sortie, respectivement. La figure III.4 montre les caractéristiques de sortie I_{ds} en fonction de la tension V_{gs} des différentes longueurs des transistors.

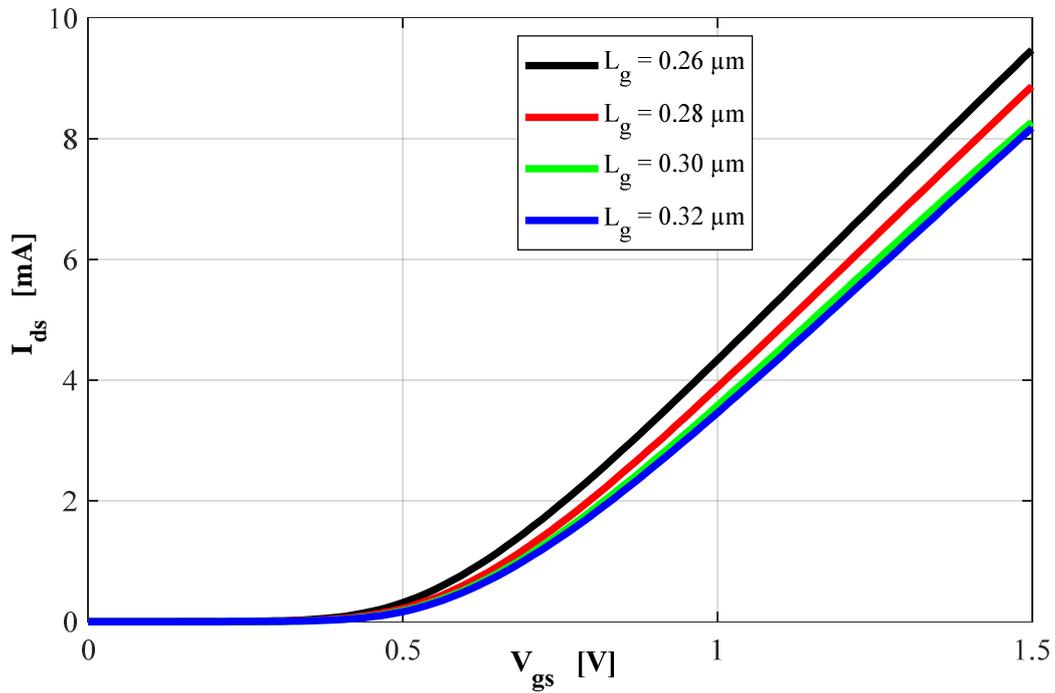


Figure.III.4.Caractéristiques de transfert $I_{ds}=f(V_{gs})$ des transistors MOS SOI avancés.

La figure III.5 représente la transconductance en fonction de V_{gs} pour différentes longueurs de grille, et la figure III.7 représente la conductance de sortie du transistor MOS PD-SOI (MOS Partiellement Dépleté Silicon-on-Insulator) avec $W = 16 \times 2 \mu\text{m}$ et $L_g = 0.26 \mu\text{m}$ en fonction de la tension V_{ds} .

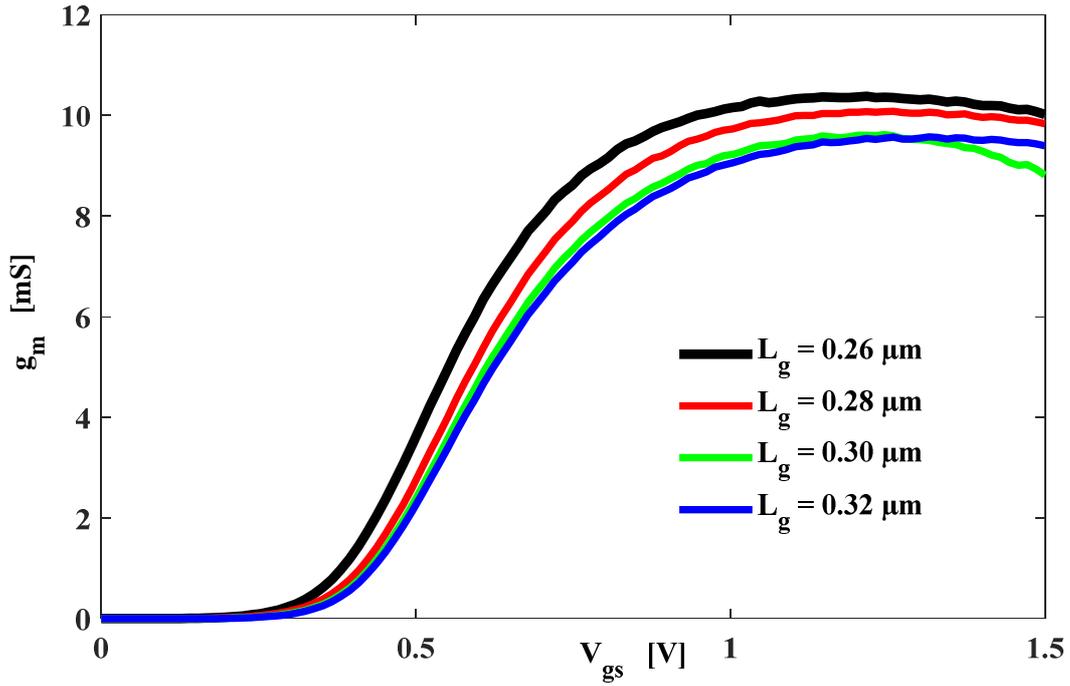


Figure. III.5. La transconductance $g_m=f(V_{gs})$ des transistors MOS SOI avancés.

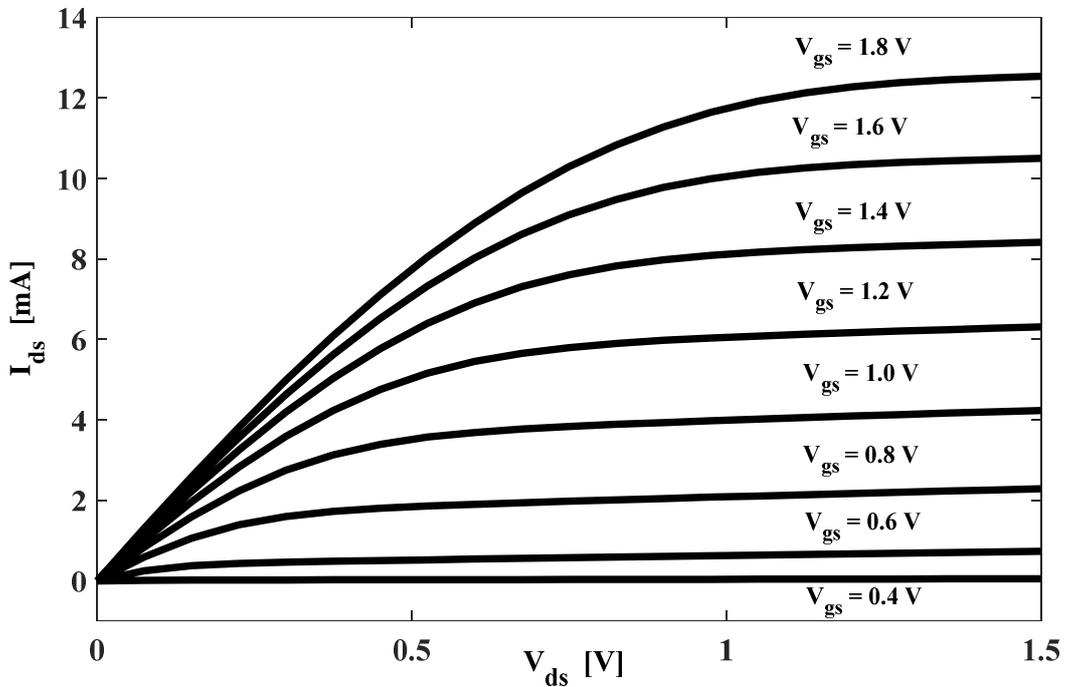


Figure. III.6. Caractéristiques de sortie $I_{ds}=f(V_{ds})$ des transistors MOS SOI avancés pour des valeurs variables de V_{gs} .

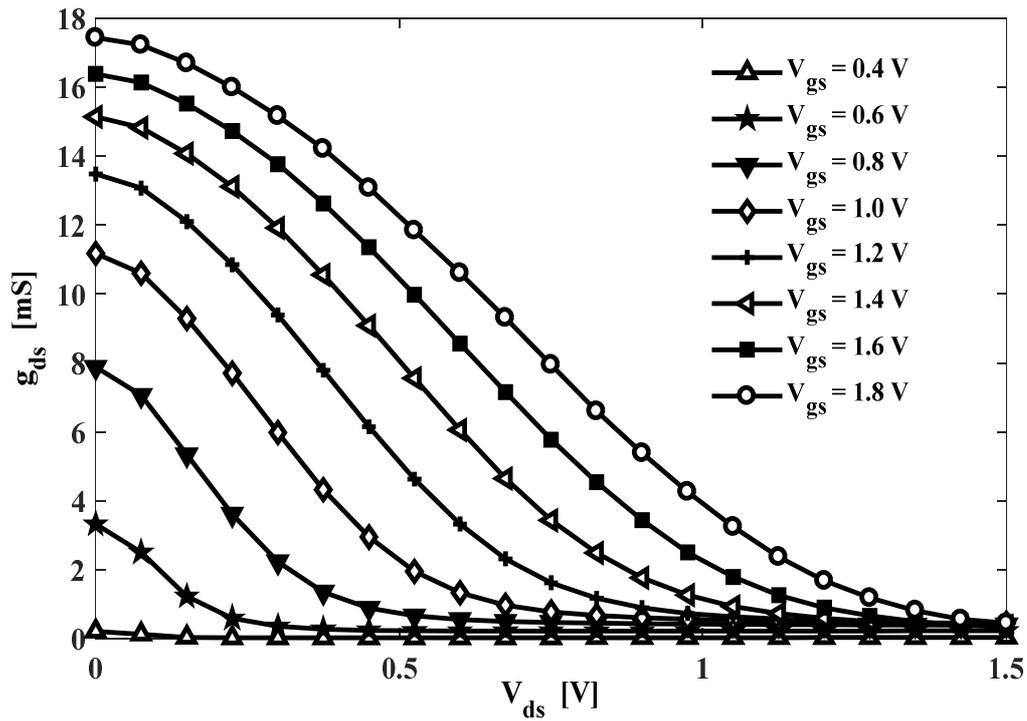


Figure. III.7. La conductance $g_{ds}=f(V_{ds})$ des transistors MOS SOI avancés pour différentes valeurs de V_{gs} .

On peut extraire la conductance g_{ds} , en appliquant la formule de la dérivée du courant I_{ds} par rapport à la tension V_{ds} avec V_{gs} constante.

La figure ci-dessus donne les valeurs mesurées de la conductance statique g_{ds} pour différentes valeurs de la tension V_{gs} .

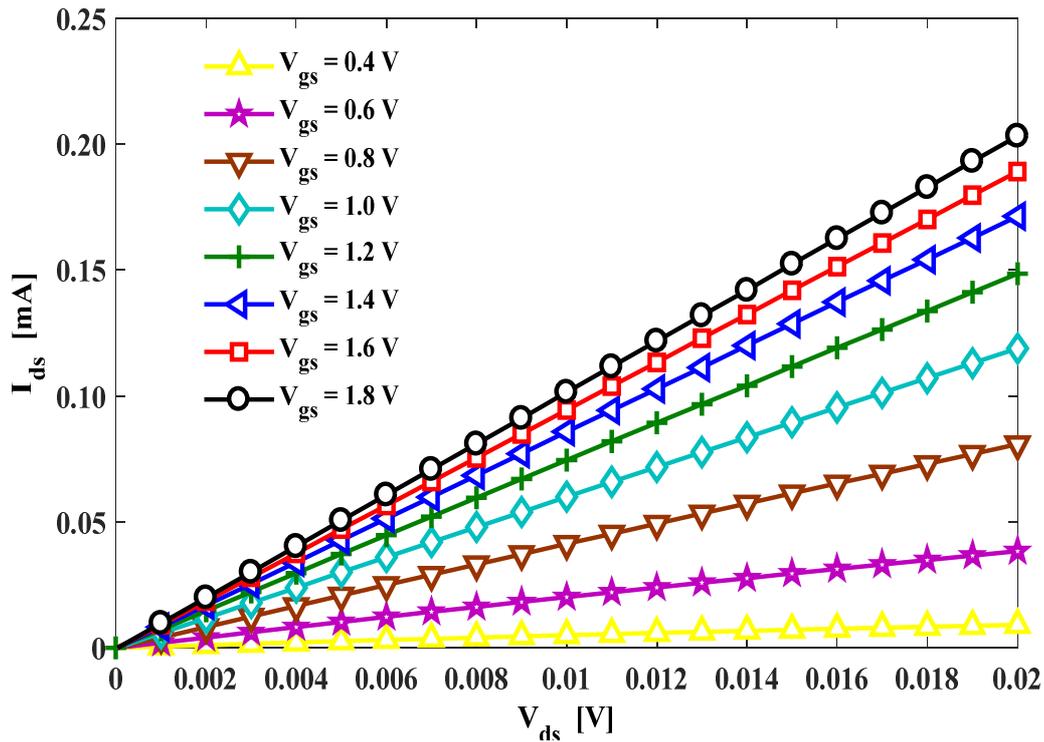


Figure.III.8. La courbe $I_{ds}=f(V_{ds})$ des transistors MOS SOI avancés à faible V_{ds} pour des différentes valeurs de V_{gs} .

La figure ci-dessus représente les caractéristiques I_{ds} en fonction V_{ds} avec des faibles valeurs pour différentes valeurs de V_{gs} , et grâce à ces caractéristiques qu'on a trouvé les différentes valeurs qu'on a présentées précédemment.

III.2.3.Détermination de la capacité de grille

La figure III.9 montre la variation de la capacité totale de grille C_{gg} en fonction de V_{gs} . Il est important de noter que les données de C_{gg} sur la figure III.6 représentent les valeurs finales des capacités C_{gg} , qui présentent des parasites due à l'appareillage. Ces mesures à basse fréquences de C_{gg} ont été effectuées en utilisant la technique LCR avec l'instrument analyseur de dispositif semi-conducteur B1500.

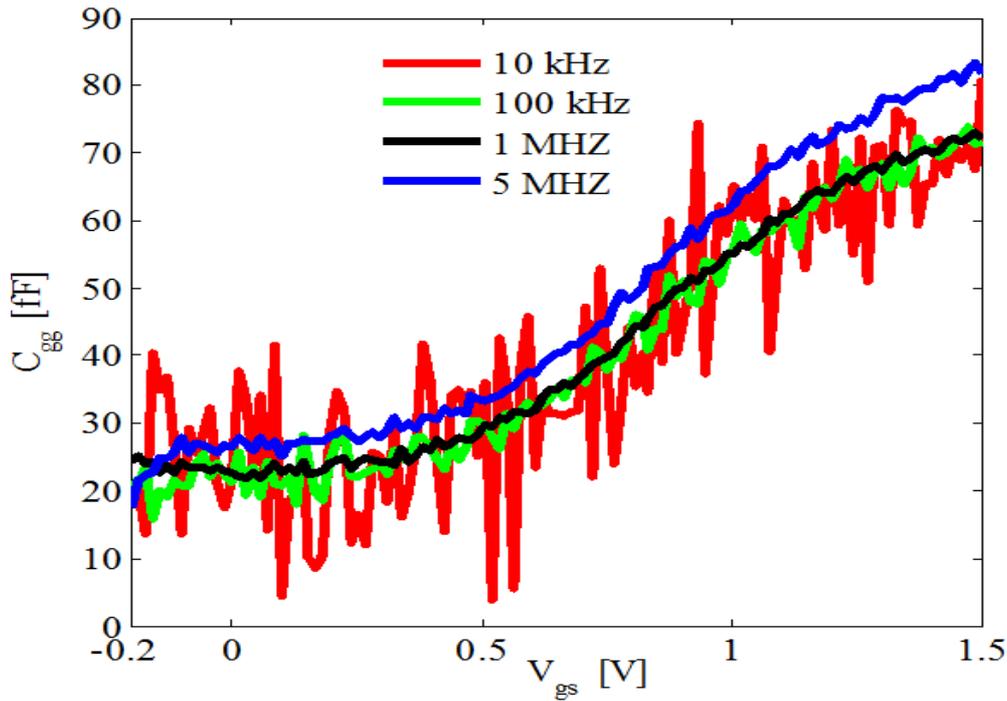


Figure. III.9.Capacité totale de grille C_{gg} mesurée après épiluchage du transistor MOS PD-SOI avec $L_g = 0.26 \mu\text{m}$

III.3.Extraction RF des fréquences de transition

Les performances RF des transistors MOSFET sont évaluées par deux facteurs de mérite, à savoir la fréquence de coupure f_T , et la fréquence maximale d'oscillation f_{max} . Par conséquent, l'extraction précise de ces paramètres s'avère d'une grande importance [27]. f_T et f_{max} sont des fréquences à travers lesquelles le gain en courant H_{21} et le gain en puissance devient respectivement unitaire (0 dB) [28-29]. Comme illustré à la figure III.10, f_T et f_{max} sont extraits à partir des paramètres S mesurés en extrapolant le gain en courant H_{21} et le gain en puissance MAG sur l'axe des fréquences à 0 dB.

L'expression du gain en courant H_{21} et le gain en puissance MAG sont donné par :

$$|H_{21}| = \frac{|-2S_{21}|}{|(1-S_{11})(1+S_{22})+S_{12}S_{21}|} \quad (\text{III. 3})$$

L'expression du gain en puissance MAG est donnée par:

$$MAG = \frac{|S_{21}|}{|S_{12}|} (K - \sqrt{K^2 - 1}) \quad (\text{III.4})$$

K :facteur de stabilité (Rollet) est donné par l'équation (III.5).

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|} \quad (\text{III.5})$$

$$\Delta = |S_{21}S_{12} - S_{11}S_{22}| \quad (\text{III.6})$$

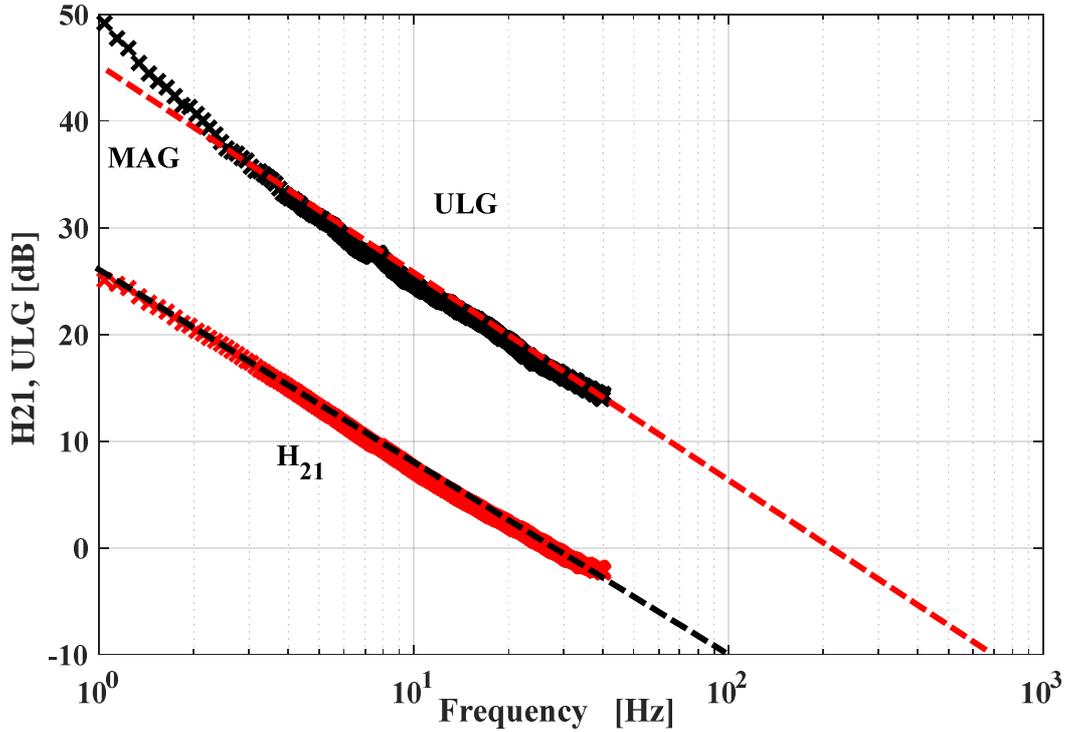


Figure.III.10.Extraction de f_T à partir de gain en courant H_{21} et f_{max} à partir de gain en puissance ULG à partir des paramètres- S mesurés du transistor MOS avancés.

III.4. Extraction de f_T et f_{max}

La figure III.11 présente les valeurs de f_T et f_{max} obtenues en utilisant la méthode proposée qu'est basée sur les mesures DC et à basse fréquence, et comparées à celles obtenues à partir de la méthode RF qu'est basée sur les paramètres- S . Un très bon accord entre les deux résultats est observé.

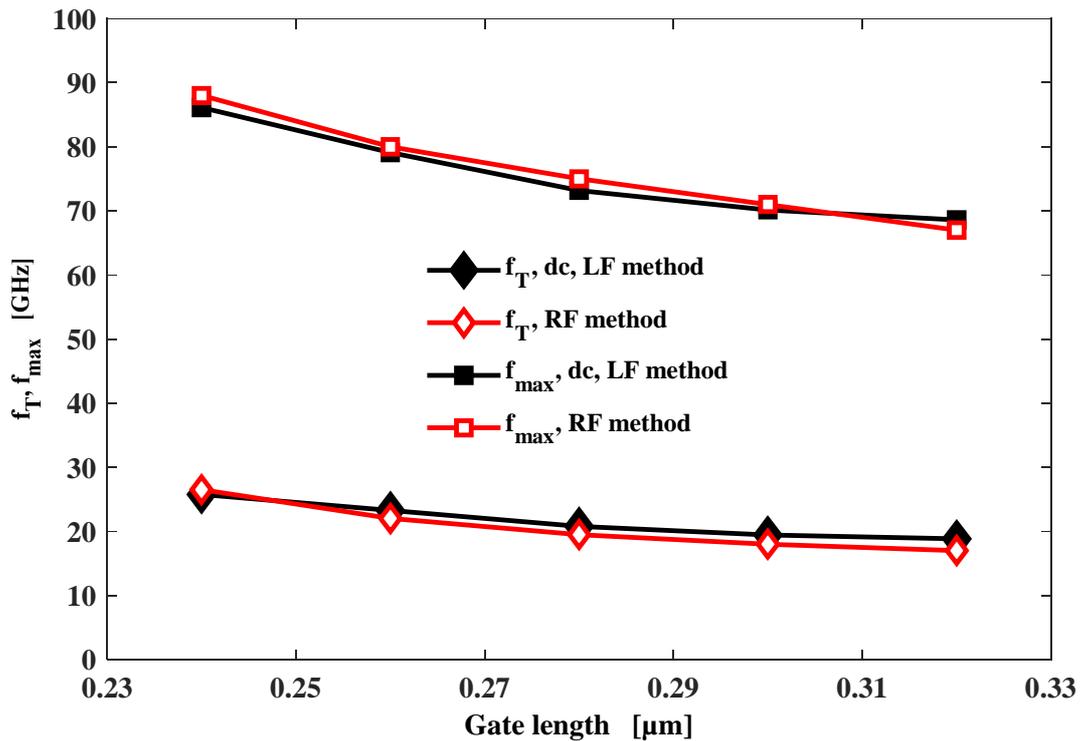


Figure.III.1.1. f_T et f_{max} en fonction de la longueur de grille obtenues par la méthode proposée et par la méthode RF.

III.5.Conclusion

Dans ce chapitre, nous avons présenté les résultats de la modélisation des transistors MOS SOI avancés, à travers la détermination des performances RF des transistors en question. Nous avons commencé par l'extraction des paramètres extrinsèques et intrinsèques du transistor susmentionnés utilisant seulement les mesures statiques et basse fréquence et qui rentre dans le calcul de fréquence de transitions. Puis, nous avons validé la méthode, par une convergence remarquable entre les résultats de la méthode proposée et ceux obtenus à partir de la méthode RF, basée sur les paramètres-S.

Conclusion

Générale

Conclusion générale

Le MOSFET est un transistor de plus en plus utilisé pour la conception de différents circuits. Pour répondre aux besoins du développement de ces derniers, une bonne modélisation facile et concrète est nécessaire. Pour cela on s'est intéressé aux méthodes DC et on les a exploités dans notre travail.

D'abord, on a présenté les aspects théoriques du transistor MOSFETs d'une manière générale et les transistors MOS bulk et MOSFET SOI en particulier. On a constaté l'importance de ces derniers transistors par rapport aux premiers après avoir cité les différences entre les deux types. Puis, on a mis en avant un type de transistors particuliers de la famille des MOSFET qui sont les MOSFETs SOI partiellement déserté.

Ensuite, on a décrit la méthodologie d'extraction des éléments d'un schéma équivalent petit signal utilisant la modélisation phénoménologique et plus particulièrement la modélisation analytique direct. Ainsi que les techniques d'extractions DC sur lesquels on s'est basé afin d'obtenir les valeurs des éléments du schéma équivalent.

Après, on a présenté les résultats de la partie pratique dont on a déterminé les différents paramètres du schéma équivalent électrique petit signale des transistors MOS SOI avancés en utilisant les méthodes DC, d'abord on a déterminé les résistances parasites, les conductances intrinsèques et la capacité de grille. Et ces valeurs nous a permis le calcule des fréquences de transition et par conséquent de déterminer le facteur des performances RF (FoM).

Enfin, on a comparé nos résultats a celles obtenues par la méthode basée sur les paramètres S et on a remarque une bonne convergence entre les résultats des deux méthodes. Cela ne valide pas seulement notre méthode utilisée mais la proposer aussi comme une nouvelle approche utilisée pour la modélisation des transistors MOSFET avancés mieux que la méthode basée sur les paramètres S puisque elle est plus facile et moins couteuse par rapport à cette dernière.

Bibliographie

Bibliographie

- [1]: www.cite-telecoms.com, consulter le 20/07/2020.
- [2] : www.unilim.fr, consulter le 15/07/2020.
- [3] : A. Benmeriouma, A. Mimeche, « Etude de l'impact des paramètres structuraux sur les caractéristiques électriques d'un MOSFET-SOI », mémoire de master en électronique, Université Mohamed Seddik Benyahia -Jijel-, 2019.
- [4] : D. Maafrî, « Caractérisation et modélisation large bande des transistors à effet de champ », thèse de doctorat, Université Sciences Et Technologie Houari Boumediene Faculté D'électronique Et Informatique, 2017.
- [5] : A. Valentian, « Etude de la technologie SOI partiellement désertée à très basse tension pour minimiser l'énergie dissipées et application à des opérateurs de calcul », IC : 169134749, Semantic Scholar, 2005.
- [6] : K. Guelil, A. Ghalmi, « Etude des performances RF des transistors MOSFET », mémoire de master en électronique, Université Abderrahmane Mira de Bejaia, 2017.
- [7]: D. Maafrî, B. K. Esfeh, A. Saadi, M. C.E.Yagoub and J.P.Raskin, « Prediction of RF Performances of Advanced MOS Transistors From DC and Low Frequency Measurements», WILEY, pp.2257-2259, 11 Janvier 2018.
- [8]: W. Azzam J et al. « An all-electrical floating-gate transmission line model technique for measuring source resistance in heterostructure field-effect transistors», *IEEE Trans Electron Devices*, pp.37-46, 1990.
- [9]: J. Liu Shih-Ming, S.T Fu, M .Thurairaj, MB .Das, « Determination of source and drain series resistances of ultra-short gate-length MODFET's », *IEEE Electron Device Lett*, pp.10-12, 1989.
- [10]: H. H. Berger, « Models for contacts to planar devices », *Solid-State Electron*, vol. 15, pp. 145-158, 1972.
- [11]: G. K. Reeves and H. B. Harrison, « Obtaining the specific contact resistance from transmission line model measurements », *IEEE Electron Device Lett*, vol.3, no.5, pp. 111-113, 1982.
- [12]: H. Fukui, «Determination of the basic device parameters of a GaAs MESFET», *IEEE Trans Microwave Theory Techniques*, pp. 58, 1979.
- [13]: P .Urien, D. Delagebeaudeuf, « New method for determining the series resistance in a MESFET or TEGFET», *Electron Lett*, pp.19-36, 1983.

- [14]: K. LEE, M. Shur, KW. LEE, T. VU, P. Roberts, M. Helix, « A new interpretation of “end” resistance measurements », *IEEE Electron Device Lett*, pp.5-6, 1984.
- [15]: S. Chaudhuri, MB. Das, « On the determination of source and drain series resistances of MESFET's », *IEEE Electron Device Lett*, pp.5-12, 1984.
- [16]: K. LEE, MS. Shur, J. Valois Anthony, et al. « A new technique for characterization of the ‘end’ resistance in modulation-doped FET'S », *IEEE Trans Electron Devices*, pp.31-41, 1984.
- [17]: P. Holmstrom Roger, L. Bloss Walter, Y. A. Chi Jim, « gate probe method of determining parasitic resistance in MESFET's », *IEEE Electron Device Lett*, pp.5-12, 1984.
- [18]: L. Yang, I. Long Stephen, « New method to measure the source and drain resistance of the GaAs MESFET », *IEEE Electron Device Lett*, pp.7-9, 1986.
- [19]: KA. Charistianson, WT. Anderson, « Determination of AlGaAs/GaAs HEMT parasitic resistance », *Solid-State Electron*, pp.39-51, 1996.
- [20]: Del.Alamo, A.Jesús et al, « A floating-gate transmission-line model technique for measuring source resistance in heterostructure field-effect transistors », *IEEE Trans Electron Device*, pp.36-47, 1989.
- [21]: D. Pradeep, D. S. Rawal and S. Karmalkar, « Comparison of Two DC Extraction Methods for Mobility and Parasitic Resistances in a HEMT », in *IEEE Transactions on Electron Devices*, vol. 64, no. 4, pp. 1528-1534, April 2017.
- [22]: Z. Yang, J. Wang, X.Li, Bo Zhang, J. Zhao, ZheXu, M.Wang, Min Yu, Z.Yang, W.Wu, Y. Zhang, J. Zhang, X. Ma, YueHao, « novel method for measuring parasitic resistance in high electron mobility transistors », *Solid-State Electronics*, ISSN: 0038-1101, Vol: 100, pp. 27-32, 2014.
- [23]: B. K. Esfeh, V. Kilchytska, V. Barral, N. Planes, M. Haond, D. Flandre, J.P.Raskin, «Assessment of 28 nm UTBB FD-SOI technology platform for RF applications: Figures of merit and effect of parasitic elements », *Solid-State Electronics*, vol. 117, pp. 130–137, 2016.
- [24]: M. K. Arshad, V. Kilchytska, M. Emam, F. Andrieu, D. Flandre, J.-P.Raskin, « Effect of parasitic elements on UTBB FD SOI MOSFETs RF figures of merit », *Solid-State Electronics*, vol. 97, pp. 38-44, 2014.
- [25]: Raskin J.P. « Modeling, characterization and optimization of MOSFETs and passive elements for the synthesis of SOI MMICs », PhD Thesis, Université catholique de Louvain, 1997.
- [26]: A. Bracale et al., « A new approach for SOI devices small-signal parameters extraction, » *Analog Integrated Circuits and Signal Processing* », pp. 157-168, 2000.

[27]: JH. Ahn et al, « Novel method for accurate extraction of f_{max} for nano-scale MOSFETs», J Korean PhysSoc, pp.45-50, 2004.

[28]: J.P. Raskin, « Modeling, characterization and optimization of MOSFETs and passive elements for the synthesis of SOI MMICs », PhD Thesis, Université catholique de Louvain, 1997.

[29]: M.K. Arshad, « Characterization and modeling of ultra-thin body fully-depleted SOI MOSFETs » PhDThesis, Université catholique de Louvain, 2013.

Résumé

Le transistor à effet de champs est parmi les meilleures inventions de notre ère grâce aux fonctionnalités qu'il peut accomplir et qu'il a donné naissance à d'autres inventions plus avancées.

Pour développer cette invention, une modélisation et une conception est nécessaire.

Notre travail est une proposition d'une nouvelle approche pour modéliser les transistors MOS SOI avancés avec l'extraction des différents paramètres d'un schéma électrique équivalent en se basant sur des méthodes d'extraction statiques (DC) et ses valeurs nous ont permis aussi de calculer des fréquences de transition et de déterminer le facteur des performances RF (FoM) qu'est un facteur essentiel pour le développement de la technologie MOSFET.

Notre travail a été effectué en collaboration avec l'équipe ARFIC de CDTA.

Mots clés : MOS SOI avancés, Modélisation, Méthodes DC.

Abstract

The Field effect transistor is one of the greatest inventions of our era because of the functions it has been able to accomplish and the birth it gave to other inventions which are more advanced.

To develop this invention, modeling and design is required.

Our work is a proposal of a new approach to model the advanced MOS SOI transistors with the extraction of the different parameters of an equivalent electric diagram based on statistical extraction methods (DC) and its values have also allowed us the calculation of the transition frequencies and the determination of the RF performance factor (FoM) which is an essential factor for the development of MOSFET Technology.

Our work was carried out in collaboration with the ARFIC team of CDTA.

Key words : Advanced MOS SOI, modeling, DC methods.