

République Algérienne Démocratique et Populaire  
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique  
Université A.MIRA-BEJAIA



Département de Génie Electrique

## MEMOIRE DE MAGISTER

En vue de l'obtention du diplôme de Magister en Génie Electrique

Option : Electrotechnique

Thème

**Etude et Réalisation d'un Onduleur Multiniveaux à  
Topologie Cascadée**

Présenté par

**BOUKANDOUL Abdelhalim**

Soutenu le : 17/ 11 / 2013

Devant le Jury composé de :

<b>Nom et Prénom</b>	<b>Grade</b>	
Mr D.AOUZELLAG	Maître de Conférences à l'université de Bejaia	Président
Mr K.GHEDAMSI	Maître de Conférences à l'université de Bejaia	Rapporteur
Mr M.L.BENDAAS	Professeur à l'université de Batna	Examineur
Mr K.IDJDARENE	Maître de Conférences à l'université de Bejaia	Examineur

**Promotion 2012/2013**

# Préface

Le travail présenté dans ce mémoire a été réalisé dans le Laboratoire de maîtrise des énergies renouvelables de l'université Abderrahmane Mira Bejaia, sous la direction de Mr K. GHEDAMSI maître de conférences à l'université de Bejaia.

Je remercie, Mr D. AOUZELLAG, Maître de Conférences à l'université de Bejaia pour m'avoir fait l'honneur de présider le jury de ce mémoire.

Mes remerciements vont également à : Mr M.L. BENDAAS Maître de Conférences à l'université de Batna et Mr K. IDJDARENE Maître de Conférences à l'université de Bejaia pour l'honneur qu'ils m'ont fait en acceptant d'examiner et de juger ce travail.

Je tiens à exprimer ma profonde gratitude et mes sincères remerciements à mon promoteur, Mr K. GHEDAMSI, maître de conférences à l'université de Bejaia. Je tiens à le remercier tout particulièrement pour m'avoir fait bénéficier de son savoir, son expérience, et son soutien moral.

Je tiens à témoigner à Mr S.M.A. Abdi, enseignant à l'université de Bejaia, ma reconnaissance pour m'avoir aidé et contribué au bon déroulement de ce projet. Ainsi, une partie de ce mémoire lui doit aussi.

J'exprime toute ma reconnaissance à mes parents qui m'ont encouragé tout au long de ces années d'études. Qu'ils reçoivent ici ma profonde gratitude pour leurs innombrables sacrifices. Merci.

Un grand merci à ma chère fiancée Radia pour son soutien moral, et ses encouragements dans les moments de doute, tout le mérite revient à elle.

Je remercie sincèrement mes amis et ma famille (cousins, oncles, frères, sœur, et nièces) pour leur encouragements et soutien tout au long de ces années, pour leur confiance sans failles dans ce travail et pour tous les très bons moments partagés.

Enfin, merci à toutes les personnes que je n'ai pas citées et qui ont de près ou de loin participé à la réalisation de ce travail. Merci pour leur sympathie et simplement pour le plaisir que j'ai eu à les côtoyer quotidiennement.

# Table des matières

<b>Préface</b>	<b>I</b>
<b>Abréviations</b>	<b>VIII</b>
<b>Introduction générale</b>	<b>2</b>
<b>1 État de l'art sur les convertisseurs multiniveaux</b>	<b>4</b>
1.1 Introduction . . . . .	5
1.2 Historique et avantages des structures de conversion multiniveaux . . . . .	5
1.2.1 Historique . . . . .	5
1.2.2 Avantages . . . . .	6
1.3 Différentes structures d'onduleur multiniveaux . . . . .	7
1.3.1 Onduleur multiniveaux à structure cascadi . . . . .	7
1.3.2 Onduleur multiniveaux à structure <i>NPC</i> (Neutrl Point Clamped) . . . . .	11
1.3.3 Onduleur à structure multicellulaires . . . . .	17
1.4 Application des onduleurs multiniveaux dans le domaine industriels . . . . .	21
1.4.1 Application dans le domaine de la traction ferroviaire et véhicule électrique . . . . .	22
1.4.2 Application dans l'alimentation des réseaux de bord et de propulsion des bâtiments maritimes . . . . .	24
1.4.3 Application dans le domaine des réseaux électriques . . . . .	25
1.4.4 Application dans le domaine de l'alimentation des machines électriques . . . . .	26
1.5 Comparaison des topologies multiniveaux . . . . .	27
1.6 Conclusion . . . . .	28
<b>2 Modélisation et stratégies de commande d'un convertisseur multi-niveaux à topologie cascadi</b>	<b>30</b>
2.1 Introduction . . . . .	31
2.2 Modélisation du convertisseur pont en H cascadi . . . . .	31
2.3 Stratégie de commande des convertisseurs multiniveaux . . . . .	33
2.3.1 Classification des stratégies de commande . . . . .	33
2.3.2 Commutation à fréquence fondamentale . . . . .	34
2.3.3 Modulation à fréquence de commutation mixte . . . . .	40
2.3.4 Commutation à haute fréquence . . . . .	40
2.4 Conclusion . . . . .	52

<b>3</b>	<b>Implémentation virtuel de la commande SHE sur la carte FPGA</b>	<b>53</b>
3.1	Introduction . . . . .	54
3.2	Circuits logiques programmables . . . . .	54
3.3	Technologies de mémorisations . . . . .	55
3.4	Architecture des FPGA's . . . . .	55
3.4.1	Configuration des FPGA's . . . . .	58
3.4.2	Classification des FPGA's . . . . .	59
3.4.3	Performances des interconnexions . . . . .	60
3.4.4	Chaine de développement . . . . .	60
3.4.5	Architecture des FPGA's Spartan-3AN . . . . .	61
3.4.6	Avantages et inconvénient des FPGA's . . . . .	62
3.4.7	Les fabricants des FPGAs . . . . .	62
3.5	Implémentation de la commande SHE sur la carte FPGA . . . . .	63
3.5.1	Différentes parties du programme SHE . . . . .	63
3.5.2	Equilibrage de l'onduleur . . . . .	64
3.5.3	Test du programme par simulation . . . . .	66
3.5.4	Implantation matériel sur FPGA du programme SHE . . . . .	67
3.6	Conclusion . . . . .	69
<b>4</b>	<b>Réalisation du banc d'essais et résultats expérimentaux</b>	<b>70</b>
4.1	Introduction . . . . .	71
4.2	Description générale . . . . .	71
4.2.1	Partie puissance . . . . .	72
4.2.2	Partie protection . . . . .	73
4.3	Tests expérimentaux . . . . .	75
4.3.1	Résultats d'équilibrage de l'onduleur en pratique . . . . .	76
4.3.2	Fonctionnement de l'onduleur sur charge R, L . . . . .	77
4.4	Conclusion . . . . .	82
	<b>Conclusion et perspectives</b>	<b>84</b>
	<b>Annexes</b>	<b>87</b>
	<b>Référence Bibliographique</b>	<b>91</b>
	<b>Résumé</b>	<b>94</b>

# Table des figures

1.1	<i>Pont en H complet.</i>	7
1.2	<i>Structure et forme d'onde d'un onduleur multiniveaux pont H en cascade.</i>	8
1.3	<i>Bras d'un onduleur polygonal à N-niveaux.</i>	9
1.4	<i>Onduleur de tension triphasé 4-niveaux dérivé d'une association de 3 onduleurs triphasés 2-niveaux.</i>	10
1.5	<i>Bras d'un onduleur NPC à N-niveaux.</i>	11
1.6	<i>Bras d'un onduleur NPC à 3-niveaux.</i>	12
1.7	<i>Principe de la topologie NPC.</i>	14
1.8	<i>Structure pyramidale de la topologie NPC.</i>	15
1.9	<i>Variantes de la topologie à potentiel distribué.</i>	16
1.10	<i>Bras d'un onduleur multicellulaire à N-niveaux.</i>	17
1.11	<i>Onduleur monophasé à capacité flottante à N-niveaux.</i>	18
1.12	<i>Onduleur à capacité flottante.</i>	19
1.13	<i>Convertisseurs multiniveaux dans la traction ferroviaire.</i>	22
1.14	<i>Système de configuration d'un variateur pour véhicule électrique utilisant un onduleur à structure pont H en cascade.</i>	23
1.15	<i>Onduleurs multiniveaux dans les bâtiment maritimes.</i>	24
1.16	<i>Générateur d'un pétrolier comportant deux convertisseurs NPC 3-niveaux Back-to-Back.</i>	25
2.1	<i>Convertisseur triphasé 7-niveaux à structure pont H cascadié.</i>	31
2.2	<i>Classification des stratégies de commande des onduleurs multiniveaux.</i>	34
2.3	<i>Principe de la modulation SVM d'un onduleur 5-niveaux.</i>	35
2.4	<i>Résultats de simulation de la modulation à élimination sélective des harmoniques pour <math>m_a = 0.8</math>.</i>	38
2.5	<i>Résultats de simulation d'un onduleur CHB avec la commande élimination sélective des harmoniques pour <math>m_a = 0.8</math>.</i>	39
2.6	<i>Modulation hybride (a) convertisseur hybride, (b) tension de sortie et référence de l'étage basse fréquence (c) tension de sortie et référence de l'étage haute fréquence (d) tension de sortie totale et référence.</i>	41
2.7	<i>MLI à phases décalés pour un onduleur CHB 7-niveaux (<math>m_f = 3</math>, <math>m_a = 0.8</math>, <math>f_m = 50Hz</math> et <math>f_{cr} = 150Hz</math>).</i>	44
2.8	<i>Résultat de simulation d'un onduleur CHB 7-niveaux avec MLI à phases décalés pour : (<math>m_f = 9</math>, <math>m_a = 1</math>, <math>f_m = 50Hz</math> et <math>f_{cr} = 450Hz</math>).</i>	45
2.9	<i>Les systèmes de modulation multi-porteuses à niveau décalé.</i>	47
2.10	<i>MLI à niveaux décalés pour un onduleur CHB 7-niveaux (<math>m_f = 18</math>, <math>m_a = 0.8</math>, <math>f_m = 50Hz</math> et <math>f_{cr} = f_m \times m_f = 900Hz</math>).</i>	48

2.11	Résultat de simulation d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ , $m_a = 1$ , $f_m = 50\text{Hz}$ et $f_{cr} = f_m \times m_f = 3600\text{Hz}$ ).	50
2.12	Contenu harmonique de la tension $V_{ab}$ d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ , $f_m = 50\text{Hz}$ et $f_{cr} = 3600\text{Hz}$ , et $f_{cm,int} = 600\text{Hz}$ ).	51
2.13	La forme d'onde du courant de phase et son contenu harmonique d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ , $f_m = 50\text{Hz}$ et $f_{cr} = 3600\text{Hz}$ , et $f_{cm,int} = 600\text{Hz}$ ).	51
3.1	Architecture interne d'un FPGA.	56
3.2	Bloc logique à multiplexeurs.	57
3.3	Bloc logique à LUT.	57
3.4	Exemple de configuration de LUT.	57
3.5	Exemple de configuration du FPGA.	58
3.6	Architecture du FPGA XC3S700-AN.	62
3.7	Principe du programme SHE.	64
3.8	Résultat de simulation après équilibrage.	65
3.9	Les signaux de commande de l'onduleur triphasé obtenu par ModelSim.	66
3.10	Test du programme SHE sur un onduleur CHB triphasé à 7-niveaux $m_a = 0.965$ .	67
3.11	Analyse spectrale de l'onduleur CHB triphasé à 7-niveaux commandé par le programme SHE.	68
3.12	Principe de l'implantation matérielle sur FPGA.	69
4.1	Photo du banc d'essais.	71
4.2	Synoptique du banc d'essais.	72
4.3	Photo du pont H.	73
4.4	Carte de protection.	74
4.5	Les signaux de commutation obtenue pratiquement.	75
4.6	Les tensions de sortie des ponts H de l'onduleur de la phase (a).	76
4.7	Tensions $V_{an}$ .	77
4.8	La tension $V_{an}$ et Le courant $i_a$ pour $E = 30\text{V}$ et une charge $R = 217\Omega$ .	78
4.9	La tension $V_{an}$ pour $E = 60\text{V}$ et une charge $R = 240\Omega$ .	78
4.10	Analyse spectrale de la tension $V_{an}$ ( $E = 60\text{V}$ et $R = 240\Omega$ ).	79
4.11	La tension $V_{an}$ et le courant $i_a$ pour une charge RL avec $L = 1\text{H}$ et $R = 240\Omega$ .	80
4.12	Analyse spectrale de la tension $V_{an}$ et du courant $i_a$ pour une charge RL.	80
4.13	La tension $V_{an}$ , le courant $i_a$ et analyse spectrale du courant $i_a$ pour une charge RL avec $L = 1.1\text{H}$ et $R = 330\Omega$ .	81
4.14	La tension $V_{an}$ , le courant $i_a$ et analyse spectrale du courant $i_a$ pour une charge RL avec $L = 0.3\text{H}$ et $R = 330\Omega$ .	81

# Liste des tableaux

1.1	Etats possibles de l'onduleur NPC à 3 niveaux . . . . .	12
1.2	Les niveaux de tension de l'onduleur à capacité flottante à trois niveaux, les états respectifs des interrupteurs et les courants des capacités flottante . . . . .	19
1.3	Niveaux de tension de l'onduleur 5-niveaux à capacité flottante, états des interrupteurs et les courants de charge et de décharge des capacités flottantes respectivement . . . . .	21
1.4	Comparaison des convertisseurs CHB, NPC, et FC en terme de nombre de composant nécessaire pour chaque convertisseur . . . . .	28
2.1	Niveaux de tension et les états des interrupteurs d'un onduleur CHB 7-niveaux . . . . .	33
4.1	Contraintes des IGBTs et des diodes utilisés. . . . .	73

# Abréviations

## Abréviations

### A :

*APODPWM* MLI à disposition opposé alternative de phase  
*ASIC* Application Specific Integrated Circuit

### C :

$C_f$  Condensateur flottant  
*CHB* Cascaded H-Bridges  
*CLB* Configurable Logic Blocks

### D :

*DCM* Digital Clock Managers  
*dc* direct current  
*DDR* Double Data-Rate  
*DLL* digital delay-locked loops  
*DRAM* Dynamic Random Mémoire

### E :

*EEPLD* Electrically Erasable Programmable Logic Device  
*EEPROM* Electrically Erasable Programmable Read Only Memory  
*EPLD* Erasable Programmable Logic Device  
*EPROM* Erasable Programmable Read Only Memory

### F :

$f_{cm,int}$  Fréquence de commutation des interrupteurs de puissance  
 $f_{cm,ond}$  Fréquence de commutation de l'onduleur  
 $f_{cr}$  Fréquence de la porteuse  
 $f_m$  Fréquence de la modulante  
*FC* Flying Capacitors  
*FPGA* Field Programmable Gate Array

### G :

*GAL* Generic Array Logic  
*GTO* Gate turn off

### H :

*H* Nombre de pont H

### I :

$I_C$  Courant Collecteur  
 $I_{moy}$  courant moyen  
*IGBT* Insulate gate bipolaire transistor

---

<i>IOB</i>	Input/Output Blocs
<b>J :</b>	
<i>JTAG</i>	Joint Test Action Group
<b>L :</b>	
<i>L</i>	Inductance
<i>LUT</i>	Look-Up Table
<b>M :</b>	
<i>m<sub>a</sub></i>	Indice de réglage
<i>m<sub>f</sub></i>	Indice de modulation
<i>MC</i>	Mode Commun
<i>MLI</i>	modulation de largeur d'impulsion
<b>N :</b>	
<i>NPC</i>	Neutral Point Clamped
<b>P :</b>	
<i>PAL</i>	Programmable Array Logic
<i>PDPWM</i>	MLI à disposition en phase
<i>PIP</i>	Programmable Interconnect Points
<i>PLD</i>	Programmable Logic Device
<i>PLL</i>	Phase-Locked Loops
<i>PODPWM</i>	MLI à disposition en opposé de phase
<i>PROM</i>	Programmable Read Only Memory
<i>PSPWM</i>	Phase shifted pulse width modulation
<b>R :</b>	
<i>R</i>	Résistance
<i>ROM</i>	Read Only Memory
<b>S :</b>	
<i>SHE</i>	Selective Harmonic Elimination
<i>SPWM</i>	Sinusoidal pulse Width Modulation
<i>SRAM</i>	Static Random Memory
<i>STATCOM</i>	Static synchronous compensator
<i>SVM</i>	Space Vector Modulation
<b>V :</b>	
<i>V<sub>ab</sub></i>	Tension entre la phase a et b (composée)
<i>V<sub>an</sub></i>	Tension simple
<i><math>\hat{V}_{an.max}</math></i>	Tension maximal de l'onduleur

$V_{CE}$	Tension Collecteur-Émetteur
$\hat{V}_{cr}$	Amplitudes de la porteuse
$V_{dc}, E$	Tension continue
$V_{H1}$	Tension de sortie du pont $H_1$
$V_{H2}$	Tension de sortie du pont $H_2$
$V_{H3}$	Tension de sortie du pont $H_3$
$V_I$	Tension Inverse
$\hat{V}_{ma}$	Amplitudes de la modulante
$V_S$	tension de sortie
$VHDL$	Very high speed integrated circuit Hardware Description Language

# Introduction générale

## Introduction générale

De nombreuses applications industrielles ont commencé à exiger des appareils de puissance plus élevée ces dernières années. Certains variateurs de moteur de moyenne tension et les applications de service exigent le niveau de tension moyen est de plusieurs centaines de mégawatts. Pour un réseau de moyenne tension, il est difficile de connecter un interrupteur de puissance directement. Comme résultat, un convertisseur à structure multiniveaux a été présenté comme alternative dans des situations à moyenne tension et à haute puissance. Un convertisseur multiniveaux réalise non seulement des conversions de haute énergie, mais permet également l'utilisation des énergies renouvelables. Des sources d'énergie renouvelable telles que le photovoltaïque, le vent, et les piles à combustible peuvent être facilement reliées à un système à convertisseurs multiniveaux pour une application de haute énergie.

Le concept des convertisseurs multiniveaux a été introduit depuis 1975 [1]. Le terme multiniveaux a commencé par le convertisseur à trois niveaux [2]. Par la suite, plusieurs topologies de convertisseur multiniveaux ont été développées [3]. Cependant, le concept élémentaire d'un convertisseur multiniveaux pour obtenir une tension plus élevée est d'utiliser d'interrupteur semi-conducteur avec plusieurs sources de tension pour effectuer la conversion de puissance en synthétisant une forme d'onde de tension en escalier. Les condensateurs, les batteries, et les sources de tension d'énergie renouvelable peuvent être utilisés comme multiples sources de tension continue. La commutation des interrupteurs de puissance totalisent ce multiple de tension continue afin d'obtenir une haute tension à la sortie. Cependant, la tension évaluée des interrupteurs de puissance dépend seulement de la valeur des sources de tension continue auxquelles ils sont connectés.

De manière générale plus le nombre de niveaux de la tension générée par le convertisseur est grand, plus le taux de distorsion harmonique sera faible. Dans toutes les topologies de convertisseurs multiniveaux existantes, plus ce nombre de niveaux est élevé, plus la structure du convertisseur devient compliquée. Son coût et la complexité de sa commande s'en trouvent augmentés, et sa fiabilité s'en trouve réduite.

Plusieurs topologies de convertisseur multiniveaux ont été proposées durant ces deux dernières décennies. De nombreuses recherches récentes ont engendré de nouvelles topologies de convertisseurs. En outre, trois structures majeures de convertisseurs multiniveaux ont été rapportées dans la littérature : convertisseur ponts H cascadié (Cascaded H-Bridges CHB) avec des sources de tension continue séparées, diode clampée par le neutre (Neutral Point Clamped NPC), et capacités flottantes (Flying Capacitors FC). Cependant, des techniques de modulation et de contrôle ont été développées pour les convertisseurs multiniveaux comme MLI sinusoïdale (Sinusoidal pulse Width Modulation SPWM), élimination sélective des harmoniques (Selective Harmonic Elimination SHE), et modulation vectorielle (Space Vector Modulation SVM). De plus, ces dernières années, les convertisseurs multiniveaux sont de plus en plus exploités dans les applications industrielles, tel que les compresseurs, les pompes, les ventilateurs, les fraises de meulage, les laminoirs, les convoyeurs, les broyeurs, les souffleries, les démarreurs de turbine à gaz, les mélangeurs, les grues, la compensation d'énergie réactive, la propulsion marine, les boîtes à vitesses des véhicules électriques, les éoliennes, et la traction ferroviaire.

L'objectif de ce travail est l'étude et la réalisation d'un banc d'essais au laboratoire

d'un convertisseur multiniveaux à savoir le convertisseur ponts H cascadié (CHB) utilisé en onduleur, commandé par la modulation à élimination sélective des harmoniques implémentée sur une carte électronique FPGA. Pour cela, nous avons organisé ce document en quatre chapitres.

Le premier chapitre présente un état de l'art sur les convertisseurs multiniveaux. Les structures fondamentales de la conversion multiniveaux seront discutées comprenant les avantages et inconvénients de chaque topologie.

Le deuxième chapitre met en évidence les différentes techniques de commande des convertisseurs multiniveaux.

Le troisième chapitre présente l'architecture générale des cartes FPGA's, ainsi que les parties du programme SHE. La commande à élimination sélective des harmoniques a été programmée en langage de description matériel Verilog puis implémenté sur une carte FPGA.

Le quatrième chapitre traite les différentes parties du prototype réalisé ainsi que les tests expérimentaux obtenus.

Enfin, on termine ce mémoire de magister par une conclusion et quelques perspectives de recherches.

# Chapitre 1

## État de l'art sur les convertisseurs multiniveaux

## 1.1 Introduction

La technologie d'onduleur multiniveaux est devenue comme alternative très importante dans le domaine du contrôle d'énergie de haute puissance de moyenne tension <sup>1</sup>.

Un convertisseur statique est dit « multiniveaux » lorsqu'il génère une tension découpée de sortie composée d'au moins trois niveaux. Ce type de convertisseur présente essentiellement deux avantages. D'une part les structures multiniveaux permettent de limiter les contraintes en tension subies par les interrupteurs de puissance : chaque composant, lorsqu'il est à l'état bloqué, supporte une fraction d'autant plus faible de la pleine tension de bus continu que le nombre de niveaux est élevé. D'autre part, la tension de sortie délivrée par les convertisseurs multiniveaux présente d'intéressantes qualités spectrales. Le fait de multiplier le nombre de niveaux intermédiaires permet de réduire l'amplitude de chaque front montant ou descendant de la tension de sortie. L'amplitude des raies harmoniques est par conséquent d'autant moins élevée. Dans le cas plus précis d'un fonctionnement en modulation de largeur d'impulsion, le recours à un convertisseur multiniveaux associé à une commande judicieuse des composants de puissance permet en outre de supprimer certaines familles de raies harmoniques [4].

Ce chapitre présente un historique et quelques avantages des structures de conversion multiniveaux. Ainsi que les plus importantes topologies à savoir l'onduleur clampé par le neutre (NPC), à capacité flottante (flying capacitor) et pont H mise en cascade avec des sources de tension continue séparées, avec leurs atouts, faiblesses, et application aux domaines industriels, et on termine le chapitre par une comparaison de ces trois structures.

## 1.2 Historique et avantages des structures de conversion multiniveaux

### 1.2.1 Historique

L'histoire de la conversion multiniveaux commence au début des années 70 [1]. La première structure décrite est une mise en série de pont en H pour synthétiser une tension de sortie alternative sous forme d'escalier [1]. Puis au début des années 80 est apparu le convertisseur clampé par le neutre (NPC) [2]. Cette structure est considérée comme le premier convertisseur multiniveaux pour des applications de moyennes puissances. Puisque l'onduleur NPC double effectivement le niveau de tension sans exiger une tension assortie précise, la topologie NPC a régné dans les années 80. L'application de l'onduleur NPC et de son extension aux convertisseurs multiniveaux a été publiée par [5]. Depuis, de nombreuses études ont été proposées pour étudier ses propriétés et les évolutions possibles de cette structure.

Bien que l'onduleur multiniveaux en cascade ait été inventé le premier, ses applications n'ont pas régné jusqu'au milieu des années 90 [6]. Deux brevets importants [7] [8] ont été publiés pour indiquer la supériorité des onduleurs en cascade pour l'entraînement des moteurs. En raison de la grande demande des onduleurs de haute puissance et de

---

1. très avantageuse pour des applications industriels

moyenne tension, l'onduleur multiniveaux en cascade a tiré d'énorme intérêt.

Dans les années 90, les recherches sont tournées vers de nouvelles structures et ils sont portées vers les convertisseurs multicellulaires série [9], aussi connus dans la littérature sous le nom de Flying Capacitor (FC). Et c'est à la fin des années 90 qu'est né le convertisseur multicellulaire superposé, cette structure est une suite de la réflexion sur les convertisseurs multicellulaires série [10].

Ces structures peuvent être considérées comme les structures de base de la conversion multiniveaux. Beaucoup de propriétés de ces structures de base sont communes avec les nouvelles structures découvertes [10].

### 1.2.2 Avantages

Un convertisseur multiniveaux a plusieurs avantages par rapport à un convertisseur conventionnel à deux niveaux qui utilisent la modulation de largeur d'impulsion (MLI) à haute fréquence de commutation. Les caractéristiques techniques attrayantes d'un convertisseur multiniveaux peuvent être brièvement récapitulées comme suit :

- *Qualité de forme d'onde en escalier* : les convertisseurs multiniveaux non seulement peuvent générer des tensions de sortie avec de très faible déformation, mais également peuvent réduire les efforts  $dv/dt$  ; pour cette raison les problèmes d'électromagnétique peuvent être réduits.
- *Mode commun de tension (MC)* : les convertisseurs multiniveaux produisent une plus petite tension de MC ; pour cette raison, l'effort dans les roulements d'un moteur connecté à un onduleur multiniveaux peut être réduit. En outre, on peut éliminer la tension de MC en employant des stratégies de modulation avancées [11, 12, 13] .
- *Courant d'entrée* : les convertisseurs multiniveaux peuvent dessiner un courant d'entrée avec faible taux de déformation.
- *Fréquence de commutation* : les convertisseurs multiniveaux peuvent fonctionner à la fréquence fondamentale et à haute fréquence de commutation MLI. Il est convenient à noter que une faible fréquence de commutation signifie habituellement une faible perte par commutation donc le rendement est plus élevé.

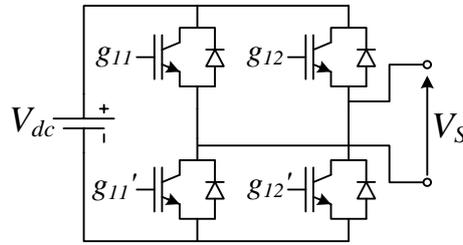
Malheureusement, les convertisseurs multiniveaux ont quelques inconvénients. Un inconvénient particulier est le grand nombre d'interrupteurs semi-conducteur requis. Bien que des commutateurs évalués à tension réduite puissent être utilisés dans un convertisseur multiniveaux, chaque commutateur exige un circuit relatif de commande de gâchettes. Ceci peut rendre le système général plus cher et complexe. Nous présentons ci-dessous, les principales topologies de convertisseurs multiniveaux évoquées dans la littérature, aussi bien que ses principaux atouts et faiblesses.

## 1.3 Différentes structures d'onduleur multiniveaux

Trois topologies de convertisseurs ont été considérées comme avoir le potentiel commercial : convertisseurs pont en H cascadié avec des sources continues séparées, convertisseurs clampé par le neutre, convertisseurs à capacité flottante. Avant de poursuivre la discussion dans ce sujet, il convient de noter que le convertisseur multiniveaux est utilisé pour se rapporter à un circuit électronique de puissance qui pourrait fonctionner en mode onduleur ou redresseur. Les structures multiniveaux fonctionnant en onduleurs sont le centre de ce chapitre. Cependant, les structures illustrées peuvent être aussi bien mises en application pour redresseur.

### 1.3.1 Onduleur multiniveaux à structure cascadié

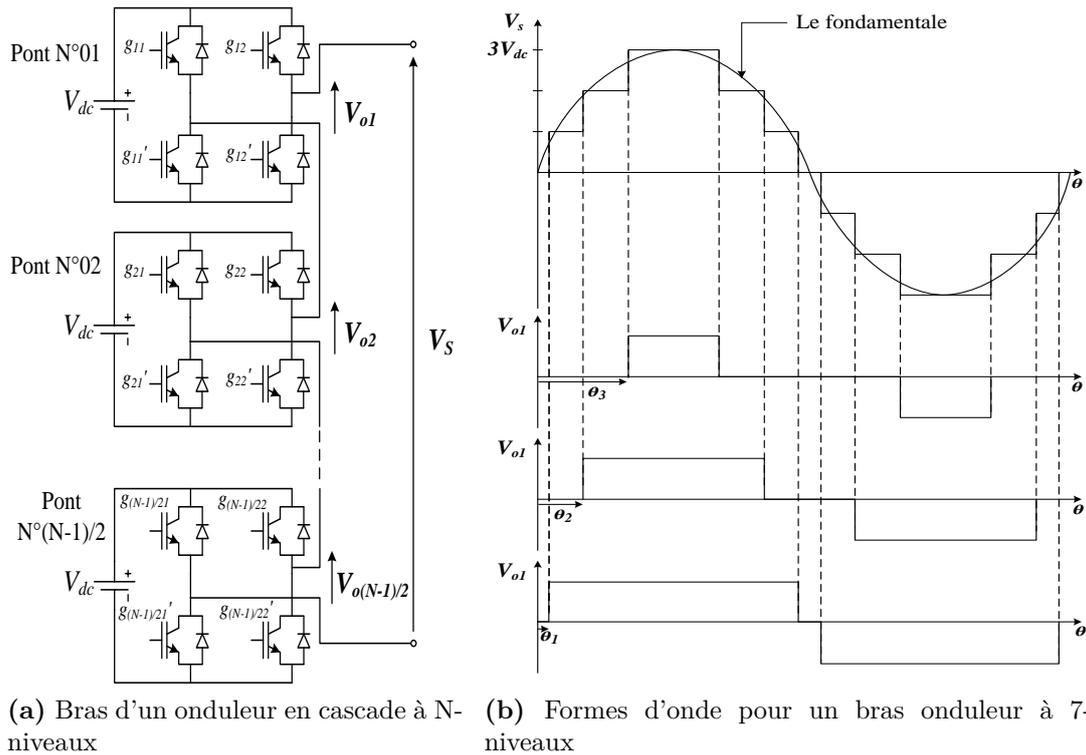
Cette famille est la première décrite dans la littérature comme une structure de conversion multiniveaux [1, 10]. En effet la mise en cascade de plusieurs structures à 3-niveaux (*figure 1.1*) permet d'avoir en sortie une forme d'onde de tension multiniveaux [11]. L'onduleur multiniveaux pont en H cascadié est simplement la mise en série de plusieurs



**Figure 1.1:** Pont en H complet.

onduleurs monophasés pont H avec des sources de tension continue galvaniquement isolés. La *figure 1.2(a)* représente la structure d'un convertisseur multiniveaux basée sur la mise en série d'onduleurs monophasés. Les cellules y sont connectées en étoile, cependant il est également possible de les connecter en triangle [14]. Chaque cellule partielle est alimentée par une source de tension continue. Si les sources dc séparés galvaniquement ont le même niveau de tension continue ( $V_{dc}$ ), la tension de phase sera en mesure de s'échelonner du niveau  $(-HV_{dc})$  au niveau  $(+HV_{dc})$  qui aura  $N$  niveaux. Ou  $H = (N - 1)/2$  est le nombre de tous les ponts H ou le nombre de source  $dc$  séparé [3]. A mesure que le nombre de sources de tension ( $V_{dc}$ ) augmentes, il y aurait plus de niveaux dans la tension de sortie. Ainsi la forme d'onde de tension de sortie sera plus proche de la sinusoïde, même sans filtrage [3]. L'une des premières réalisations de ces topologies avait déjà été réussie en recourant aux onduleurs polygonaux, dont la *figure 1.3* montre un bras à  $N$ -niveaux. Chaque pont onduleur monophasé, d'indice  $N$ , peut générer une tension de sortie de valeurs  $-V_{dc}$  et  $+V_{dc}$ . Les tensions de sortie de chaque pont sont ensuite additionnées par l'intermédiaire des transformateurs  $T_f$ , dont le rapport de transformation pourra être choisi par exemple de manière à obtenir une valeur de tension  $V_s$  maximale souhaitée, à partir d'une source de tension continue donnée. Dans les applications où une isolation galvanique est exigée, par exemple pour répondre aux normes de sécurité, la présence des transformateurs pourra, à ce seul titre, être justifiée [15, 16].

La *figure 1.2(a)* montre un deuxième circuit d'association des ponts H, afin de générer un bras  $N$ -niveaux constitué de convertisseur 3-niveaux en cascade [15].



**Figure 1.2:** Structure et forme d'onde d'un onduleur multiniveaux pont H en cascade.

La *figure 1.2(b)* montre les formes d'ondes obtenues avec un bras de 7-niveaux, pour les deux montages précédents. Dans le montage de la *figure 1.2(a)*, les sorties alternatives des ponts onduleurs 3-niveaux sont directement connectées en série. Naturellement, cela oblige à disposer de sources de tension continue isolées [15]. Dans les applications où la source d'énergie est déjà distribuée par plusieurs modules dc, comme par exemple lorsque la source d'énergie électrique est constituée de plusieurs batteries, cette exigence est naturellement atteinte. Cependant, si on part d'un bus continu unique, la génération des sources continues isolées doit se faire à l'aide de convertisseurs dc/dc à isolement galvanique, ce qui pourra accroître considérablement le coût de l'équipement.

Dans les deux montages, bien que les niveaux de tension générés soient intrinsèquement stables (aucune action de rééquilibrage n'est à prévoir), ceci est obtenu au prix d'une complexité et d'un coût accrus. En effet, pour l'obtention d'une tension de sortie à  $N$ -niveaux, il faudra disposer de  $(N - 1)/2$  ponts onduleur 3-niveaux monophasés par bras. Chaque pont doit être dimensionné pour le courant de charge de bras divisée par  $N$  (ceci est valable dans le cas des onduleurs polygonaux pour un rapport de transformation unitaire) [16].

Le caractère modulaire de cette topologie par rapport au nombre de niveaux, qui pourrait théoriquement s'étendre jusqu'à l'infini, est un atout considérable aussi bien du point de vue de l'assemblage de l'équipement que du point de vue de la stratégie de commande du convertisseur.

### Avantages

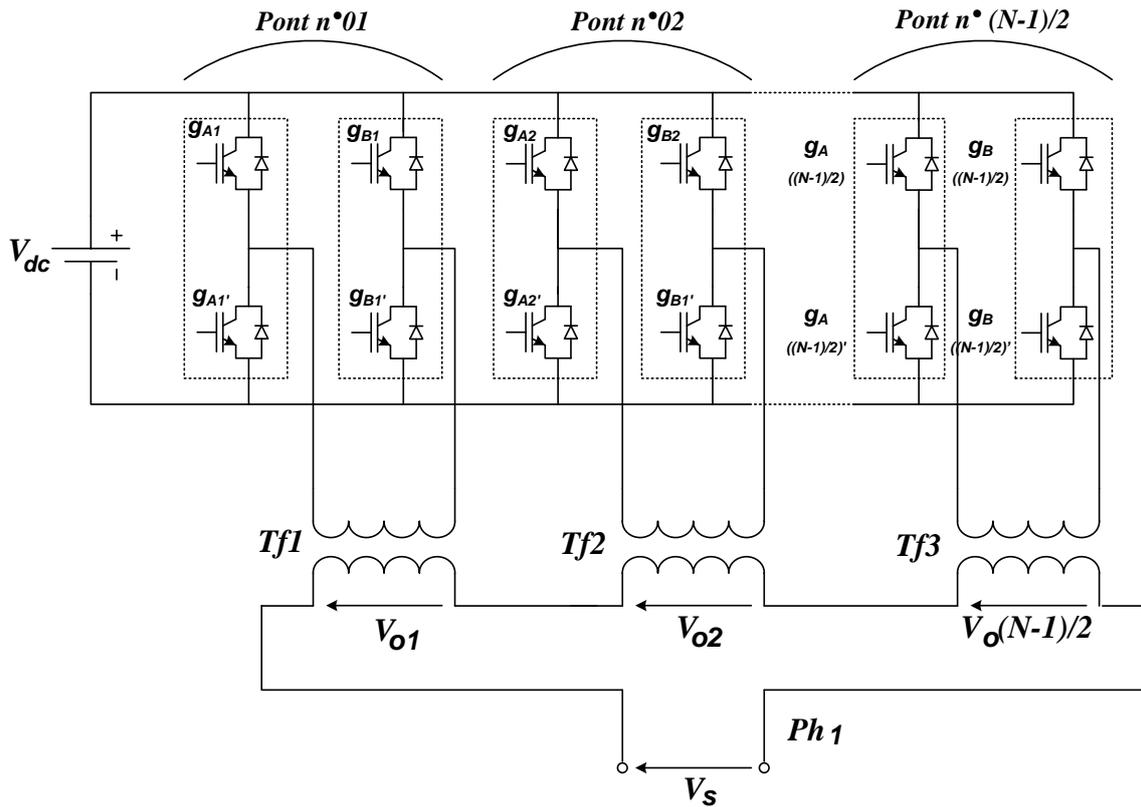


Figure 1.3: Bras d'un onduleur polygonal à  $N$ -niveaux.

Cette topologie présente plusieurs avantages, parmi lesquels [14] :

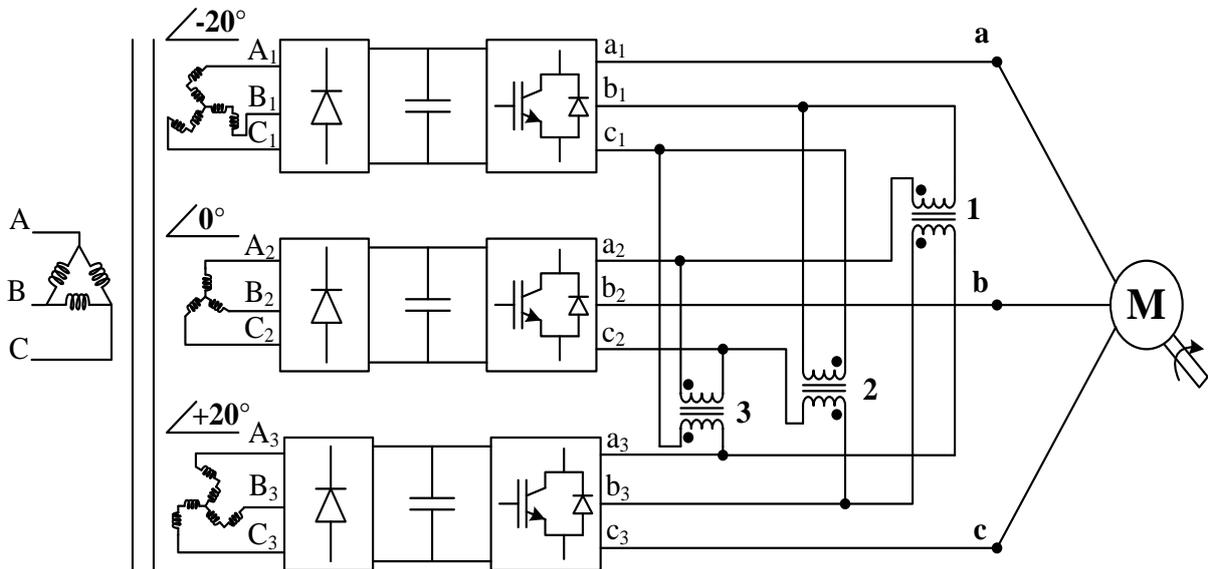
- La modularité de sa structure permet facilement son extension à un nombre élevé de cellules sur chaque phase, sans complexité supplémentaire ;
- L'équilibrage naturel des tensions est réalisé, si bien que la commande des interrupteurs en devient aisée ;
- Les interrupteurs supportent la même tension de blocage ;
- Il devient possible d'alimenter une charge en haute ou moyenne tension à partir d'une ou plusieurs alimentations basse tension (par exemple dans le cas d'une énergie photovoltaïque).

#### Inconvénients

- Il exige des sources de tension continue galvaniquement isolées pour chaque pont H, qui limite les possibilités d'application [13, 11] ;
- Pour un système triphasé, ce type d'onduleur exige plus d'interrupteurs de puissance qu'un onduleur traditionnel (et par conséquent l'augmentation du coût).

Un autre genre d'onduleur multiniveaux monté en cascade utilisant des onduleurs de tension 2-niveaux triphasés a été proposé [17]. Cette topologie est constituée de 3 onduleurs de tension 2-niveaux triphasés, chacun alimenté par un bus de tension continue isolé (figure 1.4). Les auteurs utilisent un transformateur polyphasé 18-impulsions avec 3 systèmes de bobinages triphasés au secondaire pour générer ces trois bus continus isolés, en éliminant intrinsèquement les harmoniques de rang bas du courant injecté dans le réseau

d'alimentation. Les niveaux de tension intermédiaires sont ensuite générés à l'aide d'un second transformateur triphasé spécial, dimensionné pour  $1/3$  de la puissance nominale de l'actionneur, dont les enroulements sont branchés aux neuf phases obtenues à partir des trois onduleurs 2-niveaux [15].



**Figure 1.4:** Onduleur de tension triphasé 4-niveaux dérivé d'une association de 3 onduleurs triphasés 2-niveaux .

Pour que les tensions de sortie d'onduleur soient additionnées, les sorties d'onduleur des trois modules doivent être synchronisées avec un déphasage de  $120^\circ$  entre chaque phase [6]. Par exemple, pour obtenir une tension à trois niveaux entre les sorties  $a$  et  $b$ , la tension est synthétisée par  $V_{ab} = V_{a_1-b_1} + V_{b_1-a_2} + V_{a_2-b_2}$ . La phase entre  $b_1$  et  $a_2$  est obtenue par  $a_3$  et  $b_3$  à travers un transformateur d'isolement. Les trois onduleurs étant synchronisés, toutes les tensions,  $V_{a_1-b_1}, V_{b_1-a_2}, V_{a_2-b_2}$  sont en phase ; ainsi, le niveau de sortie est simplement triplé [6]. On obtient ainsi un onduleur triphasé à 4-niveaux, pouvant être mis en concurrence avec ceux basés sur la topologie d'onduleurs monophasés mis en cascade (figure 1.3(a)). Les auteurs revendiquent les avantages suivants [17] :

- Une économie sur le prix des transformateurs ;
- L'élimination d'éventuels courants de circulation dans les onduleurs ;
- Une réduction de la capacité nécessaire au stockage d'énergie réactive dans les bus continus aux faibles vitesses grâce à une distribution uniforme de la puissance parmi les trois modules onduleur .

En revanche, la topologie n'est pas généralisable par rapport au nombre de niveaux, et elle requiert des transformateurs spéciaux.

### 1.3.2 Onduleur multiniveaux à structure NPC (Neutrl Point Clamped)

Cette structure d'onduleur multiniveaux a été introduite par A. Nabae et H. Akagi en 1981 [2]. L'objectif était de réduire l'amplitude des harmoniques injectés par l'onduleur dans la charge pour des applications de type alimentation des moteurs. Cette structure, connue sous le nom de convertisseur clampé par le neutre, n'utilise pas de transformateur d'isolement et la répartition de la tension d'entrée continue sur les différents interrupteurs en série est assurée par les diodes (clamps) connectée à des points milieux capacitifs. La *figure 1.5* montre le circuit électrique correspondant à un bras onduleur générique à N-niveaux.

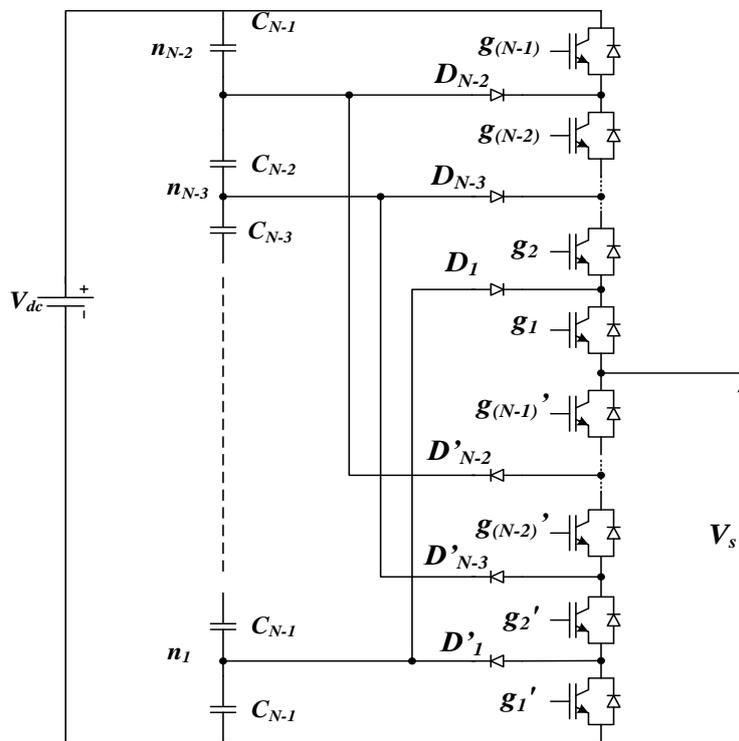


Figure 1.5: Bras d'un onduleur NPC à N-niveaux

Pour l'obtention d'une tension de N-niveaux,  $N - 1$  capacités sont nécessaires. Les tensions aux bornes des condensateurs sont tous égales à  $V_{dc}/(N - 1)$ ,  $V_{dc}$  est la tension totale du bus continu. Chaque couple d'interrupteurs ( $g_x, g'_x$  avec  $x = 1 \dots (N - 1)$ ) forme une cellule de commutation, les deux interrupteurs sont donc commandés de façon complémentaire [14].

Une série de  $N - 1$  condensateur permet de créer un ensemble de  $N - 2$  points milieux capacitifs ayant des potentiels de tension qui vont de  $V_{dc}/(N - 1)$ ,  $2V_{dc}/(N - 1)$ , ... jusqu'à  $(N - 2)V_{dc}/(N - 1)$ . Des niveaux de tension intermédiaires sur la tension de sortie du bras peuvent donc être créés en connectant chacun de ces points à la sortie, en agissant pour cela sur les signaux de commande  $g_1, g'_1, g_2, g'_2, \dots, g_{N-1}, g'_{N-1}$  des interrupteurs de puissance.

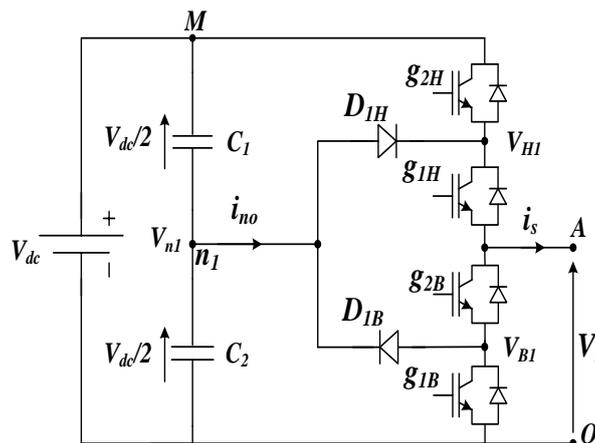
Dans sa version la plus simple, chaque branche de cet onduleur comporte 4 interrupteurs contrôlables et 6 diodes, comme représenté sur la *Figure 1.6* [2]. Ce montage est alimenté par une tension continue  $V_{dc}$  entre les bornes  $A$  et  $O$ . Les 3 états de commutation possibles permettent de délivrer 3 niveaux distincts et positifs entre les bornes  $A$  et  $O$ . Chaque branche comporte 2 étages constitués chacun de 2 interrupteurs de type IGBT  $g_{iH}$  et  $g_{iB}$  avec des diodes antiparallèles. Deux diodes supplémentaires  $D_{1H}$  et  $D_{1B}$  permettent de relier les étages intermédiaires  $V_{1H}$  et  $V_{1B}$  au point milieu  $n_1$ .

Lorsque les 2 étages sont commandés simultanément de la même manière, les diodes  $D_{1H}$  et  $D_{1B}$  ne conduisent pas et ce montage fonctionne alors comme une branche de pont à 2 IGBT's générant les niveaux 0 et  $V_{dc}$  entre  $M$  et  $O$ .

Lorsque  $g_{1H}$  et  $g_{2B}$  conduisent, et qu'en conséquence  $g_{1B}$  et  $g_{2H}$  sont bloqués, la diode  $D_{1H}$  lie le point milieu  $n_1$  aux nœuds  $V_{1H}$  et  $V_S$  pour les courants sortants. La diode  $D_{1B}$  lie le point milieu  $n_1$  aux nœuds  $V_{1B}$  et  $V_S$  pour les courants entrants. Cela revient à lier le point milieu  $n_1$  avec la sortie  $V_S$ , indépendamment du signe du courant et cela permet de générer un niveau intermédiaire  $V_{n1} = V_{dc}/2$  entre  $M$  et  $O$ .

**Table 1.1:** Etats possibles de l'onduleur NPC à 3 niveaux

Niveau de tension	état des interrupteurs				$i_{cf}$
	$g_{2H}$	$g_{1H}$	$g_{2B}$	$g_{1B}$	
$V_{dc}$	1	1	0	0	2
0	0	0	1	1	1
$V_{dc}/2$	0	1	1	0	0
infini	1	0	0	1	$x$



**Figure 1.6:** Bras d'un onduleur NPC à 3-niveaux

La commande complémentaire de l'état intermédiaire conduit à lier la sortie  $V_S$  au niveau  $M$  pour un courant rentrant et au niveau  $O$  pour un courant sortant. Cet état est donc indéfini et par conséquent interdit dans le fonctionnement normal de l'onduleur. Les 3 états de commutation possibles sont résumés au *Tableau 1.1*.

Lorsque  $g_{1H}$  et  $g_{2H}$  sont bloqués, le potentiel du point  $V_{H1}$  est maintenu à une valeur plus

haute ou égale à celui du point milieu  $V_{n1}$ . Rien n'empêche au potentiel de  $V_{H1}$  de monter plus haut que le potentiel du point milieu, ce qui conduit au claquage de l'interrupteur  $g_{1H}$  qui est dimensionné pour bloquer la demi-tension intermédiaire  $V_{dc}$ . Il en va de même pour  $g_{2B}$ . Une résistance placée entre  $V_{H1}$  et  $V_{B1}$  permet d'assurer que la tension bloquée se répartisse entre les deux interrupteurs. Le montage peut alors être réalisé à l'aide de composants bloquant la demi-tension d'alimentation  $V_{dc}$  [18].

Cette propriété peut poser des problèmes de stabilisation des potentiels des points milieux capacitifs. En effet, un seul bras alimentant une source de courant de sens unidirectionnel n'est pas capable d'imposer un même niveau de tension intermédiaire indéfiniment. Ceci est dû au fait que la configuration du bras correspondant obligera le courant de charge à traverser les condensateurs toujours dans le même sens.

Cependant, cet inconvénient peut être atténué lors d'une application en onduleur triphasé, car dans ce cas les points milieux capacitifs sont partagés par les trois phases, la composante homopolaire pouvant être exploitée au niveau de la commande afin d'équilibrer les condensateurs [15].

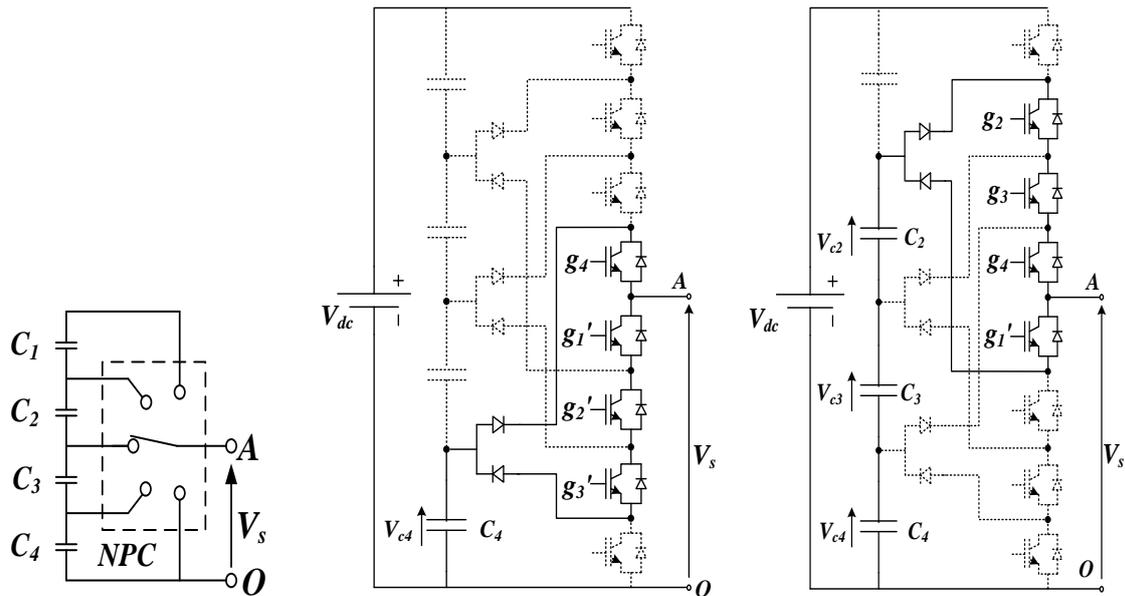
Concernant la comptabilisation du nombre de composant, actifs et passifs, un onduleur NPC à N-niveaux triphasé comporte :

- $N - 1$  condensateurs pour la création des points milieux capacitifs. Chaque condensateur doit être dimensionné pour une tension égale à  $V_{dc}/(N - 1)$  et pour un courant égal au courant maximal de la charge ;
- $6(N - 1)$  interrupteurs de puissance du type semi-conducteur totalement commandable plus diode tête-bêche ;
- $6(N - 2)$  diodes de clampe.

Chaque branche du convertisseur est vue comme un commutateur dont les positions permettent de modifier le potentiel du point A. Comme le montre la *figure 1.7(a)*, ce point est connecté à chaque fois à l'une des tensions aux bornes des condensateurs, qui, des fois sont mis en série. Un exemple de configuration des commutations est montré aux *figure 1.7(b)* et *figure 1.7(c)*. Les interrupteurs en traits discontinus sont ouverts.

La *figure 1.7* présente le principe et le mécanisme de commutation d'un onduleur NPC à 5-niveaux :

- (a). le principe pour lesquels l'action des semi-conducteurs de puissance est représentée par un commutateur idéal avec plusieurs positions. chaque position représente un niveau de tension.
- (b). l'onduleur génère le 1<sup>er</sup> niveau de tension  $V_s = V_{c4} = V_{dc}/4$ .
- (c). l'onduleur génère le 3<sup>eme</sup> niveau de tension  $V_s = V_{c4} + V_{c3} + V_{c2} = 3V_{dc}/4$ .



(a) Le schéma de principe (b) Onduleur 5-niveaux de tension 1 (c) Onduleur 5-niveaux de tension 3

**Figure 1.7:** Principe de la topologie NPC

Les principaux avantages et inconvénients des convertisseurs NPC multiniveaux sont comme suit :

### Avantages

- La forme d'onde de trois niveaux résultante a une meilleure qualité spectrale par rapport à celle d'un onduleur triphasé classique, ce qui rend les filtres passifs peu volumineux, voire inexistantes [14] ;
- Elle est configurable de façon à obtenir un nombre élevé de niveaux, permettant de réduire la tension bloquée par chaque interrupteur ; celle-ci est donnée par  $V_{dc}/(N - 1)$  ;
- Pour un convertisseur triphasé toutes les phases partagent le bus continu, ce qui réduit les condensateurs. Pour cette raison, une topologie buck-to-buck est non seulement possible mais également pratique pour des usages tels qu'une interconnexion buck-to-buck à haute tension ou un variateur de vitesse [6] ;
- Les condensateurs peuvent être pré-chargés en tant que groupe [6] ;
- Le flux de l'énergie réactif peut être contrôlé [19].

### Inconvénients

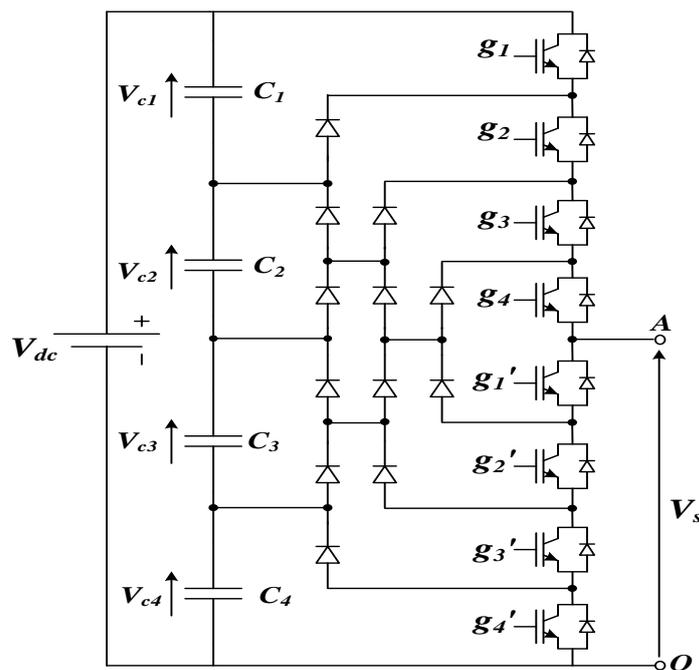
- Lorsque le nombre de niveaux est supérieur à trois, l'équilibre des tensions aux bornes des condensateurs devient complexe, car il est intimement lié au facteur de puissance de la charge à l'indice de modulation [14] ;

- L'inégalité des tensions inverses supportées par les diodes ;
- L'inégalité de commutations entre interrupteurs situés à l'extérieur de la structure par rapport aux autres ;
- Le nombre de diodes devient excessivement élevé avec l'augmentation de niveaux [19] ;
- Il est plus difficile de contrôler le flux de puissance de chaque convertisseur [19].

En effet, la tension bloquée par chaque diode dépend de sa position dans le montage. Pour un convertisseur à N-niveaux, on trouve deux diodes dont la tension à bloquer est donnée par la relation suivante :

$$V_{diode} = \frac{(N-1-k)}{(N-1)} V_{dc} \quad \text{avec } k = 1 \dots (N-2) \quad (1.1)$$

Une résolution de ce problème consiste à insérer un nombre élevé de diodes en série.



**Figure 1.8:** Structure pyramidale de la topologie NPC

En supposant que la tension inverse des diodes est la même, le nombre de diodes requises augmente très rapidement en fonction du nombre de niveaux, ce qui complique l'implémentation du circuit et le rend par la même occasion peu fiable. En fonction de l'application, on est amené à insérer plus de diodes en série dans la partie du circuit nécessitant le blocage des tensions élevées ; si bien qu'il est possible de trouver pour deux niveaux de tension donnés, un nombre différents de diodes mises en série, afin de respecter leur tension de blocage. La *figure 1.8* montre la structure pyramidale proposée par I. Barbi [20], et qui permet une connexion systématique des diodes, quelque soit le niveau désiré. En fonction du niveau de tension désiré, les diodes se connectent mutuellement en

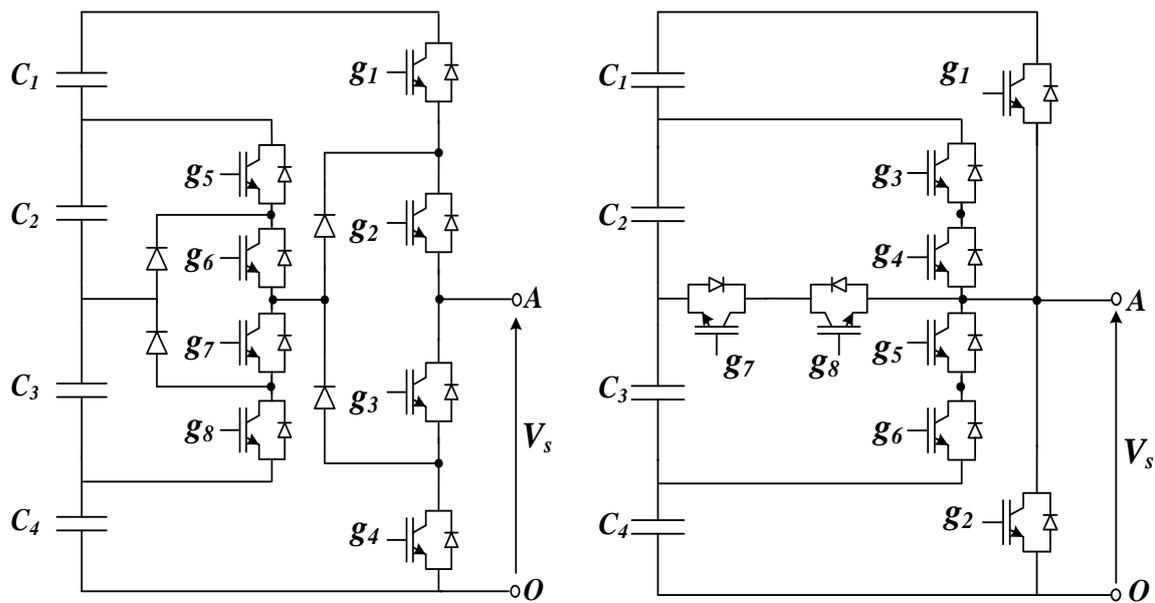
série afin que chacune d'entre elles bloque la même tension,  $V_{dc}/(N - 1)$ .

Les interrupteurs situés aux extrémités de chaque branche et leurs compléments subissent peu de commutations, tandis que ceux situés au tour du point A (à l'intérieur de la branche) en subissent plus. Si le convertisseur est conçu pour être utilisé avec un rapport cyclique moyen identique pour tous les interrupteurs de puissance, on est donc amené à sur-dimensionner ceux situés à l'intérieur de la branche, afin qu'ils puissent supporter la cadence de commutation [21].

Compte tenu de l'inégalité de la durée de conduction des interrupteurs, la durée de charge ou de décharge des condensateurs s'en trouve affectée. L'onde de tension en subit une modification à cause de la non uniformité de sa valeur entre deux niveaux consécutifs, ainsi qu'une augmentation du  $dV/dt$ . Cette topologie nécessite donc un contrôle rigoureux de l'équilibre des tensions aux bornes des condensateurs (voir dans [21]).

### D'autres variantes de la topologie NPC

Il existe plusieurs variantes de convertisseurs multiniveaux dont la configuration est une



(a) connexion en cascade de deux convertisseurs de type NPC sur un même bras

(b) Enchevêtrement de convertisseurs avec interrupteurs bidirectionnels

**Figure 1.9:** Variantes de la topologie à potentiel distribué

modification de la topologie NPC de base. Celles-ci permettent par exemple de repousser certaines limitations de la structure de base, comme l'inégalité des tensions inverses supportées par les diodes [20]. La figure 1.9 représente d'autres variantes de la topologie NPC. La figure 1.9(a) montre une connexion en cascade de deux convertisseurs de type NPC, et permet l'obtention d'une tension ayant cinq valeurs différentes (celle de la structure de base a trois valeurs), mais ne résout pas le problème de l'inégalité des tensions de blocage que doivent supporter les interrupteurs. Cette variante est mieux adaptée à des applications de faible puissance [14]. Elle a le même nombre d'interrupteurs que la topologie NPC de base à cinq niveaux, mais l'accès au point neutre se fait à travers des

interrupteurs bidirectionnels et les interrupteurs ne supportent pas la même tension. Cette variante est aussi mieux adaptée pour des applications de faible puissance [14].

### 1.3.3 Onduleur à structure multicellulaires

Cette structure a été introduite en 1992 par T. Meynard et H. Foch dans [9]. Elle est également connue sous l'appellation « *flying capacitors multilevel inverter* » dans la littérature anglo-saxonne.

La structure de l'onduleur à capacité flottante est semblable à celle de l'onduleur NPC sauf qu'au lieu d'utiliser les diodes de clampes, ils sont remplacés par des condensateurs qui jouent le rôle des sources de tension flottantes dont il vient le nom onduleur à capacité flottante [16].

Pour des raisons de simplicité on représente une seule phase de l'onduleur à capacité flottante à N-niveaux réalisé par la mise en série de  $N - 1$  cellules (*figure 1.10*). Chaque cellule se compose de paire de commutateurs séparés par un condensateur flottant.

Par conséquent, au total il y a  $2(N - 1)$  commutateurs, une source de tension continue et  $(N - 2)$  condensateurs flottant chargé par N-niveaux différent de tension :

$$\frac{1}{N-1}V_{dc}, \frac{2}{N-1}V_{dc}, \dots, V_{dc} \quad (1.2)$$

Une connexion série appropriée des condensateurs flottants avec des niveaux de ten-

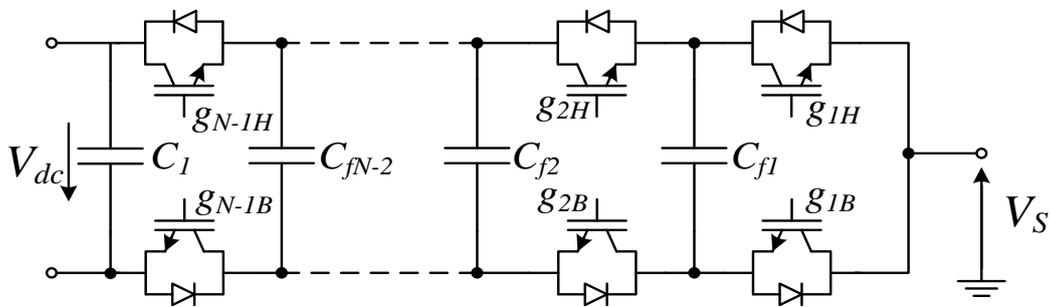


Figure 1.10: Bras d'un onduleur multicellulaire à N-niveaux

sion distincts, permet à l'onduleur de produire une tension de sortie synthétisée. Cette connexion est réalisée en mettant à l'état passant (on) un interrupteur de chaque cellule. Cependant, les deux interrupteurs d'une cellule de commutation ne doivent jamais être à l'état passant simultanément (autrement dit les interrupteurs d'une même cellule de commutation doivent être commandé en complémentaire) par exemple ( $g_{1H}, g_{1B}$ ), autrement deux condensateurs consécutifs avec différentes valeurs de tension seraient connectés en parallèle, ayant pour résultat un court-circuit.

La combinaison des commutateurs et des condensateurs assure que la tension est toujours bien définie à travers n'importe quel interrupteur bloqué :

$$V_{g_{N-1H}} = V_{dc} - \frac{N-2}{N-1}V_{dc} = \frac{1}{N-1}V_{dc} \quad (1.3)$$

Une autre caractéristique inhérente à cette topologie est le degré de liberté produit pour équilibrer les condensateurs flottants dus aux états de commutation redondants. Ces états redondants produisent la même tension de sortie. On considère seulement les deux dernières cellules de la structure présentée sur la *figure 1.10*, la tension de sortie égale à  $V_S = V_{dc}/(N-1)$  avec la considération de potentiel négatif de  $C_{f2}$ , qui peut être générer en mettant à l'état passant les interrupteurs  $g_{2H}$  et  $g_{1B}$  :

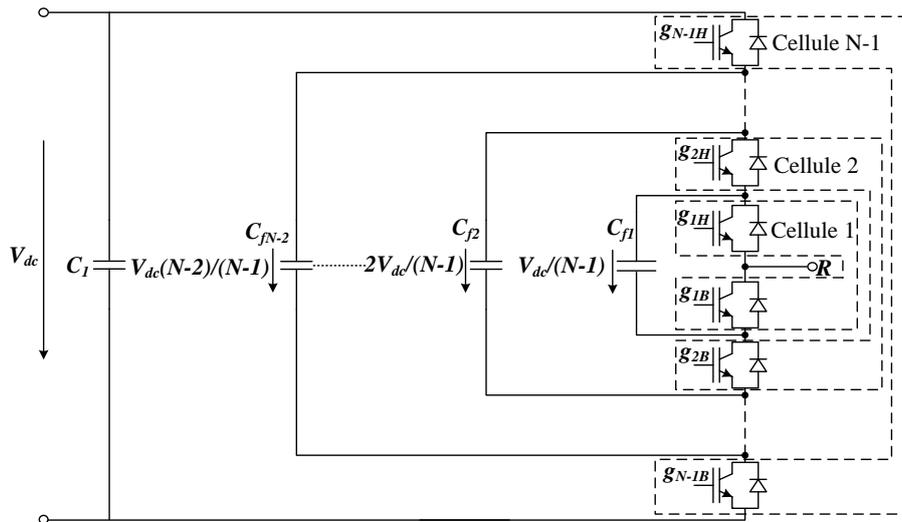
$$V_s = \frac{2}{N-1}V_{dc} - \frac{1}{N-1}V_{dc} = \frac{1}{N-1}V_{dc} \quad (1.4)$$

Ou par les interrupteurs  $g_{2B}$  et  $g_{1H}$  :

$$V_s = 0 + \frac{1}{N-1}V_{dc} = \frac{1}{N-1}V_{dc} \quad (1.5)$$

Cependant, le courant qui circule à travers le condensateur est de sens inverse. Par conséquent, en choisissant un état approprié selon le sens de courant de sortie, la tension des condensateurs flottant peut être contrôlée.

Bien que la représentation multicellulaire permette une analyse simple de la topologie, l'onduleur de tension monophasé à capacité flottante usuel est présenté sur la *figure 1.11*. Pour le cas particulier d'une approche à trois niveaux ( $N = 3$ ), représenté sur la *figure*



**Figure 1.11:** Onduleur monophasé à capacité flottante à  $N$ -niveaux

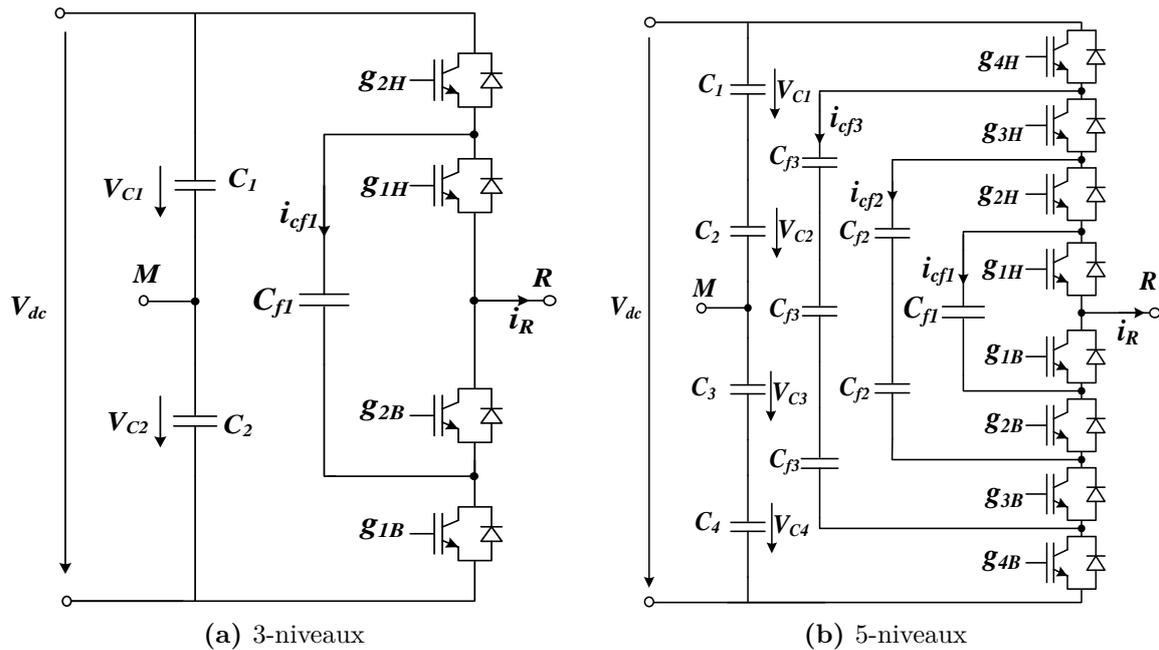
1.13(a), l'onduleur produit une tension de sortie référée au point milieu  $M$  à trois niveaux.

Les interrupteurs  $g_{1H}$  et  $g_{2H}$  sont à l'état passant pour avoir le niveau de tension positif  $V_{dc}/2$ , Pour avoir le niveau de tension négatif  $-V_{dc}/2$ , ces les interrupteurs  $g_{1B}$  et  $g_{2B}$  qui sont à l'état passant, et pour avoir le niveau de tension 0, l'une des paires d'interrupteur suivantes  $g_{1H}$  et  $g_{2B}$  ou  $g_{2H}$  et  $g_{1B}$  doit être allumé.

Cette redondance est utilisée pour équilibrer le condensateur flottant  $C_{f1}$ , puisque le courant de sortie flottant considéré au point  $R$ , la première paire produit le courant négatif de la capacité flottante (décharge), alors que la seconde produit un courant positif (charge), suivant les indications montré sur le *tableau 1.2*.

**Table 1.2:** Les niveaux de tension de l'onduleur à capacité flottante à trois niveaux, les états respectifs des interrupteurs et les courants des capacités flottante

Niveau de tension	état des interrupteurs				$i_{cf}$
	$g_{1H}$	$g_{2H}$	$g_{1B}$	$g_{2B}$	
$V_{dc}/2$	1	1	0	0	0
0	1	0	0	1	$-i_R$
0	0	1	1	0	$i_R$
$-V_{dc}/2$	1	0	0	1	0

**Figure 1.12:** Onduleur à capacité flottante

Pour l'onduleur à 5-niveaux (*figure 1.12(b)*), la flexibilité est augmentée puisqu'il y a plus d'états redondants. La tension de sortie par rapport au point  $M$  est synthétisée par les états de commutation suivant :

1. pour avoir le niveau de tension  $V_{RM} = \frac{V_{dc}}{2}$ , on met à l'état passant tout les interrupteurs hauts.
2. pour avoir le niveau de tension  $V_{RM} = \frac{V_{dc}}{4}$ , il y a quatre combinaisons possible (1.6);

$$\begin{aligned}
 & \bullet \quad g_{4H}, g_{3H}, g_{2H} \text{ et } g_{1B} \Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{V_{dc}}{4} \\
 & \bullet \quad g_{3H}, g_{2H}, g_{1H} \text{ et } g_{4B} \Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{3V_{dc}}{4} \\
 & \bullet \quad g_{4H}, g_{3H}, g_{1H} \text{ et } g_{2B} \Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{3V_{dc}}{4} + \frac{3V_{dc}}{4} \\
 & \bullet \quad g_{4H}, g_{3H}, g_{2H} \text{ et } g_{1B} \Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{2V_{dc}}{4} + \frac{V_{dc}}{4}
 \end{aligned} \tag{1.6}$$

3. Pour avoir le niveau de tension  $V_{RM} = 0$ , il y a six combinaisons possible (1.7) ;

$$\begin{aligned}
\bullet \quad g_{4H}, g_{3H}, g_{1B} \text{ et } g_{2B} &\Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{V_{dc}}{2} \\
\bullet \quad g_{2H}, g_{1H}, g_{3B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{V_{dc}}{2} \\
\bullet \quad g_{4H}, g_{2H}, g_{1B} \text{ et } g_{3B} &\Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{3V_{dc}}{4} + \frac{2V_{dc}}{4} - \frac{V_{dc}}{4} \\
\bullet \quad g_{4H}, g_{1H}, g_{2B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{3V_{dc}}{4} + \frac{2V_{dc}}{4} \\
\bullet \quad g_{3H}, g_{1H}, g_{2B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{3V_{dc}}{4} - \frac{2V_{dc}}{4} + \frac{V_{dc}}{4} \\
\bullet \quad g_{3H}, g_{2H}, g_{1B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{3V_{dc}}{4} - \frac{V_{dc}}{4}
\end{aligned} \tag{1.7}$$

4. Pour avoir le niveau de tension  $V_{RM} = -V_{dc}/4$ , il y a quatre combinaisons possible (1.8) ;

$$\begin{aligned}
\bullet \quad g_{4H}, g_{1B}, g_{2B} \text{ et } g_{3B} &\Rightarrow V_{RM} = \frac{V_{dc}}{2} - \frac{3V_{dc}}{4} \\
\bullet \quad g_{1H}, g_{2B}, g_{1B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{V_{dc}}{4} \\
\bullet \quad g_{2H}, g_{1B}, g_{3B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{2V_{dc}}{4} - \frac{V_{dc}}{4} \\
\bullet \quad g_{3H}, g_{2B}, g_{1B} \text{ et } g_{4B} &\Rightarrow V_{RM} = -\frac{V_{dc}}{2} + \frac{3V_{dc}}{4} - \frac{2V_{dc}}{4}
\end{aligned} \tag{1.8}$$

5. Pour le niveau de tension  $V_{RM} = -V_{dc}/2$ , on met à l'état passant tout les interrupteurs bas ;

Le *tableau 1.3* : montre les différentes combinaisons de commutation possibles générant la tension de sortie à 5-niveaux et le courant circulant dans les condensateurs flottants respectivement.

Les principaux avantages et inconvénients de cette topologie sont donnés comme suit :

### Avantages

- La tension de blocage des interrupteurs est partout la même ;
- Le concept peut être facilement appliqué à d'autres types de convertisseurs (continu-continu, continu-alternatif, alternatif-alternatif), aussi bien pour un transfert unidirectionnel de la puissance que bidirectionnel ;
- Sa modularité permet une extension et une adaptation aisées des stratégies de commande à un nombre élevé de niveaux ;
- La disponibilité des états redondants équilibre les niveaux de tension des condensateurs [13] ;

**Table 1.3:** Niveaux de tension de l'onduleur 5-niveaux à capacité flottante, états des interrupteurs et les courants de charge et de décharge des capacités flottantes respectivement

Niveau de tension	état des interrupteurs								$i_{cf1}$	$i_{cf2}$	$i_{cf3}$
	$g_{4H}$	$g_{3H}$	$g_{2H}$	$g_{1H}$	$g_{1B}$	$g_{2B}$	$g_{3B}$	$g_{4B}$			
$V_{dc}/2$	1	1	1	1	0	0	0	0	0	0	0
$V_{dc}/4$	1	1	1	0	1	0	0	0	$i_R$	0	0
	0	1	1	1	0	0	0	1	0	0	$-i_R$
	1	0	1	1	0	0	1	0	0	$-i_R$	$i_R$
	1	1	0	1	0	1	0	0	$-i_R$	$i_R$	0
0	1	1	0	0	1	1	0	0	0	$i_R$	0
	0	0	1	1	0	0	1	1	0	$-i_R$	0
	1	0	1	0	1	0	1	0	$i_R$	$-i_R$	$i_R$
	1	0	0	1	0	1	1	0	$-i_R$	0	$i_R$
	0	1	0	1	0	1	0	1	$-i_R$	$i_R$	$-i_R$
	0	1	1	0	1	0	0	1	$i_R$	0	$-i_R$
$V_{dc}/4$	1	0	0	0	1	1	1	0	0	0	$i_R$
	0	0	0	1	0	1	1	1	$-i_R$	0	0
	0	0	1	0	1	0	1	1	$i_R$	$-i_R$	0
	0	1	0	0	1	1	0	1	0	$i_R$	$-i_R$
$-V_{dc}/2$	0	0	0	0	1	1	1	1	0	0	0

- Pour un nombre élevé de niveaux, utilisation du filtre est inutile [19];
- La possibilité de contrôlé puissance actif et réactif [19, 13];

### Inconvénients

- Le principal désavantage de cette topologie réside dans le nombre requis de condensateurs, ce qui peut représenter un volume prohibitif. En plus, si l'application dans laquelle le convertisseur est utilisé exige des tensions initiales non nulles aux bornes des condensateurs, il faut associer à la stratégie de commande une stratégie de précharge adéquate [14, 19];
- Le contrôle est compliqué pour suivre les niveaux de tension pour tous les condensateurs. En outre, la complexité de la mise en marche en préchargeant tous les condensateurs au même niveau de tension [13];
- La commande du système devient difficile avec l'augmentation des niveaux [19].

## 1.4 Application des onduleurs multiniveaux dans le domaine industriels

Les convertisseurs multiniveaux trouvent une attention importante dans l'industrie et le milieu universitaire en tant qu'un des choix privilégiés de la conversion pour les applications de haute puissance [3, 6]. Ils ont façonné avec succès leur voie en milieu industrielle et peuvent pour cette raison être considéré comme une technologie mature et prouvée.

Actuellement, ils sont commercialisés dans les normes et qui actionnent une large gamme d'applications, tel que les compresseurs, les extrudeuses, les pompes, les ventilateurs, les fraises, les laminoirs, les convoyeurs, les broyeurs, les souffleries de fourneau, les démarreur de turbine à gaz, les mélangeurs, les élévateurs, la compensation d'énergie réactive, la propulsion marine, boîte de vitesses à courant continu (HVDC) à haute tension, le stockage hydro pompé, l'énergie éolienne, et la traction ferroviaire [3, 6]. Les convertisseurs de ces applications sont commercialement offerts par un ensemble d'entreprises croissant dans le domaine, tel que : *ABB, SIEMENS, Schneider-Electric, Alstom, TMEIC-GE...* [3].

### 1.4.1 Application dans le domaine de la traction ferroviaire et véhicule électrique

Dans la traction ferroviaire par exemple, certains réseaux de transport européens fournissent une alimentation de  $15KV$ ,  $16 * 2/3 Hz$ . On y utilise un transformateur à basse fréquence afin d'adapter cette tension aux convertisseurs statiques. Puisque, Le problème de l'isolation galvanique est contourné. Pour cela, des onduleurs sont mis en parallèle du côté continu, leurs côtés alternatifs allant sur des enroulements primaires distincts d'un transformateur basse fréquence (à la fréquence de fonctionnement de la charge). Les contributions des différentes cellules sont ajoutées au niveau magnétique du noyau du transformateur, le secondaire étant constitué d'un seul enroulement haute-tension par phase. Ce type de convertisseur a été réalisé industriellement pour une puissance de  $100MV A$  [18]. D'autres variantes utilisant des transformateurs basse fréquence ou des enroulements de moteur pour additionner les tensions ont été étudiées, parmi lesquelles on trouve [22]. Dans une locomotive typique de 28 tonnes par exemple, le poids du transformateur représente 8 à 12 tonnes, avec un rendement de 97% à pleine charge, avec 1.5 à 3% de pertes. Le convertisseur représente 2 à 4% de pertes et le moteur 4 à 5% [23]. A la *figure 1.14*, nous avons représenté un exemple de connexion des convertisseurs multiniveaux à la caténaire. Ils offrent plusieurs avantages, parmi lesquels [24, 3] :

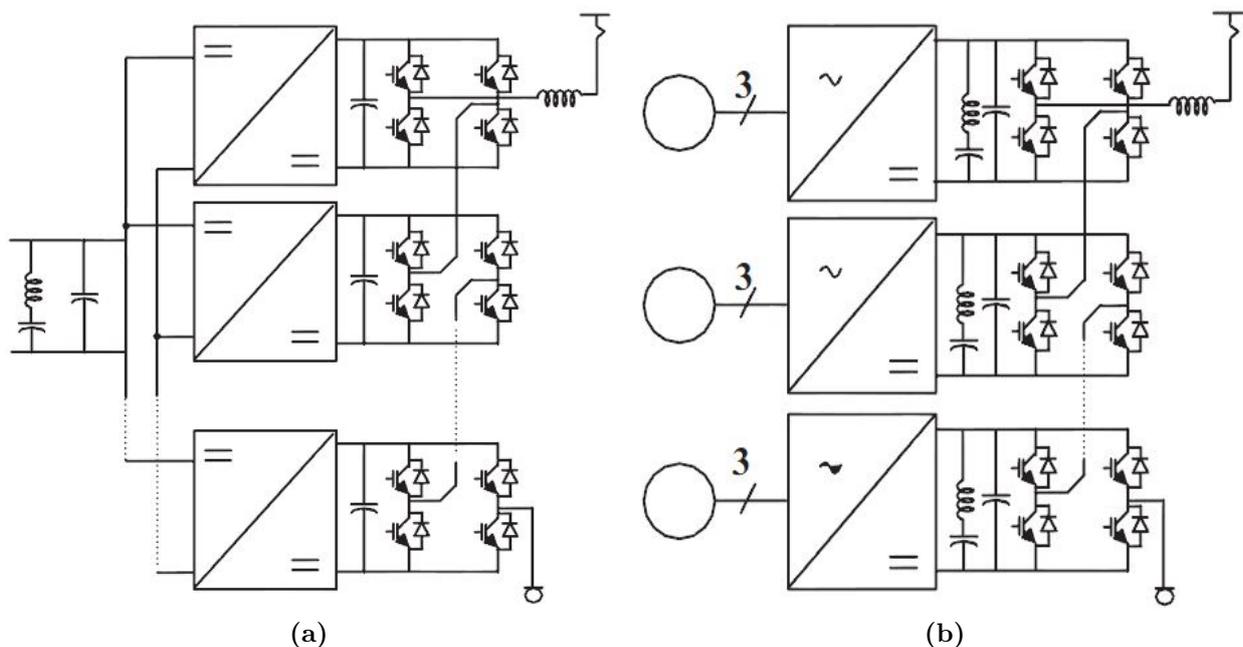


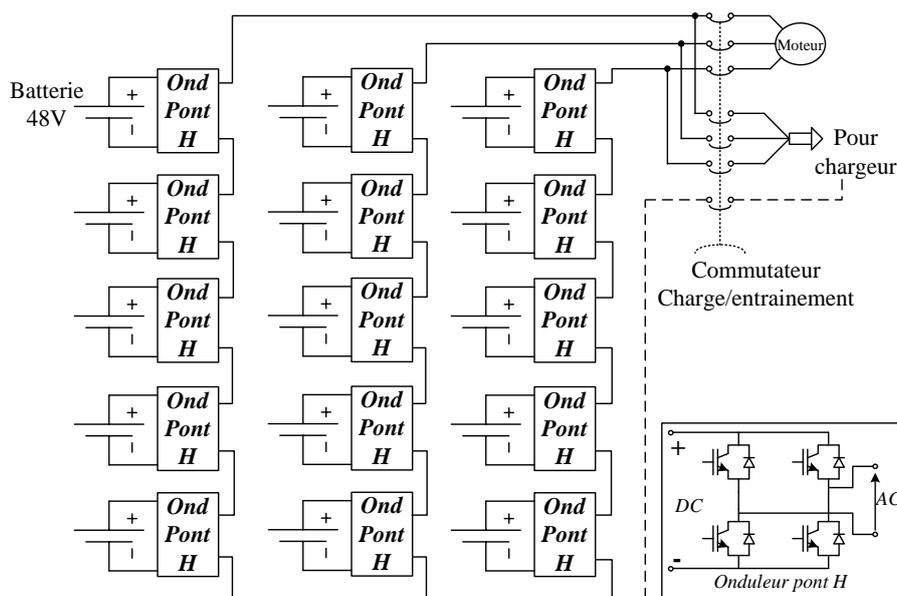
Figure 1.13: Convertisseurs multiniveaux dans la traction ferroviaire.

- Une connexion directe de la locomotive au réseau haute tension, en utilisant des modules à basse tension. Le transformateur basse fréquence est éliminé, et l'isolation galvanique est assurée par le transformateur moyenne fréquence du convertisseur continu-continu (*figure 1.13(a)*) ;
- Le système est modulaire, donc facilement extensible à un nombre différent de cellules, ce qui permet sa reconfiguration en fonction de la ligne sur laquelle la locomotive sera exploitée ;
- Ce genre de système possède un meilleur rendement par rapport à un système avec transformateur.

Dans les véhicules électriques, l'utilisation des convertisseurs multiniveaux est également possible. L'exploitation de la topologie basée sur la mise en série d'onduleurs partiels, devient relativement aisée, puisque chaque onduleur est alimenté par une batterie de 48V, assurant ainsi l'isolation galvanique requise entre toutes les sources [3, 12, 25]. On trouve aussi le convertisseur multiniveaux back-to-back à structure NPC pour l'usage dans des grands entrainements des véhicule hybride-électrique pour les camions lourds et les véhicules militaires [12].

La configuration d'un système de commande d'un moteur d'un véhicule électrique utilisant un onduleur à structure cascadié est montré sur la *figure 1.14*. Cette configuration fonction en deux modes. En mode marche de la voiture, dans ce mode le flux de puissance s'écoule des batteries (décharge des batteries) vers le moteur à travers l'onduleur en cascade. En mode recharge des batteries, les convertisseurs en cascade agissent en tant que redresseurs, et le flux de puissance s'écoule du chargeur (source ac) aux batteries. Les convertisseurs en cascade peuvent également agir en tant que redresseurs pour aider à la récupération l'énergie cinétique du véhicule si le freinage régénérative est utilisé [12].

L'application de l'onduleur cascadié en boost sur les véhicules électriques et véhicules



**Figure 1.14:** Système de configuration d'un variateur pour véhicule électrique utilisant un onduleur à structure pont H en cascade.

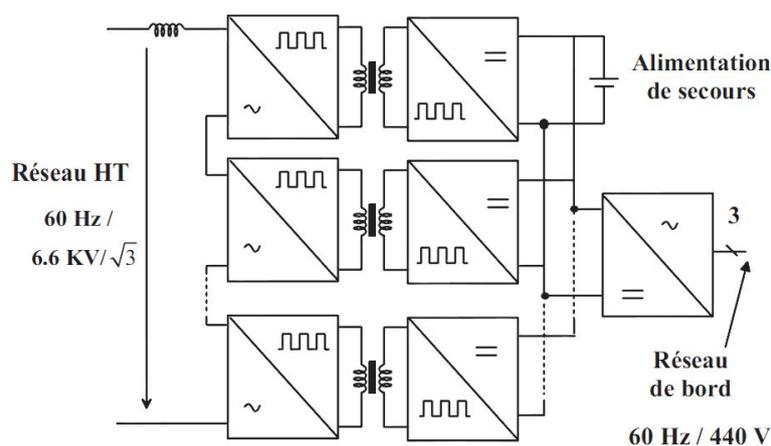
hybride-électriques peut avoir comme avantage l'élimination de l'inducteur encombrant des convertisseurs boost classique  $dc/dc$  augmentant de ce fait la puissance [25, 3].

### 1.4.2 Application dans l'alimentation des réseaux de bord et de propulsion des bâtiments maritimes

Dans les bâtiments maritimes, la limitation de la place disponible pose d'énormes problèmes pour la réalisation d'une alimentation en énergie électrique ayant un encombrement et un poids réduits. Il est possible d'exploiter les techniques de conversion multiniveaux pour assurer l'alimentation des navires (tant pour l'alimentation des réseaux de bord que pour celle des réseaux de propulsion).

A la *figure 1.15* nous avons représenté un exemple de configuration pouvant être exploitée pour l'alimentation du réseau de bord. Le redresseur d'entrée est constitué de modules élémentaires connectés en série. Un transformateur moyenne fréquence assure la liaison entre chaque module élémentaire du redresseur et un onduleur de sortie [14].

Malgré le nombre élevé de phases (15 phases) des machines asynchrones rencontrées dans

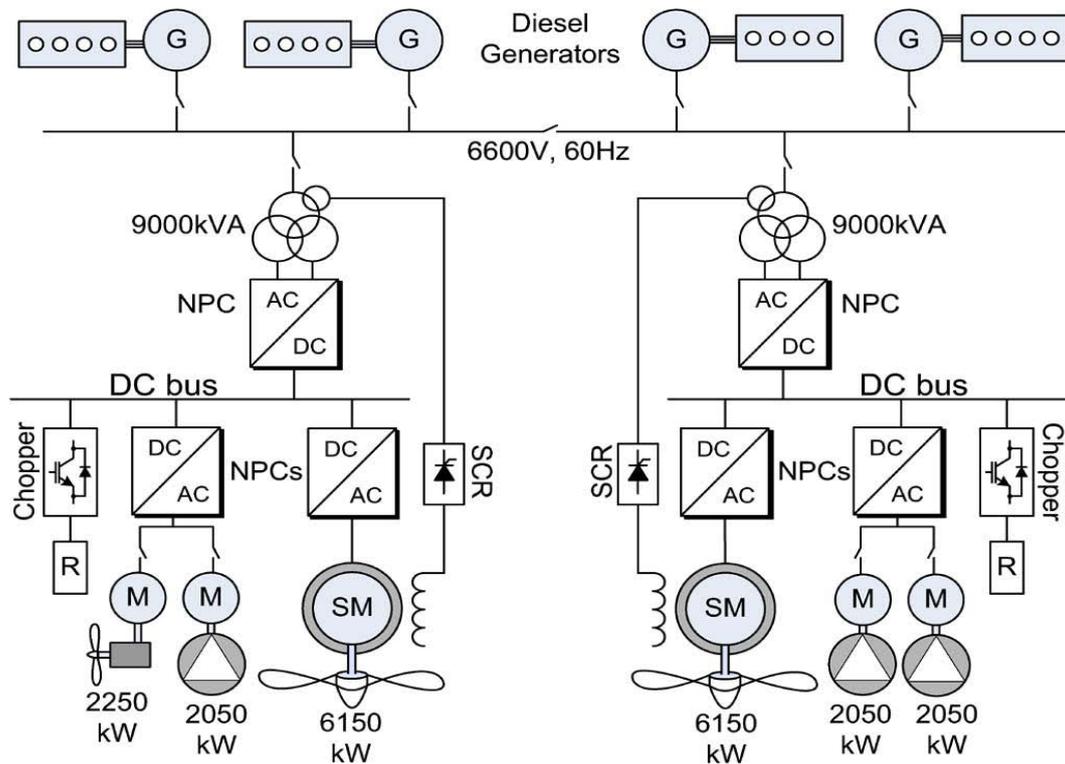


**Figure 1.15:** Onduleurs multiniveaux dans les bâtiment maritimes.

la propulsion de certains navires de guerre américains et malgré leur puissance (de l'ordre de 20 MW par moteur), des investigations ont été également menées sur l'utilisation des convertisseurs multiniveaux afin de réduire le taux de distorsion harmonique [14].

Dans [26], les auteurs ont effectué une évaluation entre les cycloconvertisseurs et d'autres topologies, incluant le convertisseur multiniveaux NPC, pour les systèmes de propulsion marine à vitesse variable dans la gamme de 30MW et ils ont conclut que le convertisseur de fréquence NPC est plus performant que le cycloconvertisseur. Cependant, plus efficace et moins encombrant, et qui pourrait être remplacé par le convertisseur NPC due à l'amélioration de sa qualité de puissance.

La *figure 1.16* représente un diagramme simplifié du système de production d'électricité, de distribution et des systèmes de charge d'un pétrolier avec un système électrique redondant. Deux convertisseurs NPC back-to-back de 6, 15MW chacun entraînant un moteur synchrone. En outre, le pétrolier utilise un système à multimoteurs dont plusieurs moteurs sont alimentés par le même convertisseur, par exemple, pour entraîner les deux



**Figure 1.16:** Générateur d'un pétrolier comportant deux convertisseurs NPC 3-niveaux Back-to-Back.

pompes pour le chargement/déchargement des cargaisons et les moteurs de propulsion. Depuis les pompes à cargaison et les moteurs de propulsion sont normalement pas utilisés simultanément, le convertisseur NPC frontal est actif et partagée entre les deux unités, ce qui réduit le coût global du système [3]. Un autre développement important des convertisseurs multiniveaux pour la propulsion des navires a été motivé plus du côté moteur, c'est à dire, par des machines à phases multiples. Au cours de la dernière décennie, les machines à phases multiples ont connu un intérêt croissant en raison de plusieurs avantages intéressants tels que la haute fiabilité, la tolérance aux pannes, l'amélioration des performances de couple, et leurs puissance plus élevée, ce qui les rend particulièrement adapté pour les systèmes de propulsion marine/navale. Par conséquent, la combinaison de technologies multiphasiques et multiniveaux ajoute une série d'avantages qui sont utiles pour cette application[27, 28, 29]. Dans [27], le convertisseur NPC à 3-niveaux est réalisé pour synthétiser 5 phases pour entraînement un moteur à 5 phases.

### 1.4.3 Application dans le domaine des réseaux électriques

Parce qu'ils peuvent fournir une moyenne ou une haute tension, les convertisseurs multiniveaux sont aussi adaptés pour l'amélioration de la qualité de la tension des réseaux électriques.

L'immigration de l'énergie photovoltaïque dans le domaine industriel. Production et injection de l'énergie au réseau électrique, a permet aux onduleurs multiniveaux d'être utilisé comme interface entre modules photovoltaïques et réseau électrique. Les topologies multiniveaux les plus adaptés à ce type d'installations sont les structures NPC et surtout la structure aux ponts H mis en cascade [3, 30]. Cependant, la structure NPC peut être

utilisée comme interface entre un turbo-alternateur à haute vitesse et réseau électrique [31].

Sur les lignes de transmission de longue distance, il est souvent nécessaire de compenser la puissance réactive. Lorsqu'ils sont contrôlés de façon adéquate, les onduleurs multiniveaux offrent dans ce cas, la possibilité de régler l'amplitude de la tension et son déphasage, mais aussi l'impédance de la ligne de transmission. Ils peuvent donc jouer le rôle de compensateurs statiques. Pour ce la le convertisseur multiniveaux monté en cascade est plus adapté pour la compensation harmonique/réactive [6, 32, 8].

Puisque chaque pont H peut équilibrer sa tension continue sans exiger des sources d'énergie isolé supplémentaires. *Alstom* a commercialisé un onduleur multiniveaux aux ponts H monté en cascade pour la compensation/génération d'énergie réactif (*STAT-COM*) [6]. Par contre pour la structure multicellulaire (FC) l'équilibrage des tensions est relativement compliqué [6, 9], donc il ne peut pas être utilisé dans la compensation d'énergie réactive [6].

#### 1.4.4 Application dans le domaine de l'alimentation des machines électriques

Dans les applications industrielles, les machines électriques de moyennes et fortes puissances nécessitent une alimentation à moyenne tension. L'utilisation des convertisseurs multiniveaux dans ce cas est aussi mieux adaptée. Dans de tels systèmes, les semi-conducteurs n'y supportent qu'une faible tension, par rapport à celle exigée par la machine. La qualité de la tension en termes d'harmonique est meilleure, réduisant ainsi les effets néfastes sur la durée de vie de la machine et celle du réseau éventuel qui l'alimente [14, 15]. En plus à partir de cellules de petite tension (comme des batteries, des piles à combustible ou des cellules photovoltaïques), il devient possible d'alimenter une machine à moyenne tension.

Pour cela on trouve la topologie NPC à trois niveaux est largement utilisée dans des applications de moyenne tension (2.3, 3.3, 4.16, et même 6kV) utilisant des IGBTs avec le refroidissement à air forcé [6, 3]. Ces applications couvrent une large gamme de charge de haute puissance comprenant des ventilateurs, des pompes, des souffleries, des compresseurs, et des convoyeurs. Cependant, la structure NPC multiniveaux à un grand intérêt pour la variation de vitesse [33].

Initialement le convertisseur multiniveaux à structure multicellulaire (FC) à été proposé pour la conversion à haute tension de type  $dc/dc$  avantageux pour la variation de vitesse [33, 9]. Il est facile d'équilibrer les tensions pour de telles applications par ce que le courant de charge est de type continu. Actuellement il est beaucoup utilisé en onduleur et commercialisé comme variateur de vitesse [15].

Un autre genre d'onduleur multiniveaux a été introduit la premier fois pour les applications des entrainements des moteurs électriques qui est la structure cascadiée, dans les quelles les sources de tension continue sont isolés et séparés pour chaque pont H [12, 3]. Cependant, dans des applications industrielles comme l'alimentation des compresseurs de forte puissance (plusieurs dizaines de mégawatts) pour le pompage du pétrole et du

gaz par exemple, le réseau d'alimentation est souvent à tension élevée (33KV, 270KV ...). La présence d'un transformateur basse fréquence dévient quasiment incontournable, pour adapter la tension du réseau à celle des machines (généralement 3.3KV ou 6.6KV), compte tenu de la limitation en tension de blocage des semi-conducteurs actuels. Le transformateur dans ce cas, facilite l'obtention des sources de tensions galvaniquement isolées avec un transformateur multi-secondaires [22]. Son encombrement, son coût et sa maintenance (notamment le refroidissement) ne posent forcément plus un problème, puisqu'il s'agit là d'une application immobile [14].

## 1.5 Comparaison des topologies multiniveaux

Les topologies telles que les onduleurs NPC et les onduleurs à cellules imbriquées divisent leur tension d'alimentation : la tension de sortie est plus petite ou égale à la tension continue d'entrée. Elles sont capables de fonctionner à partir d'une alimentation continue unique.

Par contre, les structures telles que les onduleurs à cellules en série élèvent leur tension d'alimentation, donc, la tension de sortie maximale est plus grande que chacune des tensions d'alimentation ; elle est plus petite ou égale à la somme des tensions d'alimentation. Contrairement aux autres topologies, les alimentations des cellules ne peuvent pas être obtenues à partir d'une alimentation continue unique sans mettre en place des convertisseurs additionnels. Dans la plupart des cas, il faut recourir à des transformateurs pour obtenir les alimentations nécessaires. Le couplage parallèle des transformateurs du «côté alimentation» et l'addition des tensions «côté charge» conduit à une élévation de la tension [18].

Bien que le choix de la topologie multiniveaux soit directement lié à l'application et à la liste de caractéristiques, afin de réduire au maximum des pertes, le volume et les coûts, habituellement le nombre de composants joue le rôle le plus important [34]. Par conséquent, afin de fournir quelques recommandations pour sélectionner la topologie appropriée, le tableau 1.3 récapitule le nombre de semi-conducteurs et de composants passifs exigés par les topologies les plus prometteuses.

Pour une approche à trois niveaux, l'analyse prouve que les onduleurs clampés par le neutre (NPC), à capacité flottante (FC) et pont H montés en cascade exigent le même nombre de commutateurs (12), toutefois ils diffèrent sur les éléments et le nombre de sources de continue requises. Pour des applications où seulement une source continue est disponible, les topologies de types NPC et FC sont avantageuse par rapport à celle de pont H monté en cascade, qui exige d'un transformateur spéciale pour fournir les diverses sources continues d'indépendante. D'une part, quand les différentes sources sont disponibles la topologie de pont H montée en cascade pourrait être considérée une solution convenable puisqu'elle exige le moindre nombre de composantes [30, 3].

Cette première comparaison basée sur le nombre de composants permet de tirer quelques conclusions et de séparer les champs d'applications de ces différents convertisseurs. Les onduleurs NPC sont intéressants pour les applications triphasées nécessitant peu de niveaux. L'énergie stockée à l'étage intermédiaire peut être réduite. Les structures permettant une conversion directe, telles que NPC et cellules imbriquées, sont avanta-

geuses pour les applications avec échange de puissance active, lorsqu'une isolation galvanique n'est pas nécessaire entre les sources échangeant de la puissance. Les onduleurs à cellules en cascade sont très avantageux pour les applications monophasées sans apport de puissance active. Ils conviennent même pour les très grandes tensions. Ce sont également des structures à privilégier pour les applications où il faut mettre en place une isolation galvanique à l'aide de transformateur moyenne ou haute fréquence.

**Table 1.4:** Comparaison des convertisseurs CHB, NPC, et FC en terme de nombre de composant nécessaire pour chaque convertisseur

$T$	$L$	$In$	$D_c$	$C_f$	$C_{dc}$	$V_{dc}$
$NPC$	3	12	6	0	2	1
	5	24	36	0	4	1
	7	36	90	0	6	1
	$N$	$6(N-1)$	$3(N-1)(N-2)$	0	$N-1$	1
$FC$	3	12	0	3	2	1
	5	24	0	18	4	1
	7	36	0	45	6	1
	$N$	$6(N-1)$	0	$\frac{3}{2}(N-1)(N-2)$	$N-1$	1
$CHB$	3	12	0	0	3	3
	5	24	0	0	6	6
	7	36	0	0	9	9
	$N$	$6(N-1)$	0	0	$\frac{3}{2}(N-1)$	$\frac{3}{2}(N-1)$

Avec :

- $T$  : Topologie ;
- $L$  : Nombre de niveaux ;
- $In$  : Nombre de commutateur ;<sup>2</sup>
- $D_c$  : Nombre Diode de Clampé ;
- $C_f$  : Nombre de Capacité Flottante ;
- $C_{dc}$  : Nombre de Capacité du bus continu ;
- $V_{dc}$  : Nombre de source continue ;
- $NPC$  : Topologie Clampé par le neutre (Neutral Point Clamped) ;
- $FC$  : Topologie à capacité flottante (Flying Capacitor) ;
- $CHB$  : Topologie pont H montée en cascade (Cascaded H-Bridge) ;

## 1.6 Conclusion

En raison de capacité d'employer plus de deux niveaux de tension pour synthétiser une tension sinusoïdale, l'utilisation des onduleurs multiniveaux a été augmentée par l'industrie depuis l'introduction de l'onduleur NPC à trois niveaux. Sans compter l'amélioration de la qualité de spectre, une fois comparés à la topologie à deux niveaux conventionnelle, les onduleurs multiniveaux utilisent des dispositifs de puissance avec un rapport tension

2. Qui contient un interrupteur de puissance et une diode en antiparallèle.

faible et amènent à la réduction des pertes par commutations et les effets électromagnétiques. Parmi les topologies multiniveaux mentionnées, quelques structures des onduleurs clampé par le neutre (NPC) et les structures d'onduleur à capacité flottante (FC) qui utilisent le même concept de base au lieu des diodes on trouve des condensateurs. Cependant, bien que ces concepts aient été considérablement employés par l'industrie, le nombre pratique de niveaux est limité par le nombre requis d'éléments de serrage connectés en série. Des approches qui éliminent la nécessité des éléments serrage apparaissent ces dernières années [34]. L'onduleur pont H monté en cascade réalise la tension multiniveaux par la connexion en série des onduleurs pont H monophasés. Cependant, il exige des sources de tension galvaniquement isolées pour chaque cellule monophasée, qui peut limiter l'utilisation d'une telle topologie dans certaines applications. Quelques stratégies ont été présentées pour surmonter cette limitation comme l'utilisation des sources de tension inégales pour diminuer le nombre de source de pour un même nombre obtenu par CHB symétrique.

Bien que la majorité des topologies multiniveaux présentées jusqu'ici diffère dans la structure de leurs circuits, elles exigent toutes un contrôle approprié des tensions de condensateur de bus continu ou dans certains cas des condensateurs flottants.

L'application dans le domaine industriel de ces topologies diffère, d'un domaine à un autre et d'une topologie à une autre. Chaque structure est avantageuse dans un domaine et elle présente des inconvénients dans un autre, il n'y a pas une topologie polyvalente chaque structure à son domaine d'application.

Enfin, ce chapitre porte une comparaison des topologies multiniveaux en termes de nombre des composants et des sources de tension continue.

## Chapitre 2

# Modélisation et stratégies de commande d'un convertisseur multi-niveaux à topologie cascadée

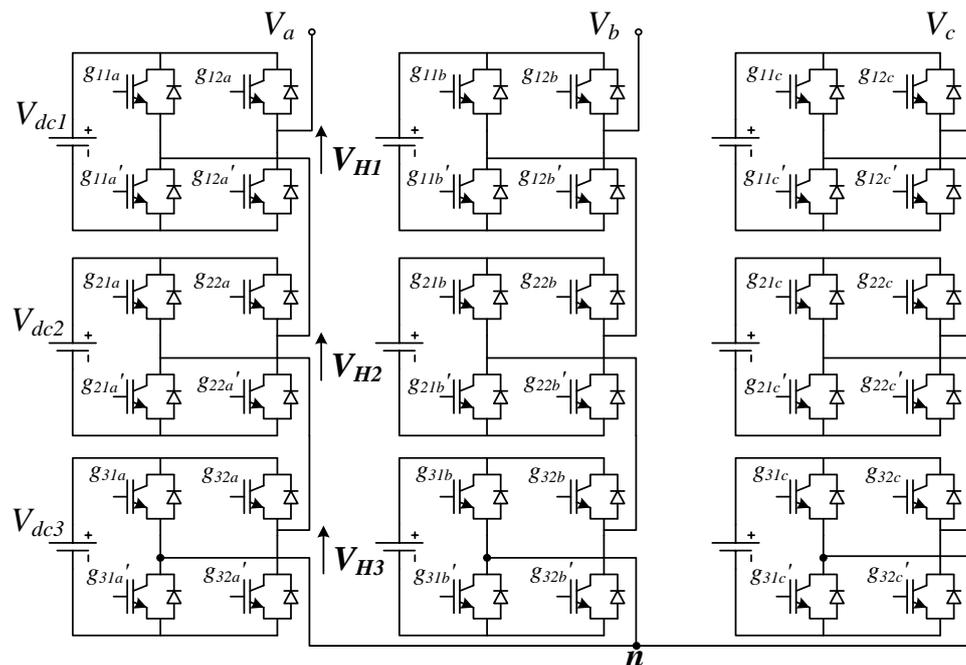
## 2.1 Introduction

Afin de générer une source de tension la plus sinusoïdale possible, plusieurs stratégies de commande ont été proposées. Trois méthodes de commande conventionnelles ont continuellement joué une fonction clé dans les travaux de recherches à savoir la modulation vectorielle, MLI sinusoïdale, et élimination sélective des harmoniques.

Dans ce chapitre on s'intéresse à la modélisation et la commande du convertisseur de tension triphasé à 7-niveaux structure pont en H cascadié en utilisant la stratégie de commande à élimination d'harmonique et on présentera brièvement quelques stratégies de commande citée dans la littérature.

## 2.2 Modélisation du convertisseur pont en H cascadié

La *figure 2.1* représente le convertisseur de tension triphasé à structure pont H cascadié, on fait la modélisation juste pour la phase (a), pour cela on va étudier tout les cas possibles qui permet d'avoir chaque niveau de tension.



**Figure 2.1:** *Convertisseur triphasé 7-niveaux à structure pont H cascadié.*

Pour  $V_{dc1} = V_{dc2} = V_{dc3} = E$  l'onduleur est symétrique générant 7-niveaux de tension. Dans ce cas, la flexibilité est augmentée par rapport à un onduleur de niveau inférieur puisqu'il y a plus d'états redondants. Ces états redondants nous permettent d'équilibrer les tensions des ponts H de l'onduleur et d'optimiser la commutation des interrupteurs par une commande adéquate, pour notre projet on a opté pour la commande à élimination sélective des harmoniques (SHE Selective Harmonic Elimination en anglais). Afin d'éviter le court-circuit entre les interrupteurs de puissance de chaque cellule de commutation des ponts H, deux dispositifs de commutation d'une même cellule de commutation

doivent être commandé en complémentaire et qui répond à l'équation suivante (2.1) :

$$g_{ij} = \overline{g'_{ij}} \quad \text{avec} \quad i = 1..3 \text{ et } j = 1 \text{ ou } 2 \quad (2.1)$$

La tension de sortie  $V_{an}$  est synthétisée par les états de commutation suivants :

1. Pour avoir le niveau de tension  $V_{an} = 0$ , il y a deux combinaisons possibles (2.2) :

$$\begin{aligned} \bullet \quad & g_{11a} = g_{12a} = g_{21a} = g_{22a} = g_{31a} = g_{32a} = 1 \quad \text{donc} \quad V_{an} = 0 \\ \bullet \quad & g'_{11a} = g'_{12a} = g'_{21a} = g'_{22a} = g'_{31a} = g'_{32a} = 1 \quad \text{donc} \quad V_{an} = 0 \end{aligned} \quad (2.2)$$

2. Pour avoir le niveau de tension  $V_{an} = E$ , il y a trois combinaisons possibles (2.3) :

$$\begin{aligned} \bullet \quad & g_{11a} = g'_{12a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} = E \\ \bullet \quad & g_{21a} = g'_{22a} = 1 \quad \text{donc} \quad V_{an} = V_{H2} = E \\ \bullet \quad & g_{31a} = g'_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H3} = E \end{aligned} \quad (2.3)$$

3. Pour avoir le niveau de tension  $V_{an} = 2E$ , il y a trois combinaisons possibles (2.4) :

$$\begin{aligned} \bullet \quad & g_{11a} = g'_{12a} = g_{21a} = g'_{22a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} + V_{H2} = 2E \\ \bullet \quad & g_{21a} = g'_{22a} = g_{31a} = g'_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H2} + V_{H3} = 2E \\ \bullet \quad & g_{31a} = g'_{32a} = g_{11a} = g'_{12a} = 1 \quad \text{donc} \quad V_{an} = V_{H3} + V_{H1} = 2E \end{aligned} \quad (2.4)$$

4. Pour avoir le niveau de tension  $V_{an} = 3E$ , une seul et unique combinaison est possible (2.5) :

$$\bullet \quad g_{11a} = g'_{12a} = g_{21a} = g'_{22a} = g_{31a} = g'_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} + V_{H2} + V_{H3} = 3E \quad (2.5)$$

5. Pour avoir le niveau de tension  $V_{an} = -2E$ , il y a trois combinaisons possibles (2.6) :

$$\begin{aligned} \bullet \quad & g'_{11a} = g_{12a} = g'_{21a} = g_{22a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} + V_{H2} = -2E \\ \bullet \quad & g'_{21a} = g_{22a} = g'_{31a} = g_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H2} + V_{H3} = -2E \\ \bullet \quad & g'_{31a} = g_{32a} = g'_{11a} = g_{12a} = 1 \quad \text{donc} \quad V_{an} = V_{H3} + V_{H1} = -2E \end{aligned} \quad (2.6)$$

6. Pour avoir le niveau de tension  $V_{an} = -E$ , il y a trois combinaisons possibles (2.7) :

$$\begin{aligned} \bullet \quad & g'_{11a} = g_{12a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} = -E \\ \bullet \quad & g'_{21a} = g_{22a} = 1 \quad \text{donc} \quad V_{an} = V_{H2} = -E \\ \bullet \quad & g'_{31a} = g_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H3} = -E \end{aligned} \quad (2.7)$$

7. Pour avoir le niveau de tension  $V_{an} = -3E$ , une seul et unique combinaison est possible (2.8) :

$$\bullet \quad g'_{11a} = g_{12a} = g'_{21a} = g_{22a} = g'_{31a} = g_{32a} = 1 \quad \text{donc} \quad V_{an} = V_{H1} + V_{H2} + V_{H3} = -3E \quad (2.8)$$

Toutes ces équations sont résumées dans le tableau (2.1)

**Table 2.1:** Niveaux de tension et les états des interrupteurs d'un onduleur CHB 7-niveaux

Niveau de tension	état des interrupteurs						$V_{H1}$	$V_{H2}$	$V_{H3}$
	$g_{11}$	$g_{12}$	$g_{21}$	$g_{22}$	$g_{31}$	$g_{32}$			
$3E$	1	0	1	0	1	0	$E$	$E$	$E$
$2E$	0	0	1	0	1	0	0	$E$	$E$
	1	0	1	0	0	0	$E$	$E$	0
$E$	1	0	0	0	1	0	$E$	0	$E$
	0	0	0	0	1	0	0	0	$E$
	0	0	1	0	0	0	0	$E$	0
0	1	0	0	0	0	0	$E$	0	0
	0	0	0	0	0	0	0	0	0
$-E$	1	1	1	1	1	1	0	0	0
	0	0	0	0	0	1	0	0	$-E$
	0	0	0	1	0	0	0	$-E$	0
$-2E$	0	1	0	0	0	0	$-E$	0	0
	0	1	0	0	0	1	$-E$	$-E$	$-E$
	0	1	0	1	0	0	$-E$	$-E$	0
$-3E$	0	1	0	0	0	1	$-E$	0	$-E$
	0	1	0	1	0	1	$-E$	$-E$	$-E$

## 2.3 Stratégie de commande des convertisseurs multiniveaux

### 2.3.1 Classification des stratégies de commande

Plusieurs techniques de commande ont été développées pour les onduleurs multiniveaux comprenant l'élimination sélective des harmoniques (SHE Selective Harmonic elimination), MLI sinusoïdal (modulation de largeur d'impulsion) (SPWM Pulse Width Modulation en anglais), et la modulation vectoriel connue sous le nom space vector modulation (SVM), sont considérées comme les trois principales commandes [35]. Les méthodes de modulation employées dans les onduleurs multiniveaux peuvent être classifiées selon leurs fréquences de commutation en trois types : à fréquence fondamentale, mixte, et à haute fréquence de commutation comme montré sur l'organigramme de la *figure 2.2* [36].

Les modulations à fréquence élevées sont une adaptation de MLI standard aux multiniveaux et elles sont censées commuter à de très haute fréquence, environ 10 à 20 kilohertz [37]. Parmi elles, il y a MLI vectoriel (SVPWM) et MLI sinusoïdale SPWM avec ces sous-classes (phase décalé (PSPWM phase shifted pulse width modulation) MLI à niveaux décalé verticalement).

La technique de commande SPWM est très populaire dans des applications industrielles dû à sa possibilité de réduire les harmoniques en employant plusieurs porteuses déphasés. Dans le SPWM, une forme d'onde sinusoïdale de tension de référence est comparée à une forme d'onde triangulaire appelée porteuse pour générer des signaux de grille pour les commutateurs de l'onduleur. Plusieurs techniques multi-porteuses ont été développées pour réduire les harmoniques, basés sur le SPWM classique avec les porteuses triangulaires.

Une autre technique alternative de modulation est une stratégie à modulation vectorielle SVM, qui a été utilisée convenablement dans des onduleurs à trois niveaux. SVM est une méthode de commutation de fréquence fondamentale et exécutent un ou deux commutations pendant un cycle de tension de sortie pour produire une forme d'onde en escalier. Dans la modulation à élimination sélective des harmoniques la sortie est une onde en escalier avec la durée de chaque phase est optimisée pour annuler les harmoniques spécifiques. Cependant le nombre d'harmoniques qui peuvent être éliminés en même temps est proportionnel au nombre de niveaux de convertisseur. Les modulations de fréquence mixte sont ceux dans lesquelles les commutateurs commutent à la fréquence différente, et il est particulièrement approprié aux convertisseurs hybrides où les différentes cellules peuvent facilement commuter à différentes fréquences ou aux convertisseurs asymétriques.

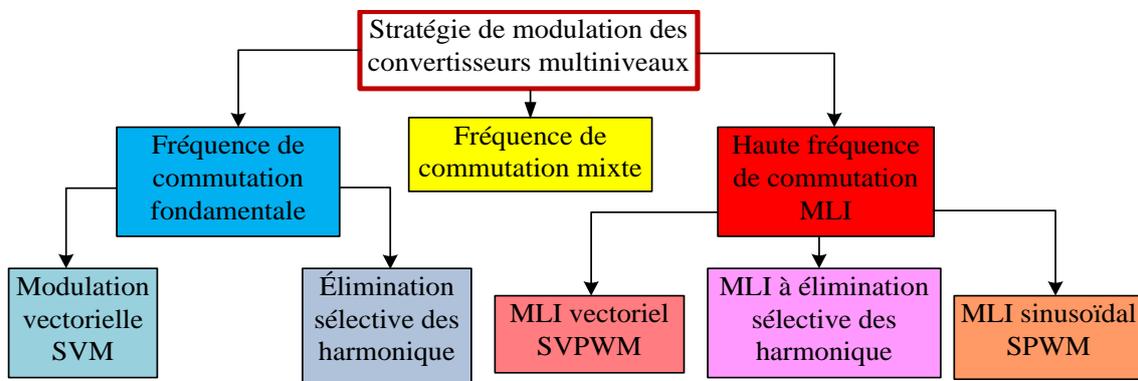


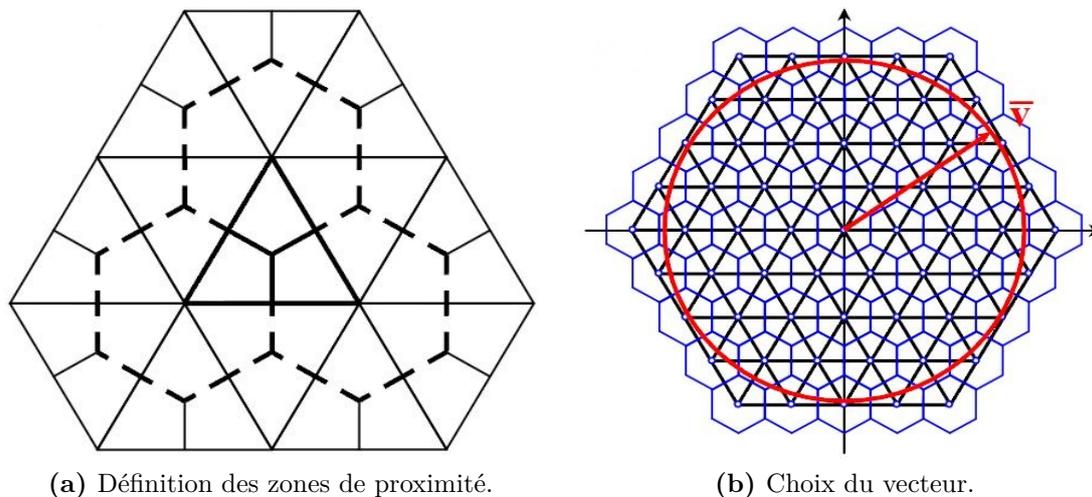
Figure 2.2: Classification des stratégies de commande des onduleurs multiniveaux.

### 2.3.2 Commutation à fréquence fondamentale

#### 1. Commutation à modulation vectoriel (SVM)

SVM, comme son nom l'indique est une technique de modulation vectorielle. Dans les vecteurs possibles peuvent être considérés comme les sommets d'une grille triangulaire. Dans la *figure 2.3(a)* un seul élément de cette grille à savoir un triangle équilatéral est mis en évidence. Ses médianes représentées sur la figure possèdent une propriété particulière : ils subdivisent le triangle en trois zones définissant les ensembles des points qui sont les plus proches de l'un des sommets. En dessinant les médianes de tous les triangles de la grille, crée des mailles hexagonales centrées en chaque sommet et détermine les ensembles de points les plus proches de chaque vecteur a généré.

La *figure 2.3(b)* montre les mailles hexagonales d'un convertisseur 5-niveaux, ainsi que tous les triangles équilatéraux de la grille et le vecteur générique  $V$ . certes, le vecteur  $V$  se mettra dans l'une des régions hexagonales déterminant, de cette façon son plus proche vecteur a généré qui doit être appliqué à la sortie. Dans une période de temps, comme dans le cycle MLI, SVM ne produit pas un vecteur de sortie ayant la même valeur de référence dc. Ceci détermine une erreur qui n'est pas compensée, mais le but de la modulation est de choisir parmi tous les vecteurs possible celui qui minimise l'erreur. Si la référence est un vecteur tournant à une vitesse angulaire constante la forme d'onde de



**Figure 2.3:** Principe de la modulation SVM d'un onduleur 5-niveaux.

tension de sortie sera en forme d'escalier symétrique.

Ce type de modulation est particulièrement adapté pour les convertisseurs multiniveaux à nombre de niveau élevé car plus en augmentant le nombre de niveau plus l'erreur devienne plus petite. Donc il n'est pas nécessaire d'utiliser un schéma de modulation plus complexe impliquant les trois vecteurs adjacents à la référence en raison de la forte densité des vecteurs présent de convertisseur multiniveaux lorsque leur nombre de niveau est assez élevé. De toute évidence la modulation vectorielle est certainement pas fiable quant il s'applique à un onduleur standard 2-niveaux ou même à un onduleur 3-niveaux en raison de l'ondulation sur la tension de sortie qui devient inacceptable [37]. En outre, la fréquence de commutation de chaque commutateur est égale au fondamentale, ce qui signifie moins de perte par commutation et la possibilité d'appliquer cette modulation, même à des dispositifs de commutation lents tels que des GTO (Gate Turn Off) pour les applications à haute puissance. Les performances de cette technique ont été comparées avec celle de la technique MLI dans [36] approuvant le bon comportement en termes de THD de la tension en utilisant un onduleur 11-niveaux triphasé composé de 5 ponts H monté en cascade pour chaque bras. Dans [38], SVM est utilisé pour contrôler des convertisseurs à source de courant, en utilisant des vecteurs de courant au lieu ceux de tension.

## 2. Modulation à élimination sélective des harmoniques

### a. Décomposition en série de Fourier

L'étude des signaux sinusoïdaux est essentielle car le théorème de Fourier, dont les hypothèses (fonction bornée, nombre fini de discontinuités sur une période) sont toujours vérifiées pour les signaux rencontrés en physique, permet de décomposer tout signal périodique en une somme de signaux sinusoïdaux.

Toute fonction réelle  $s(t)$  périodique, de fréquence  $f$ , peut s'écrire sous la forme d'une

somme infinie de fonctions sinusoïdales (série trigonométrique) (2.9) [11, 39] :

$$s(t) = a_0 + \sum_{n=1,3,5\dots}^{\infty} [a_n \cos(n\omega t) + b_n \sin(n\omega t)], \text{ avec } \omega = 2\pi f \quad (2.9)$$

Les coefficients  $a_n$  et  $b_n$  sont réels et peuvent être calculés à partir des expressions suivantes (2.10) [11, 39] :

$$\begin{cases} a_0 = \frac{1}{T} \int_0^T s(t) dt \\ a_n = \frac{2}{T} \int_0^T s(t) \cos(n\omega t) dt \text{ et } b_n = \frac{2}{T} \int_0^T s(t) \sin(n\omega t) dt \end{cases} \quad (2.10)$$

D'après l'équation (2.10), la constante  $a_0$  représente la valeur moyenne du signal  $s(t)$  on l'appelle constante continue du signal périodique.

La fréquence  $f_1 = f$  est la fréquence du fondamental, ou la fréquence de l'harmonique du rang 1 ( $n = 1$ ) et la fréquence  $f_n = nf_1$  correspond à la fréquence de l'harmonique d'ordre  $n$ .

Si une fonction périodique contient certaines symétries, le calcul des coefficients de Fourier peut être grandement simplifié. Par exemple, une fonction périodique pourrait posséder la symétrie impaire. Dont la fonction impaire est défini par l'équation (2.11).

$$f(t) = -f(-t) \quad (2.11)$$

Pour les fonctions périodiques avec la symétrie impaire, les équations déterminant les coefficients de Fourier peuvent être simplifiées aux expressions suivantes (2.12) [11, 39] :

$$a_0 = 0 \quad (2.12a)$$

$$a_n = 0 \quad \text{quel que soit } n \quad (2.12b)$$

$$b_n = \frac{4}{T} \int_0^{T/2} f(t) \sin(2\pi ft) dt \quad (2.12c)$$

Quand une fonction périodique est impaire, on remarque trois points. Premièrement la valeur moyenne est nulle. Deuxièmement la décomposition en série de Fourier d'une fonction périodique impaire ne comporte que des termes en sinus équation (2.12c). En outre, afin de déterminer l'amplitude de ces fonctions de sinus, on doit seulement intégrer sur une demi-période du fondamental.

### ***b. Application aux onduleurs multiniveaux***

Afin de supprimer certain harmoniques d'un signal, les équations harmoniques seront écrites en fonction des angles de commutation d'onduleur multiniveaux.

Avant de prévoir les coefficients de Fourier correspondant à ce fonctionnement périodique particulier, on devrait d'abord voir si la fonction possède n'importe quelle symétrie. Car on peut voir de la figure 1.2(b) que la fonction périodique possède la symétrie d'un quart de période en plus elle est impaire.

Puisque la sortie de l'onduleur multiniveaux est impaire et possède une certaine symétrie, les équations (2.12) peuvent être employés en prévoyant les coefficients de Fourier. Pendant qu'on peut voir de ces équations, que seulement les harmoniques impairs de sinus peuvent être différents de zéro. On prend  $wt = 2\pi f_1 t$ , l'équation (2.12c) deviendra (2.13).

$$b_n = \frac{4}{\pi} \int_0^{\pi/2} f\left(\frac{wt}{2\pi f_1}\right) \sin(nwt) d(wt) \quad (2.13)$$

Utilisant la sortie de l'onduleur multiniveaux donné sur la *figure 1.3(b)*, on aura donc l'équation (2.14) :

$$b_n = \int_{\theta_1}^{\theta_2} \frac{4}{\pi} (E) \sin(nwt) d(wt) + \int_{\theta_2}^{\theta_3} \frac{4}{\pi} (2E) \sin(nwt) d(wt) + \int_{\theta_3}^{\pi/2} \frac{4}{\pi} (3E) \sin(nwt) d(wt) \quad (2.14)$$

Où  $\theta_1$ ,  $\theta_2$  et  $\theta_3$  sont les angles de commutation et  $E$  la tension d'entrée de chaque pont H. en intégrant l'équation (2.14) on aura l'équation (2.15) :

$$b_n = -\frac{4}{\pi} (E) [\cos(nwt)]_{\theta_1}^{\theta_2} - \frac{4}{\pi} (2E) [\cos(nwt)]_{\theta_2}^{\theta_3} - \frac{4}{\pi} (3E) [\cos(nwt)]_{\theta_3}^{\pi/2} \quad (2.15)$$

$$b_n = \frac{4}{\pi n} E [\cos(n\theta_1) - \cos(n\theta_2)] + \frac{4}{\pi n} (2E) [\cos(n\theta_2) - \cos(n\theta_3)] + \frac{4}{\pi n} (3E) [\cos(n\theta_3) - \cos(n\frac{\pi}{2})] \quad (2.16)$$

Finalement, pour (n) nombre entier et impaire  $\cos(n\frac{\pi}{2}) = 0$ , donc on aura l'équation (2.17) :

$$b_n = \frac{4}{\pi n} E [\cos(n\theta_1) + \cos(n\theta_2) + \cos(n\theta_3)] \quad (2.17)$$

### c. Tests de la modulation SHE par simulation

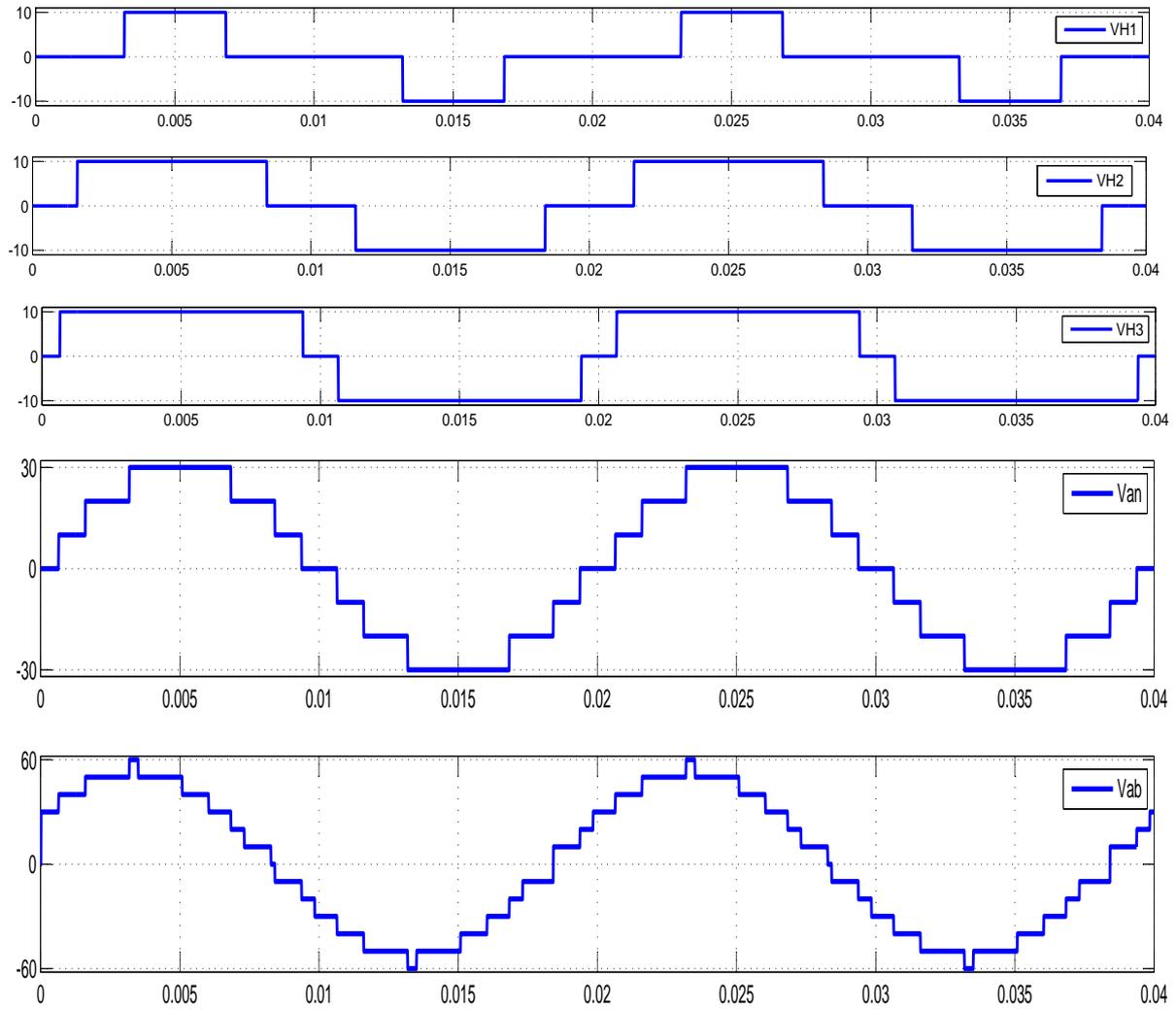
La modulation en escalier peut être implémenté facilement dans l'onduleur pont en H cascadié (CHB cascade H-bridge) due à sa structure unique [40]. Le principe de cette modulation est illustré à la *figure 2.4*, où  $V_{H1}$ ,  $V_{H2}$ , et  $V_{H3}$  sont les tensions de sortie de chaque pont H d'un bras d'onduleur à 7-niveaux présenté sur la *figure 2.1*. La tension  $V_{an}$  de la phase de l'onduleur est une onde sous forme d'escalier de 7-niveaux.

La forme d'onde de  $V_{an}$  peut être exprimée en termes de série de Fourier équation (2.18) en se basant sur l'équation (2.17) :

$$V_{an} = \frac{4E}{\pi} \sum_{n=1,3,5,\dots}^{\infty} \frac{1}{n} \{\cos(n\theta_1) + \cos(n\theta_2) + \cos(n\theta_3)\} \sin(nwt) \quad (2.18)$$

$$\text{avec } 0 \leq \theta_1 \leq \theta_2 \leq \theta_3 \leq \pi/2$$

Où  $n$  est l'ordre harmonique, et  $\theta_1$ ,  $\theta_2$  et  $\theta_3$  sont les angles de commutation indépendante.



**Figure 2.4:** Résultats de simulation de la modulation à élimination sélective des harmoniques pour  $m_a = 0.8$ .

Le coefficient  $4E/\pi$  représente la valeur de crête de la tension fondamentale maximale  $\hat{V}_{(H,max)}$  d'une cellule à pont H, ce qui se produit quand l'angle de commutation  $\theta_1$  de  $V_{H1}$ , par exemple, réduit à zéro. Les trois angles indépendants peuvent être utilisés pour éliminer deux harmoniques en  $V_{an}$  et aussi assuré un indice de réglage ajustable, défini par (2.19) :

$$m_a = \frac{\hat{V}_{an}}{H \times \hat{V}_{H,max}} = \frac{\hat{V}_{an}}{H \times 4E/\pi} \quad (2.19)$$

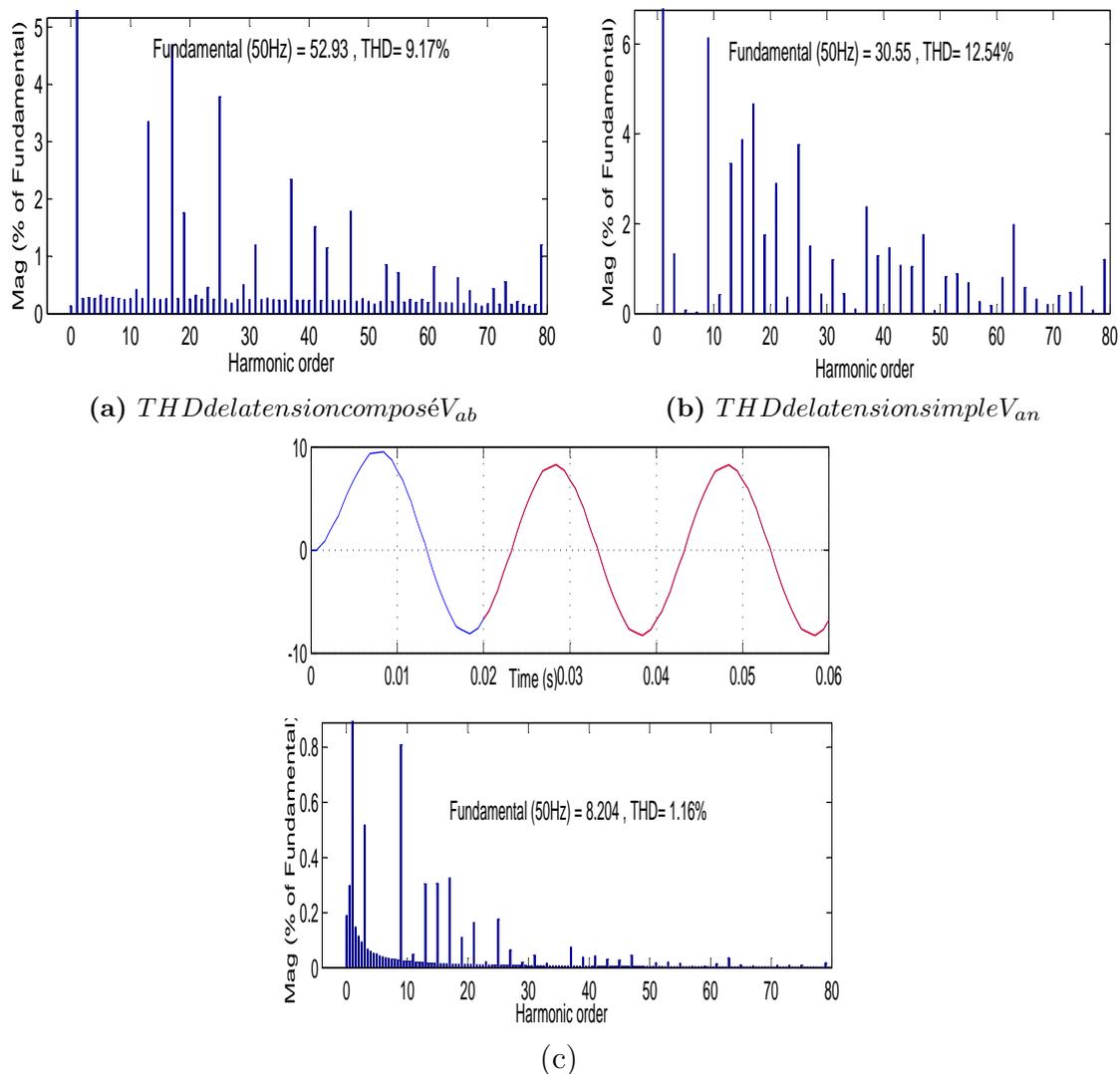
Où  $\hat{V}_{an}$  la valeur crête de fondamentale de la phase de tension  $V_{an}$  de l'onduleur et H est le nombre de pont H par phase. Pour un onduleur 7-niveaux CHB avec l'élimination de 5<sup>ème</sup> et 7<sup>ème</sup> harmonique, les équations suivantes peuvent être formulées (2.20).

$$\begin{aligned} \cos(\theta_1) + \cos(\theta_2) + \cos(\theta_3) &= 3m_a \\ \cos(5\theta_1) + \cos(5\theta_2) + \cos(5\theta_3) &= 0 \\ \cos(7\theta_1) + \cos(7\theta_2) + \cos(7\theta_3) &= 0 \end{aligned} \quad (2.20)$$

Après la résolution de se système d'équation non linéaire avec la méthode de Newton-Raphson on a les angles de commutation suivants (2.21) :

$$\theta_1 = 11.504^\circ, \theta_2 = 28.717^\circ, \theta_3 = 57.106^\circ \quad \text{pour } m_a = 0.8 \quad (2.21)$$

La forme d'onde de la tension de sortie de l'onduleur basé sur les donné de (2.21) est montré sur la figure 2.4, et son spectre harmonique est illustré à la figure 2.5(a),(b). L'analyse harmonique de la tension  $V_{an}$  ne contient pas le 5<sup>ème</sup> et 7<sup>ème</sup> harmoniques, donc sont THD est 12.54%. La tension entre phase  $V_{ab}$  de l'onduleur n'a aucun harmonique de multiple 3 comme le 3<sup>ème</sup>, 9<sup>ème</sup>, et 15<sup>ème</sup>, ayant pour résultat une autre réduction de THD égal à 9.17%. La figure 2.5(c) illustre la forme d'onde du courant de la phase (a) ainsi que son spectre harmonique, le THD de courant est 1.16%.



**Figure 2.5:** Résultats de simulation d'un onduleur CHB avec la commande élimination sélective des harmoniques pour  $m_a = 0.8$ .

Le système de modulation en escalier est simple à implémenter. Tous les angles de commutations peuvent être calculé hors-ligne et (entreposer) mémoriser dans un tableau pour une implémentation numérique. Comparé à MLI sinusoidale, SHE comporte moins de

perte par commutation puisque tout les IGBTs fonctionnent à fréquence fondamentale. Il ne vaut rien que les équations telles que (2.20) pour le calcul des angles de commutation sont non linéaires et transcendantales, et elles ne peuvent pas toujours avoir ainsi une solution admissible au dessus de la plage  $m_a$  [40]. Dans ce cas, les angles de commutation devraient être calculer pour minimiser l'importance de ces harmoniques qui ne peuvent pas être éliminés.

### 2.3.3 Modulation à fréquence de commutation mixte

Les convertisseurs multiniveaux hybrides des fois nécessitent des stratégies de modulation différentes pour les différentes étapes qui les composent. Par exemple, un convertisseur pont en H cascadié composé d'un étage GTO et d'un étage IGBT peut nécessiter deux différentes stratégies de commutation, une pour la haute fréquence et une pour la basse fréquence pour les différentes étages. De cette manière, la forme d'onde de sortie, étant la somme des sorties de chaque étage, présente les deux fréquences de son contenu harmonique. Dans [41] une modulation de fréquence mixte est présentée pour le convertisseur hybride pont en H cascadié 5-niveau représenté dans la *figure 2.6(a)*. Il est constitué d'une cellule IGBT et une autre cellule GTO en cascade. Les GTO sont prévus pour le double de la tension d'IGBT, de sorte que la tension totale maximale est  $3E$ , où  $E$  est la tension du circuit intermédiaire de la cellule IGBT. De cette façon, l'étage de GTO peut fournir jusqu'à  $2E$ . La *figure 2.6(b)* et *(c)* montrent, la référence et les formes d'onde de sortie des étages basse fréquence et haute fréquence respectivement. L'étage à basse fréquence est modulée en comparant la référence total avec deux niveaux fixes :  $+1$  et  $-1$  par unité. Lorsque la référence totale  $V_r$  est supérieure à 1 le pont GTO produit la tension maximale,  $2E$ . Lorsque la référence totale est comprise entre 1 et  $-1$ , le pont GTO produit une tension nulle. Enfin, lorsque la référence est inférieure a  $-1$ , la sortie des GTOs est  $-2E$ . De cette façon, la forme d'onde échelonnée illustré à la *figure 2.6(d)* est obtenue. La sortie totale  $V_0$  est défini comme étant la somme des sorties des deux étages, haute fréquence et basse fréquence montré à la *figure 2.6(d)*.

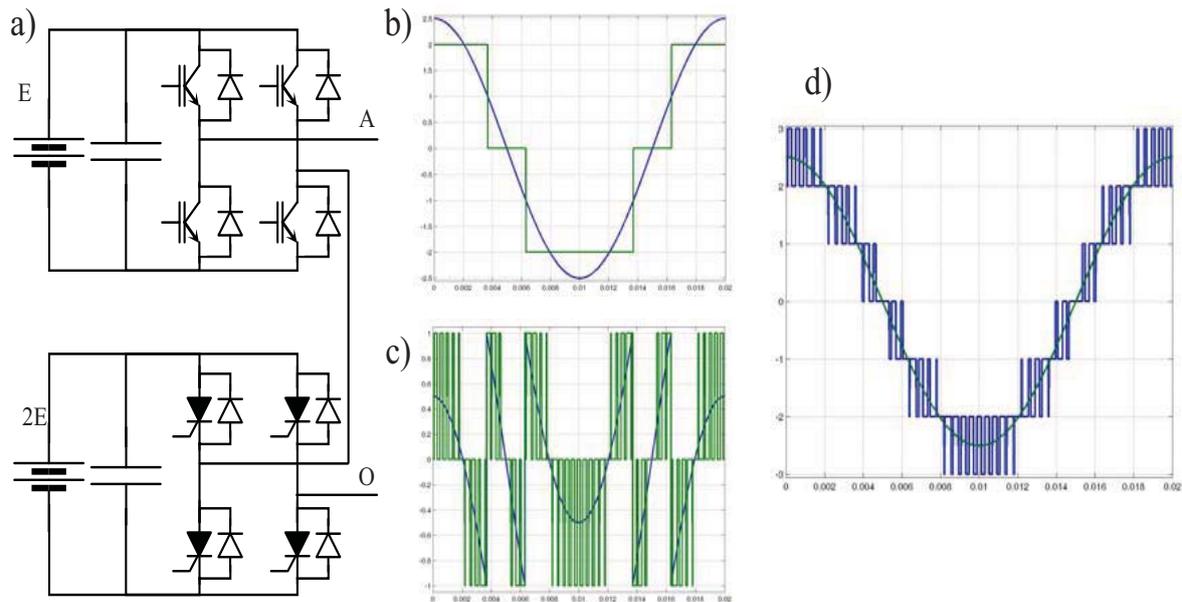
Cette méthode est utile lorsque le rapport entre les tensions du bus continu des différentes étapes est bien défini. Dans la présente application, le bon rapport est de  $1/2$ , car toutes les références totales entre 3 et  $-3$  peuvent être continuellement générées. En effet, si la tension du bus continu du pont IGBT était  $0.5E$  et la tension continue du pont GTO était  $2E$ , il serait impossible de générer une référence égale à  $E$  [40].

L'avantage de cette technique de modulation est la puissance élevée, il permet de commander en exploitant les différents types de dispositifs. En outre, le signal de sortie présente un très bonne THD, même si elle est composée des harmoniques de basses fréquences [40].

### 2.3.4 Commutation à haute fréquence

#### 1. Commutation à MLI vectorielle (SVPWM)

Une technique de contrôle alternative pour les onduleurs multiniveaux est connue sous le nom MLI vectorielle (SVPWM) qui utilise directement la variation de la commande



**Figure 2.6:** Modulation hybride (a) convertisseur hybride, (b) tension de sortie et référence de l'étage basse fréquence (c) tension de sortie et référence de l'étage haute fréquence (d) tension de sortie totale et référence.

donné par le système de contrôle et identifie chaque vecteur de commutation comme un point dans l'espace complexe  $(\alpha, \beta)$ .

Le THD obtenu par SVPWM est plus meilleur que la commande par commutation SPWM. En plus la valeur de crête maximale de la tension de sortie est 15% plus grande que celle obtenue par la technique basée sur les porteuses triangulaires. L'identification des combinaisons de commutation des interrupteurs et les valeurs des vecteurs tensions associées rendent la méthode SVPWM compliquée. Quoique la difficulté de déterminer les vecteurs et les séquences de commutation augmente suivant l'augmentation de niveaux de l'onduleur, la réalisation des DSP et les microprocesseurs fournissent la solution appropriée [35].

En termes de rendement, la technique SVPWM fait l'unanimité des chercheurs par rapport à celle de la PWM. Car les tensions maximales fournies par un onduleur commandé avec la technique SVPWM sont supérieures à celui commandé avec celle de la PWM. On a (2.22) [42] :

$$V_{max(PWM)} = V_{dc}/2 \text{ et } V_{max(SVPWM)} = V_{dc}/\sqrt{3} \quad (2.22)$$

Cela signifie qu'avec la SVPWM, on est capable d'avoir une tension de 15% de  $V_{dc}$  de plus que la PWM. Cependant l'algorithme SVPWM est plus complexe que celui de la PWM à cause du nombre élevé des états de commutation.

Cet algorithme est constitué de cinq étapes essentielles. Au niveau de chaque étape, il existe plusieurs méthodes de calcul. Les étapes sont les suivantes :

- Calcul du secteur ;

- Calcul de la région ;
- Calcul des temps de commutation ;
- Calcul des séquences de commutation ;
- Génération des signaux PWM.

Ces dix dernières années, les chercheurs s'intéressent de plus en plus à la commande SVPWM multi-niveaux. C'est ainsi que plusieurs articles ont été rédigés dans ce cadre. Cependant beaucoup de chemin reste encore à parcourir surtout quant il s'agit pour une implémentation dans les carte FPGA. [42] dans sa thèse il a relevé un certain nombre de problèmes qui font encore objet d'études dont il est important de noter ici. Il s'agit de :

- La détermination exacte du numéro de la région du secteur à tous les instants  $t$  précis ;
- La détermination de l'ordre des états de commutation ;
- La détermination d'une formule générale permettant de calculer automatiquement les régions et générer les différents vecteurs espaces correspondants quelque soit le niveau de l'onduleur sans avoir à les écrire manuellement.

## 2. Modulation de largeur d'impulsion sinusoïdale (SPWM)

La technique SPWM est l'une des techniques de modulation les plus populaires appliqués aux onduleurs multiniveaux. Dans SPWM, une onde de tension sinusoïdale appelée référence est comparé avec une onde triangulaire appelée porteuse pour générer les signaux de gâchette des interrupteurs de l'onduleur. La dissipation d'énergie est l'un des enjeux les plus importants dans les applications à haute puissance. La méthode de contrôle SPWM à fréquence fondamentale a été proposé pour minimiser les pertes par commutation. Les méthodes de contrôle SPWM multi-porteuses sont aussi implémenté pour augmenter les performances des onduleurs multiniveaux et ils ont été classifiés suivant l'arrangement de signal de porteuse en vertical ou horizontal. Les techniques de distribution verticales de porteuse sont définies comme : dissipation en phase (PD phase dissipation), dissipation en opposition de phase (POD phase opposition dissipation), et dissipation en opposition alternative de phase (APOD Alternative Phase Opposition Dissipation), alors que l'arrangement horizontal est connu en tant que technique de commande à phase décalé (PS phase shifted) [35, 43].

### *a. Modulation multi-porteuses à phases décalés (PSPWM)*

En général, un onduleur multiniveaux à  $N$ -niveaux de tensions nécessite  $(N-1)$  porteuses triangulaires. Dans la modulation multi-porteuses à phases décalés, toutes les porteuses triangulaires ont la même fréquence et la même amplitude, mais il y a un déphasage entre deux onde porteuse adjacent, donné par (2.23) :

$$\varphi_{cr} = 360^\circ / (N - 1) \tag{2.23}$$

Le signal modulé est usuellement un signal sinusoïdal triphasé avec amplitude et fréquence ajustable. Le signal de gâchette est généré en comparant une onde sinusoïdale modulante avec des porteuses triangulaires.

La *figure 2.7* montre le principe de la modulation à phases décalés pour un onduleur CHB à 7-niveaux, où 6 porteuses triangulaires sont requises avec un déphasage de  $60^\circ$  entre chaque deux porteuses adjacentes.

Pour des ondes de modulation sinusoïdale triphasée, seulement une onde de modulation  $V_{ma}$  de la phase ( $a$ ) a été tracée en raison de simplification. Les porteuses  $V_{cr1}$ ,  $V_{cr2}$ , et  $V_{cr3}$  sont utilisées pour générées des commutations pour les interrupteurs de haut  $g_{11a}$ ,  $g_{21a}$ , et  $g_{31a}$  du bras gauche des ponts  $H_1$ ,  $H_2$ , et  $H_3$  de la *figure 2.1* respectivement. Les trois autres porteuses  $V_{cr1-}$ ,  $V_{cr2-}$ , et  $V_{cr3-}$  sont déphasées de  $180^\circ$  de  $V_{cr1}$ ,  $V_{cr2}$ , et  $V_{cr3}$  respectivement, produisent les commutations pour les interrupteurs supérieurs  $g_{12a}$ ,  $g_{22a}$  et  $g_{32a}$  de bras droit des ponts H.

Les signaux des gâchettes de tous les interrupteurs inférieurs des bras des ponts H ne sont pas représentés puisque ces interrupteurs fonctionnent d'une manière complémentaire avec les interrupteurs supérieurs correspondants.

Les commutations des interrupteurs de haut  $g_{11a}$  et  $g_{12a}$  du pont  $H_1$  sont générées en comparant  $V_{cr1}$  et  $V_{cr1-}$  avec la référence  $V_{ma}$ . La tension de sortie  $V_{H1}$  du pont  $H_1$  commute entre 0 et  $E$  dans la demi-période positif, et entre 0 et  $-E$  dans la demi-période négatif de la fréquence fondamental. Dans cette exemple, l'indice de modulation est  $m_f = f_{cr}/f_m = 3$ , et l'indice de réglage est :  $m_a = \hat{V}_{mr}/\hat{V}_{cr}$ .  $m_a = 0.8$ , où  $f_{cr}$  et  $f_m$  sont les fréquences de la porteuse et de la référence (modulante), et  $\hat{V}_{ma}$  et  $\hat{V}_{cr}$  sont les amplitudes de  $V_{ma}$  et  $V_{cr}$ , respectivement. La tension de phase de l'onduleur peut être trouvé comme suit (2.24) :

$$V_{an} = V_{H1} + V_{H2} + V_{H3} \quad (2.24)$$

Où  $V_{H1}$ ,  $V_{H2}$ , et  $V_{H3}$  sont les tensions de sortie des ponts  $H_1$ ,  $H_2$ , et  $H_3$  respectivement. Il est claire que la forme d'onde de la tension de phase de l'onduleur est formé par 7-niveaux de tension  $3E$ ,  $2E$ ,  $E$ ,  $0$ ,  $-E$ ,  $-2E$ , et  $-3E$ . La *figure 2.7* montre la forme d'onde de la tension et son contenu harmonique pour un onduleur multiniveaux opérant sous les conditions suivantes :  $f_m = 50Hz$ ,  $m_f = 9$  et  $m_r = 1.0$ . La fréquence de commutation peut être calculé comme suit :  $f_{cm,int} = f_{cr} = f_m \times m_f = 450Hz$ . Qui est une valeur typique pour un dispositif de commutation dans des conversions à haute puissance [40].

La forme d'onde de  $V_{H1}$ ,  $V_{H2}$ , et  $V_{H3}$  sont quasiment identique excepté un petit déphasage causé par les porteuses à phases décalés. La forme d'onde de  $V_{an}$  est composée de 7-niveaux de tension avec une amplitude de  $3E$ . Comme les IGBT's ne commute pas simultanément dans les différents ponts H, le changement de l'amplitude de la phase de tension pendant la commutation est seulement  $E$ . cela amène a un faible  $dV/dt$  et la réduction d'interférence électromagnétique (EMI) [40]. La tension entre phase  $V_{ab}$  à 13-niveaux de tension avec une amplitude de  $6E$ .

Le spectre des harmoniques des tensions  $V_{an}$  et  $V_{ab}$  ainsi que le spectre des harmoniques du courant de phase  $i_a$  sont montrés à la *figure 2.8(a)*, *(b)*. La tension de phase  $V_{an}$

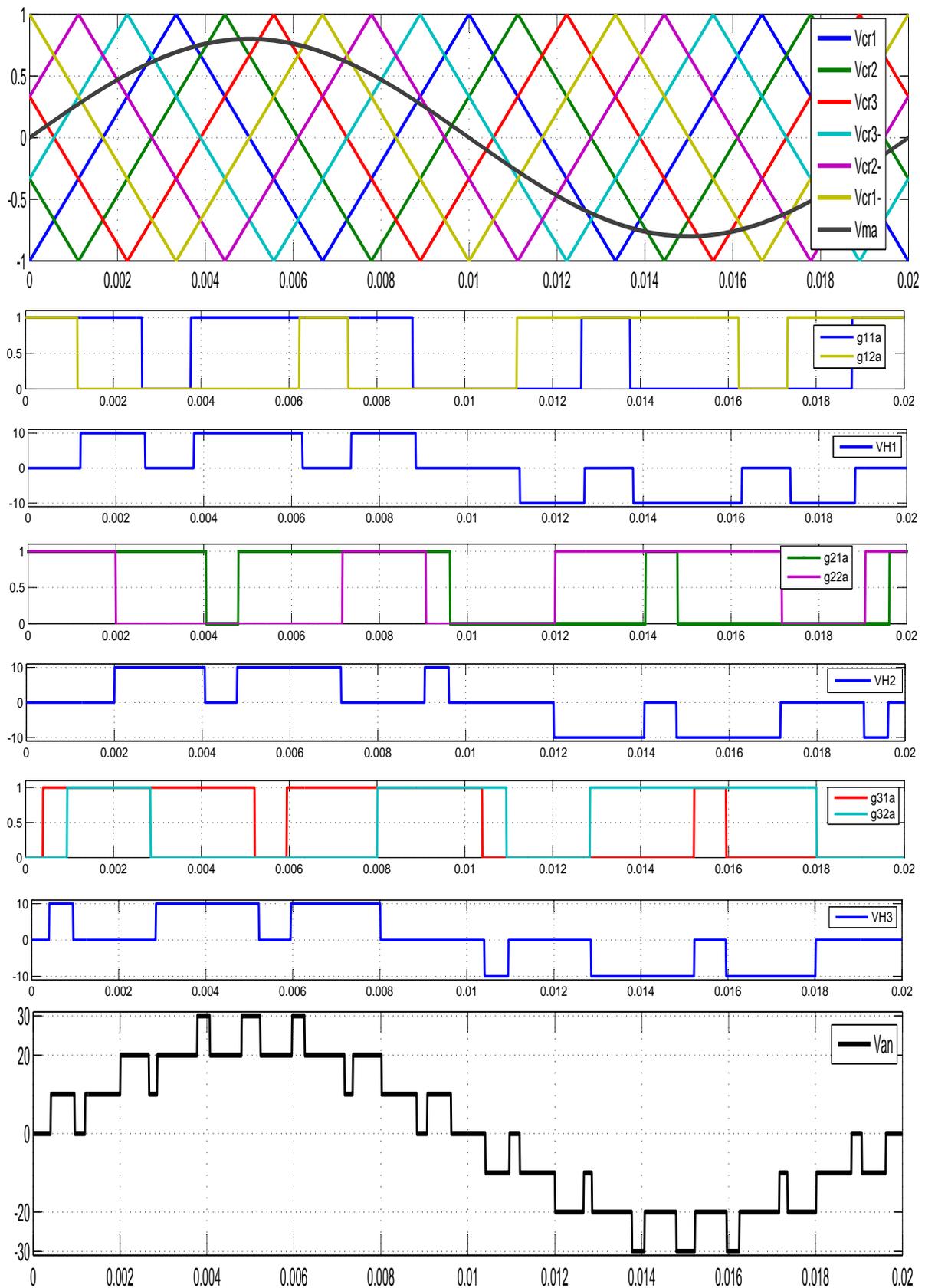
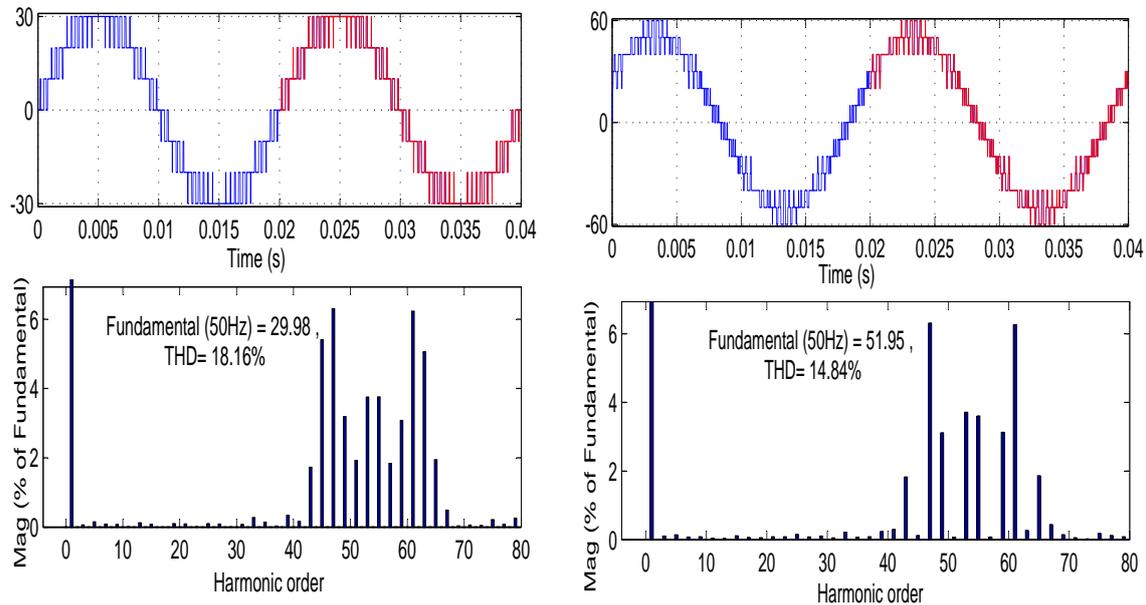
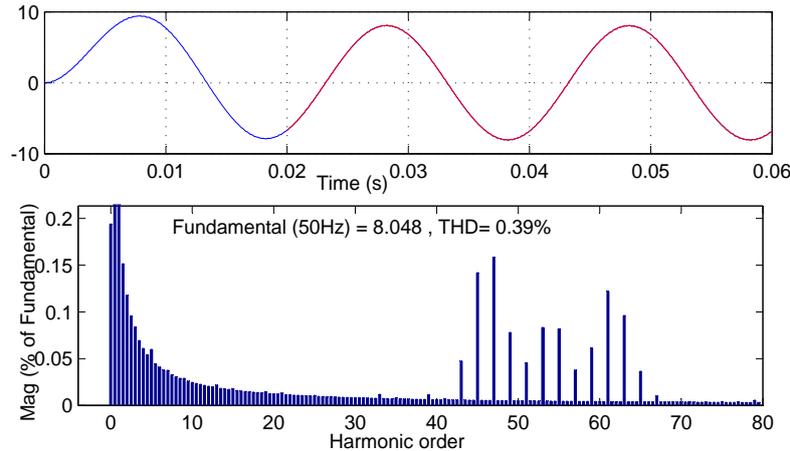


Figure 2.7: MLI à phases décalés pour un onduleur CHB 7-niveaux ( $m_f = 3$ ,  $m_a = 0.8$ ,  $f_m = 50Hz$  et  $f_{cr} = 150Hz$ ).

de L'onduleur ne contient aucun harmonique d'ordre inférieur a  $4m_f$  qui amène a une réduction significatif de THD.



(a) La tension  $V_{an}$  et sont spectre harmonique. (b) La tension  $V_{ab}$  et sont spectre harmonique.



(c) Le courant de phase et son spectre harmonique.

**Figure 2.8:** Résultat de simulation d'un onduleur CHB 7-niveaux avec MLI à phases décalés pour : ( $m_f = 9$ ,  $m_a = 1$ ,  $f_m = 50Hz$  et  $f_{cr} = 450Hz$ ).

Le THD de  $V_{an}$  est 18.16%. On remarque que  $V_{an}$  contient les harmoniques multiples de 3 tel que  $(6m_f \pm 3)$  et  $(6m_f \pm 9)$ . Néanmoins, ces harmoniques n'apparaissent pas dans la tension entre phase  $V_{ab}$  due à l'équilibrage du système triphasé, ayant pour résultat une réduction de THD à 14.84%.

Par contre on voit bien que le THD du courant de phase est faible 0.56% ce qui explique la bonne forme d'onde du courant (figure 2.8(c)).

La fréquence de l'harmonique dominant de la tension de sortie de l'onduleur représente la fréquence de commutation de l'onduleur  $f_{cm,ond}$ . Comme l'harmonique dominant dans  $V_{an}$  et  $V_{ab}$  dans la figure 2.8(a), (b) sont distribués autour de  $6m_f$ , la fréquence de commutation de l'onduleur peut être trouvé depuis  $f_{cm,ond} = 6m_f \times f_m = 6f_{cm,int}$ , qui est

six fois la fréquence de commutation des interrupteurs de puissance (dispositif de commutation). C'est une caractéristique technique désirable qui est atteinte par l'onduleur multiniveaux puisque une haute valeur de  $f_{cm,ond}$  permet d'avantage l'élimination des harmoniques dans  $V_{ab}$  alors qu'une basse valeur de  $f_{cm,int}$  aide à réduire les pertes par commutation des dispositifs de commutation. Généralement, la fréquence de commutation de l'onduleur utilisant la modulation à phases décalés est associée à la fréquence des dispositifs de commutation par (2.25) :

$$f_{cm,ond} - 2Hf_{cm,int} = (N - 1)f_{cm,int} \quad \text{avec } H = N^\circ \text{ de ponts} \quad (2.25)$$

Comme les composantes des harmoniques d'ordre élevé peuvent être atténué par filtrage ou charge inductifs seulement les harmonique dominants centré autour  $6m_f$  sont dessiné. Le  $n^{ème}$  harmonique de la tension  $V_{abn}$  ( $RMS$ ) est normalisé avec la considération de la tension  $dc$  total.

$$V_s = \frac{N - 1}{2} E \quad (2.26)$$

Pour un onduleur 7-niveaux :  $V_s = 3E$ . La tension maximal à fréquence fondamental est donné comme suit (2.27) [40] :

$$V_{ab,max} = 1.224V_s = 0.612(N - 1)E \quad \text{pour } m_a = 1 \quad (2.27)$$

### ***b. Modulation multi-porteuses à niveaux décalés***

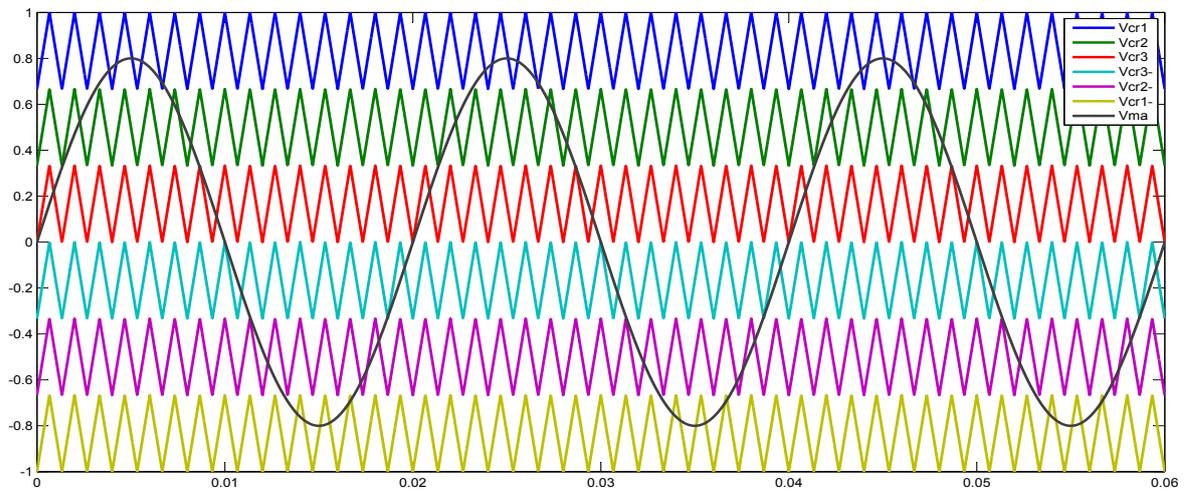
Comme la modulation à phases décalés, un onduleur CHB à N-Niveaux utilisant un système de modulation multi-porteuses requise  $(N - 1)$  porteuses triangulaires, ayant toute la même fréquence et même amplitude. Les  $(N - 1)$  porteuses triangulaires sont disposée verticalement. Tel que les bandes qu'elles occupent sont adjacentes. L'indice de modulation est donné par  $m_f = f_{cr}/f_m$ , qui reste le même que celui du système de modulation à phases décalés alors que l'indice de réglage est défini par (2.28) :

$$m_a = \frac{\widehat{V}_m}{\widehat{V}_{cr}(N - 1)} \quad \text{avec } 0 \leq m_a \leq 1 \quad (2.28)$$

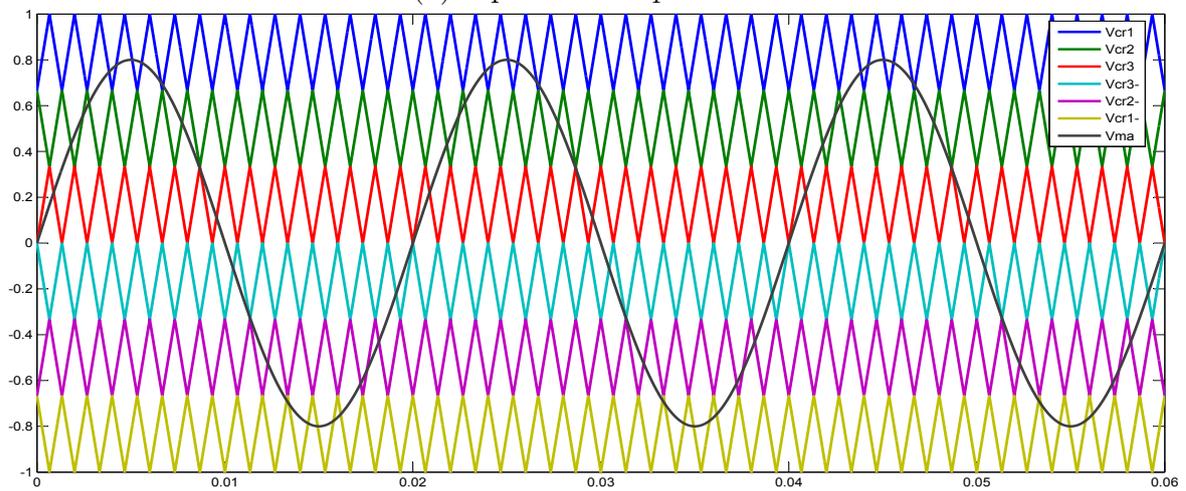
Avec  $\widehat{V}_m$  est l'amplitude de la modulante  $V_m$  (signal de référence) et  $\widehat{V}_{cr}$  est l'amplitude de chaque onde porteuse.

La figure 2.9 montre trois systèmes de modulation multi-porteuses à niveaux décalés. (a) disposition en phase (PDPWM phase disposition) où toute les porteuses sont en phase, (b) disposition opposé alternative de phase (APODPWM) où toute les porteuses sont alternativement disposé en opposé, et (c) disposition en opposé de phase (POD) où toute les porteuses de haut de zéros de la référence sont en phase mais en opposé avec celles en bas de zéros de référence. Pour ce qui suit, seulement le système de modulation PDPWM sera discute puisque il assure le meilleur profile harmonique de toute les trois systèmes de modulation [35, 44].

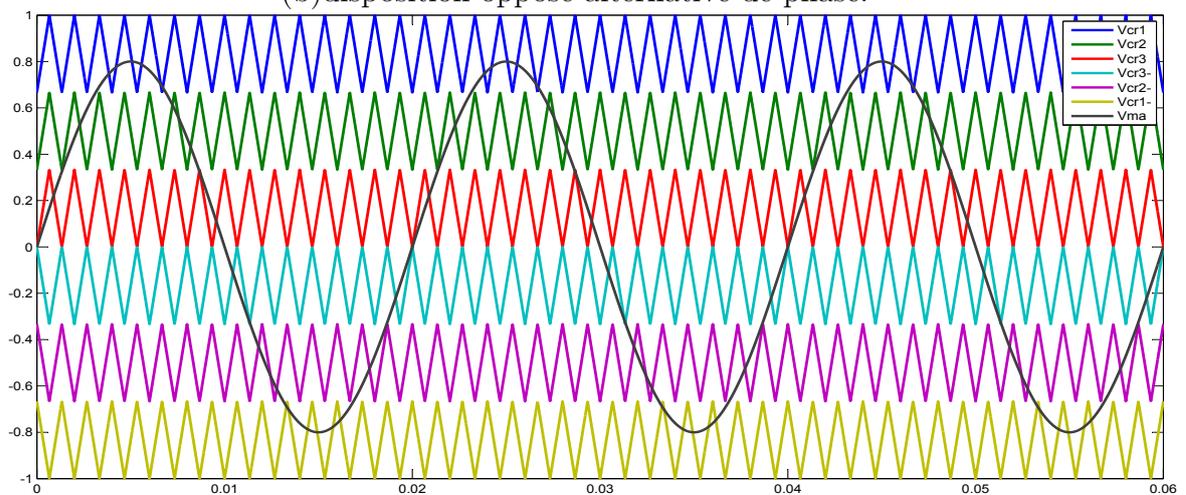
La figure 2.10 montre le principe de la modulation PDPWM pour un onduleur CHB à 7-niveaux fonctionnant sous les conditions suivantes :  $m_f = 18$ ,  $m_a = 0.8$ ,  $f_m = 50Hz$  et  $f_{cr} = f_m \times m_f = 900Hz$ .



(a) disposition en phase.

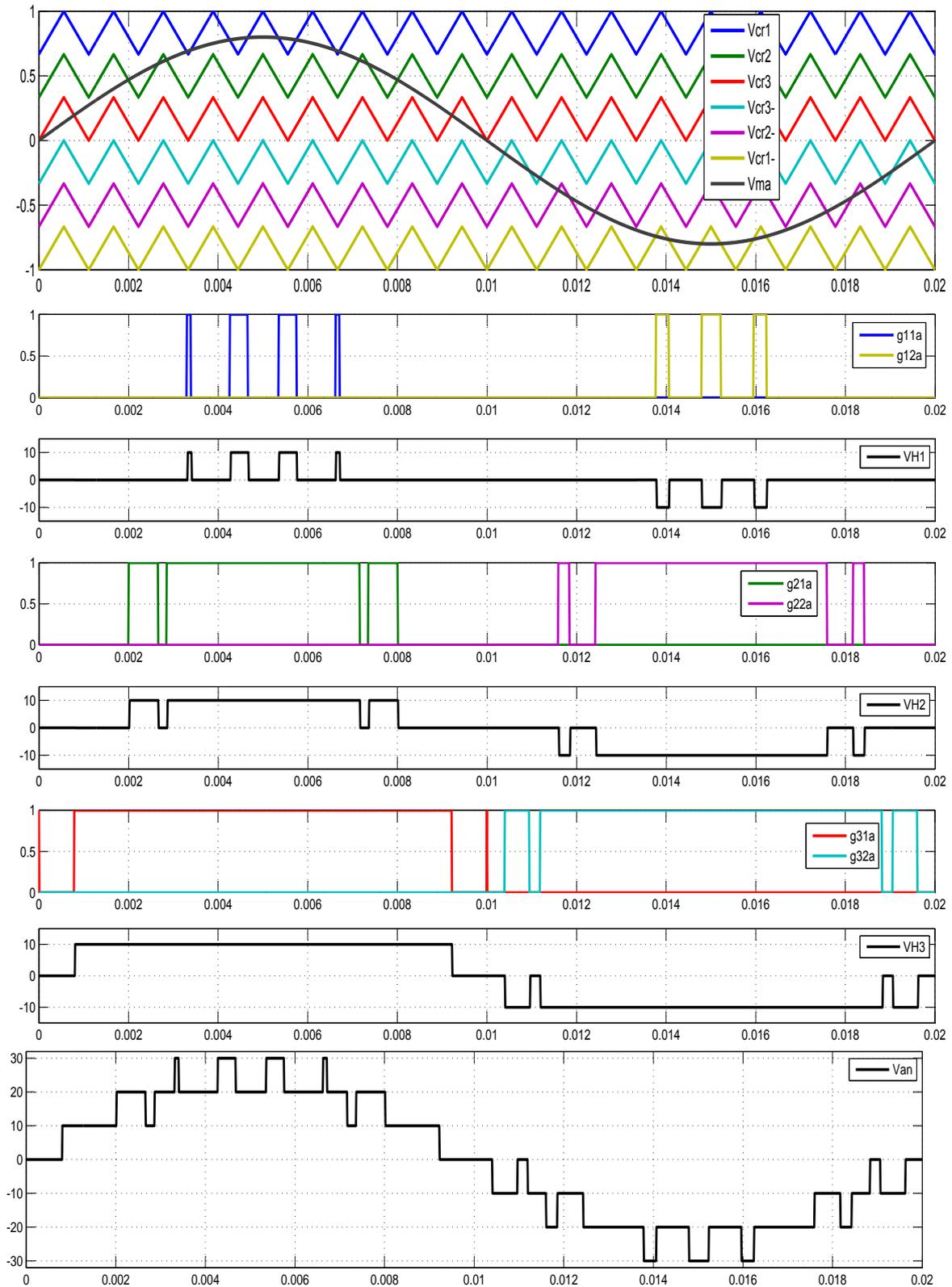


(b) disposition opposé alternative de phase.



(c) disposition en opposé de phase.

**Figure 2.9:** Les systèmes de modulation multi-porteuses à niveau décalé.



**Figure 2.10:** MLI à niveaux décalés pour un onduleur CHB 7-niveaux ( $m_f = 18$ ,  $m_a = 0.8$ ,  $f_m = 50Hz$  et  $f_{cr} = f_m \times m_f = 900Hz$ ).

Les deux porteuses,  $V_{cr1}$  et  $V_{cr1-}$  sont utilisées pour générer les commutations des interrupteurs  $g_{11a}$  et  $g_{12a}$  du pont  $H_1$  *figure 2.1*, les porteuses les plus intérieures,  $V_{cr3}$  et  $V_{cr3-}$  génèrent les commutation pour  $S_{31a}$  et  $S_{32a}$  de  $H_3$ , et les deux porteuse restantes  $V_{cr2}$  et  $V_{cr2-}$  sont pour  $g_{21a}$  et  $g_{22a}$  de  $H_2$ . Pour les porteuses de dessus de zéro de référence, les interrupteurs  $g_{11}$ ,  $g_{21}$ , et  $g_{31}$  sont à l'état passant (on) quand le signal de référence de la phase (a)  $V_{ma}$  est supérieur aux porteuses correspondantes. Pour les porteuses de dessous de zéro de référence ( $V_{cr1-}$ ,  $V_{cr2-}$ , et  $V_{cr3-}$ ), les interrupteurs  $g_{12}$ ,  $g_{22}$ , et  $g_{32}$  sont à l'état passant quant le signal de référence de la phase (a) est inférieur aux porteuses correspondantes. Les signaux des gâchettes des interrupteurs inférieurs de chaque pont H sont complémentaire à leur correspondant supérieurs, et aussi pour des raisons de simplicité ces signaux ne sont pas représenté. Les tensions de sortie des ponts H résultantes  $V_{H1}$ ,  $V_{H2}$  et  $V_{H3}$  sont toutes unipolaire (*figure 2.10*). La tension de phase  $V_{an}$  de l'onduleur est formé de 7-Niveaux de tension.

Dans la modulation à phases décalés, la fréquence de commutation des dispositifs de commutation à savoir les interrupteurs de puissance est égale a la fréquence de la porteuse. Néanmoins, cette relation n'est plus tenue vraie pour la modulation PDPWM. Par exemple, avec une porteuse de fréquence de  $900Hz$  (*figure 2.10*), la fréquence de commutation des interrupteurs de puissance du pont  $H_1$ , est seulement  $150Hz$ , qui est obtenu par le nombre d'impulsion par cycle multiplie par la fréquence de la référence (modulante)  $50Hz$ . Par ailleurs, la fréquence de commutation des commutateurs n'est pas la même dans différents ponts H, les commutateurs de  $H_3$  sont activé (met a l'état 1), et désactivé (met a l'état 0) qu'une seul fois par cycle, qui se traduit par la fréquence de commutation de  $50Hz$ . en générale, la fréquence de commutation d'un onduleur utilisant la modulation à niveaux décalé est égal à la fréquence des porteuses, qui est (2.29) :

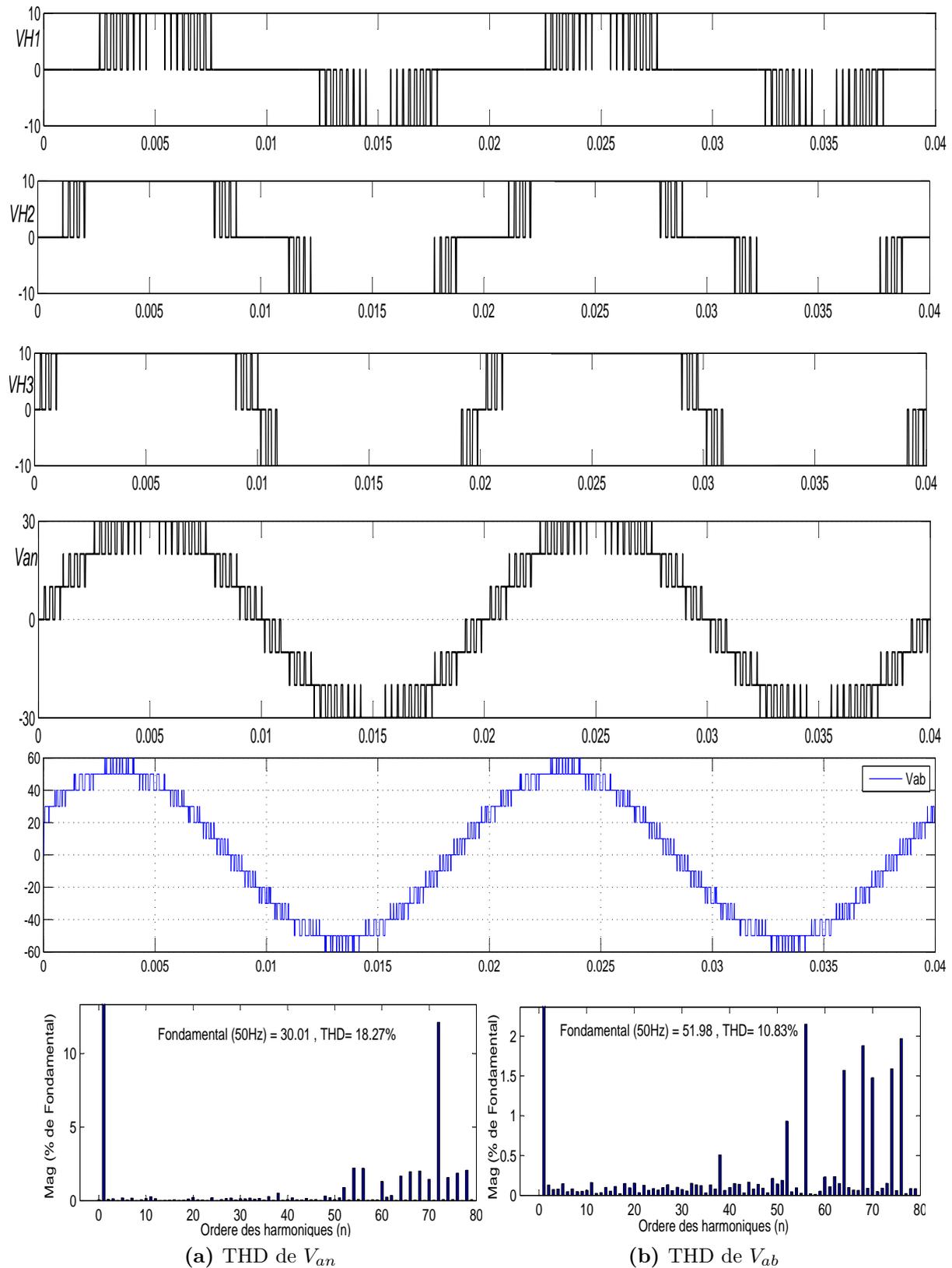
$$f_{cm,ond} = f_{cr} \quad (2.29)$$

A partir de laquelle la fréquence de commutation moyenne des interrupteurs de puissance est (2.30) :

$$f_{cm,int} = f_{cr}/(N - 1) \quad (2.30)$$

En plus l'inégalité des fréquences de commutation des dispositifs de commutation, le temps de conduction des dispositifs de commutation n'est pas réparti uniformément. Par exemple le dispositif  $g_{11}$  en  $H_1$  conduit beaucoup moins de temps que  $g_{31}$  en  $H_3$  pendant un cycle de la fréquence fondamentale. Pour répartir les pertes de commutation et de conduction, le modèle de commutation doit être équilibré entre les ponts H.

La *figure 2.11* montre les résultats de simulation d'un onduleur 7-niveaux fonctionnant sous les conditions suivantes :  $m_f = 72$ ,  $m_a = 1.00$ ,  $f_m = 50Hz$ , et  $f_{cr} = 3600Hz$ . Bien que la fréquence des porteuses ( $3600Hz$ ) semble élevée pour une grande puissance, la fréquence moyenne de commutation des dispositifs de commutation est seulement  $600Hz$ . Les tensions de sortie des ponts H ( $V_{H1}$ ,  $V_{H2}$ , et  $V_{H3}$ ) sont toutes différentes en terme de temps, ce qui signifie que les IGBT's fonction à des fréquences de commutation différentes avec des temps de conduction différents. Comme la formes d'onde de la tension produite par la modulation déphasée, la tension de phase  $V_{an}$  de l'onduleur est composée de 7-niveaux de tension tandis que la tension entre phase  $V_{ab}$  dispose de 13-niveaux de tension.

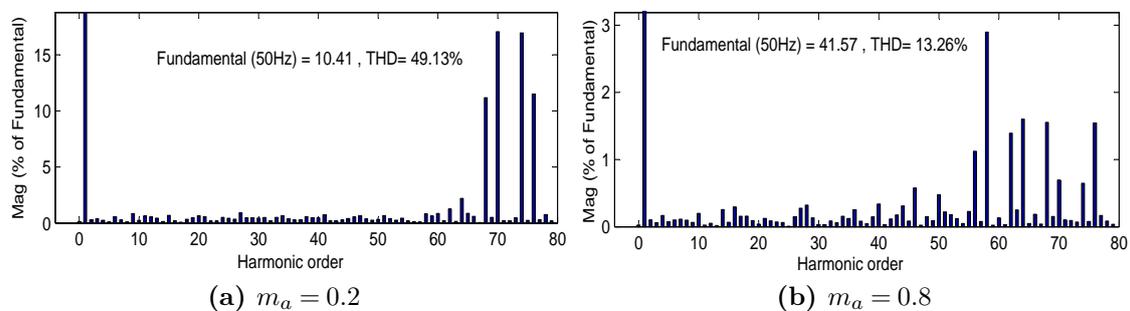


**Figure 2.11:** Résultat de simulation d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ ,  $m_a = 1$ ,  $f_m = 50\text{Hz}$  et  $f_{cr} = f_m \times m_f = 3600\text{Hz}$ ).

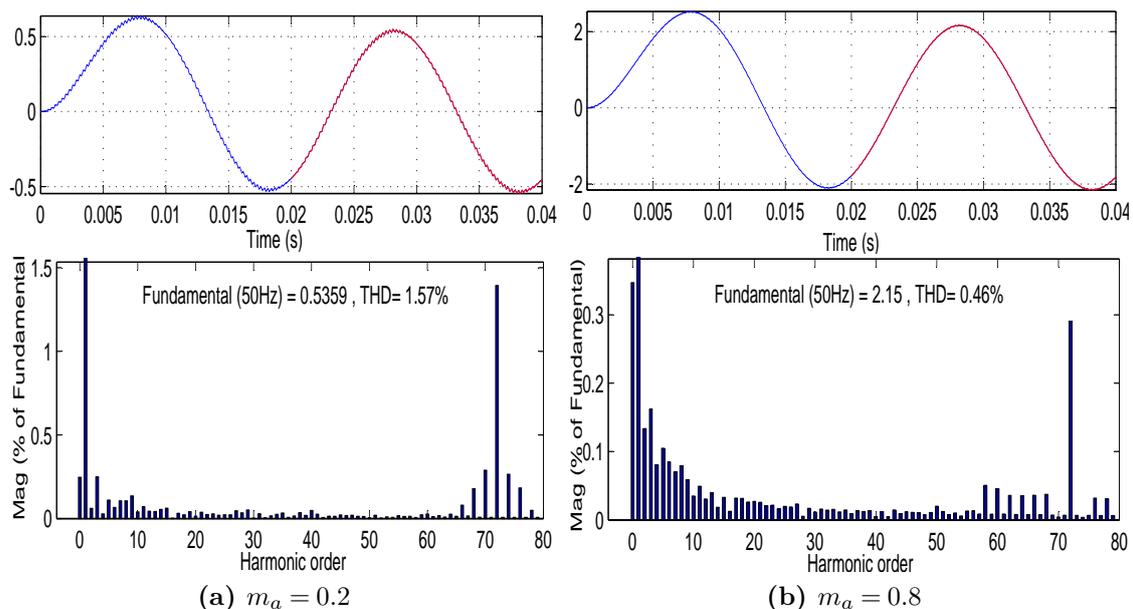
Les harmoniques dominants en  $V_{an}$  et  $V_{ab}$  apparaissent comme des bandes latérales centrées autour de  $m_f$ . La tension de phase de l'onduleur contient les harmoniques multiples de 3 tel que  $m_f$  et  $m_f \pm 6$ , avec  $m_f$  est le 1<sup>er</sup> harmonique dominant. Puisque ces harmoniques n'apparaissent pas dans la tension entre ligne, le THD de  $V_{ab}$  est seulement 10.83% comparé à 18.27% pour  $V_{an}$ .

Le spectre de  $V_{ab}$  pour d'autres indices de réglage est montré sur la *figure 2.12* le THD de  $V_{ab}$  monte à 49.13% pour  $m_a = 0.2$  et à 13.26% pour  $m_a = 0.8$ .

La *figure 2.13* montre la forme d'onde du courant de phase et son spectre harmonique pour deux indices de modulation différents à savoir  $m_a = 0.2$  et  $m_a = 0.8$ , on voit bien que le courant a moins d'harmoniques (0.46%) pour  $m_a = 0.8$  et son fondamentale présente une amplitude nettement plus importante à celle présentée par  $m_a = 0.2$  (2.15 pour  $m_a = 0.8$  et 0.53 pour  $m_a = 0.2$ ).



**Figure 2.12:** Contenu harmonique de la tension  $V_{ab}$  d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ ,  $f_m = 50Hz$  et  $f_{cr} = 3600Hz$ , et  $f_{cm,int} = 600Hz$ ).



**Figure 2.13:** La forme d'onde du courant de phase et son contenu harmonique d'un onduleur CHB 7-niveaux avec la modulation PDPWM ( $m_f = 72$ ,  $f_m = 50Hz$  et  $f_{cr} = 3600Hz$ , et  $f_{cm,int} = 600Hz$ ).

## 2.4 Conclusion

Dans ce chapitre on a présenté les principales stratégies de commande des onduleurs multiniveaux à savoir la modulation vectorielle, élimination sélective des harmoniques et MLI sinusoïdale. Une co-simulation Matlab-PSIM a été faite pour les commandes élimination sélective des harmoniques et MLI sinusoïdale appliqué à un onduleur 7-niveaux à structure pont H cascadié.

En comparant les deux commandes il est clair que la modulation SHE présente un meilleur THD de la tension par rapport à SPWM. On a le THD du courant diminue lorsque la fréquence de commutation augmente ce qui explique le bon THD de la commande SPWM. Cependant, si on compare les deux sous catégories de la commande MLI sinusoïdale PDPWM et PSPWM, on remarque que tous les dispositifs de commutation de la stratégie de commande MLI à phase décalée (PSPWM) fonctionnent à la même fréquence et ils conduisent avec une même période de conduction. Par contre, la stratégie de commande MLI à niveaux décalée PDPWM n'a pas cette caractéristique, donc on est obligé de prévoir une méthode qui va remédier à ce déséquilibre. Mais en termes de THD la modulation PDPWM a le meilleur THD que PSPWM. On a conclu de dernier test effectué que l'indice de réglage a beaucoup d'influence sur la tension et moins sur le courant.

Dans le chapitre suivant on va implémenter la commande élimination sélective des harmoniques dans une carte FPGA (Field-Programmable Gate Arrays) après avoir présenté cette dernière.

## **Chapitre 3**

# **Implémentation virtuel de la commande SHE sur la carte FPGA**

## 3.1 Introduction

Parmi les circuits logiques programmables utilisés dans la conversion multiniveaux on trouve les FPGA's. Dont les circuits FPGA sont constitués d'une matrice de blocs logiques programmables entourés de blocs d'entrée sortie programmable. L'ensemble est relié par un réseau d'interconnexions programmable. Les FPGA sont bien distincts des autres familles de circuits programmables tout en offrant le plus haut niveau d'intégration logique.

Dans ce chapitre on va présenter quelques généralités sur les cartes FPGA's à savoir architecture, configuration et types. Ensuite, L'algorithme à élimination sélective des harmoniques (SHE) sera implémenté dans une carte FPGA de type Spartan 3AN pour un onduleur à 7-niveaux de tension triphasé. Le modèle matériel proposée sera vérifié par une co-simulation entre trois logiciels (ModelSim, Matlab, et PSIM).

## 3.2 Circuits logiques programmables

Les circuits logiques programmables et reprogrammables architecturalement sont classifiés en trois grandes familles : PLD, CPLD et FPGA.

1. **PLD (Programmable Logic Device)** : Développés au début des années 70. Cette famille des circuits programmables comprend les PAL et GAL.
  - (a) *PAL (Programmable Array Logic)* : Circuits logiques programmables dans lesquels seules les fonctions ET sont programmables, les fonctions OU ne le sont pas (sont figés).
  - (b) *GAL (Generic Array Logic)* : Un GAL est un PAL effaçable électriquement.
2. **CPLD ou EPLD (Erasable Programmable Logic Device)** : PLD effaçables par rayons ultraviolet, ils peuvent être reprogrammés.
  - *EEPLD (Electrically Erasable PLD)* : Programmables et effaçables électriquement, ils peuvent être reprogrammés sur site. Les limites de l'architecture du PLD résident dans le nombre de bascules, le nombre de signaux d'entrées/sorties, la rigidité du plan logique ET, OU et des interconnexions. Précisant que ces composants très souples d'emploi sont limités à des fonctions numériques et adaptés à des productions de petites séries et ne présentent aucune garantie quant à la confidentialité.
3. **FPGA (Field Programmable Gate Array)** : Ces circuits sont une évolution des CPLD. Ce sigle en anglais signifie « réseau de portes programmable à la commande » désigne des composants à technologie RAM, largement utilisée à l'heure actuelle en électronique numérique. Cette technologie utilise des circuits comportant des réseaux de portes logiques non reliées entre elles. Les liaisons (interconnexions) choisies par l'utilisateur se font par programmation et peuvent même être reconfigurables. Un langage de description ou une saisie de schéma électrique est nécessaire, ce qui permet d'obtenir un fichier de configuration pour l'FPGA. Récemment, ils intègrent également des mémoires entières, des multiplieurs et même des noyaux de processeur.

### 3.3 Technologies de mémorisations

1. **Les ROM (Read Only Memory)** : Mémoires figées par le concepteur a lecteur seule et non modifiable.
2. **Les PROM (Prgrammable Read Only Memory)** : Mémoires programmables une fois par l'utilisateur avec un équipement spécialiser (tableau de fusibles).
3. **EPROM (Erasable Programmable Read Only Memory)** : Mémoires programmable électriquement et effacement par des rayons ultra-violets au bout d'un certain temps (quelques minutes).
4. **Les EEPROM (Electrically Erasable Programmable Read Only Memory)** : Mémoires programmables électriquement à lecteur seule, effaçables électriquement (Quelques millisecondes).
5. **Les mémoires FLASH** : Elles sont une version plus évoluer des EEPROM avec avantage d'être plus facile à programmer et à effacer.
6. **Les SRAM (Static Randon Mémory)** : Mémoire volatiles avec cellule de base à plusieurs transistors (accès rapide, consommation plus, coûteux). La volatilité correspond au nom disponibilité de l'information lorsqu'il n'y a pas d'alimentation.
7. **Les RAM dynamiques (DRAM)** : Mémoires volatiles qui nécessitent rafraichissement périodique de l'information afin de la conserver avec cellule de base à un transistor (densité, accès lent).

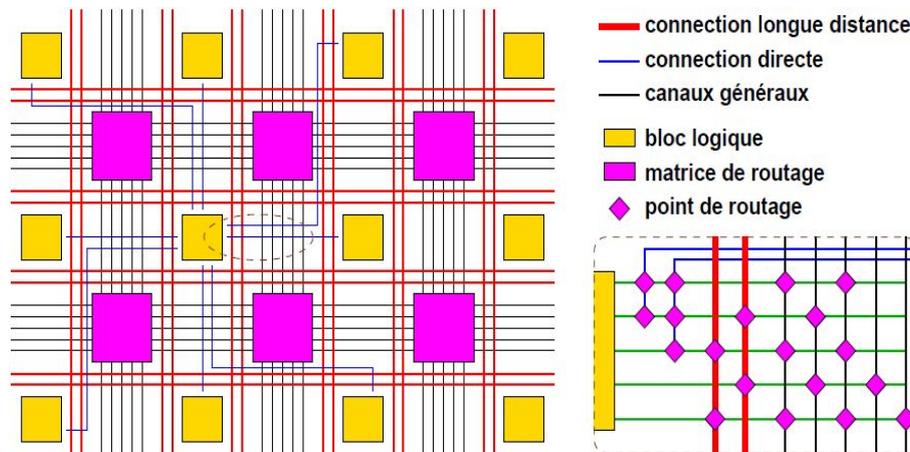
### 3.4 Architecture des FPGA's

Les FPGA's constituent une évolution des circuits logiques programmables CPLD's. Ils sont composés d'une matrice de blocs logiques programmables entourées de blocs d'entrées/sorties, l'ensemble est relié par un réseau d'interconnexion programmable [45]. Ces circuits comparés aux CPLDs utilisent des modules logiques beaucoup plus réduits mais beaucoup plus nombreux. Les interconnexions de ces modules ne sont pas centralisées comme les CPLDs [45]. La physionomie du réseau de routage est vue comme une multitude de segments métalliques (lignes) pouvant être reliés entre eux ou connectés en entrées ou en sorties des blocs logiques. Selon l'information véhiculée, on distingue plusieurs types de lignes définies par leur longueur relative. On trouve en effet (*figure 3.1*) :

1. Les interconnexions à usage général qui composées de segments verticaux et horizontaux qui entourent chaque CLB et qui peuvent être reliés entre eux par une matrice de commutation.
2. Les lignes directes fournissent des chemins entre les CLBs adjacents et les cellules d'entrées/sorties.
3. Les lignes longues qui sont des lignes verticales et horizontales qui n'utilisent pas de matrice de commutation. Elles parcourent toutes les zones d'interconnexion. Elles sont utilisées pour véhiculer les signaux qui doivent parcourir de long trajet. Ces lignes conviennent pour véhiculer les signaux d'horloge.

L'ensemble des points de connexion est appelé PIP (abréviation anglaise de Programmable Interconnect Points) et chaque point de connexion peut être réalisé selon deux techniques qui définissent deux classes de FPGAs (FPGAs à SRAM et à anti-fusible)[45].

Le temps de propagation dans les couches logiques de ce type de composant dépend des caractéristiques, des technologies d'interconnexion employées et du nombre d'interconnexions utilisées. La comparaison entre le circuit de routage des FPGA's et des CPLDs



**Figure 3.1:** Architecture interne d'un FPGA.

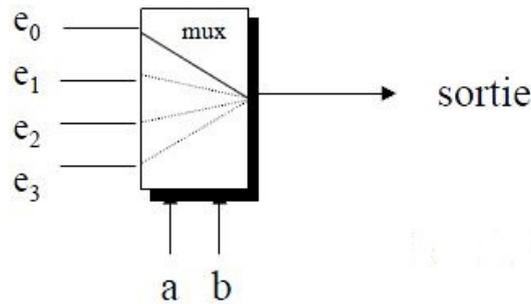
permet de mettre en évidence l'importance des algorithmes de placement et de routage, en effet, les performances de conception dépendront de l'optimisation effectuée par l'outil de placement et de routage.

Au sein d'un composant FPGA, les cellules d'entrées/sorties sont totalement dissociées ou indépendantes des structures logiques (Marco-cellules) et elles sont plus ou moins complexes. Toutes possèdent des buffers à trois états et des résistances de rappel à la tension d'alimentation pour fixer le niveau de tension d'une broche. Le contrôle programmable du taux de montée (slew rate) est généralement associé à chaque buffer de sortie. Pour certains composants, ces cellules proposent une bascule de maintien du signal de sortie et une bascule de synchronisation du signal d'entrée.

Les macro-cellules, désignées généralement par la dénomination CLB dans ces circuits, sont plus nombreuses et elles sont constituées d'une partie combinatoire et d'une partie séquentielle [45] :

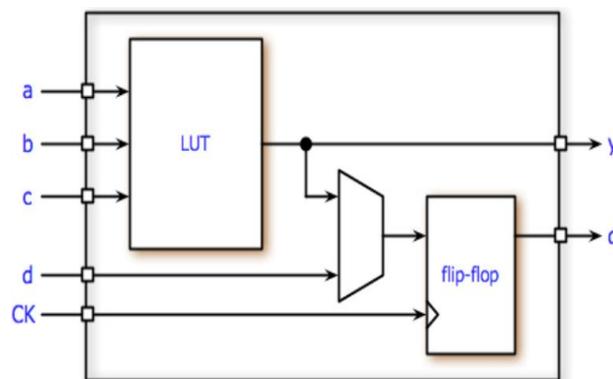
1. La partie combinatoire permet de réaliser des fonctions de complexité moyenne. Elle est réalisée suivant plusieurs solutions de synthèse dont les principales sont :
  - (a) La synthèse de fonction à 4 ou 5 variables avec des portes classiques ET, OU et NON.
  - (b) La synthèse de fonction à l'aide de multiplexeurs : En venant programmer les entrées du multiplexeur et en pilotant les signaux de sélection, il est possible de réaliser toutes les fonctions logiques (autant d'entrées que de signaux de sélection). Leur très petite taille est particulièrement adaptée à la technologie anti-fusible (*figure 3.2*).
  - (c) La synthèse de fonction combinatoires à l'aide de mémoire vive ou encore la réalisation des fonctions logiques par LUT (Look-Up Table).

Les Look-Up Table sont un cas particulier des cellules à multiplexeurs, avec de 2 à 9 entrées et dont la technologie du point mémoire est une technologie SRAM.



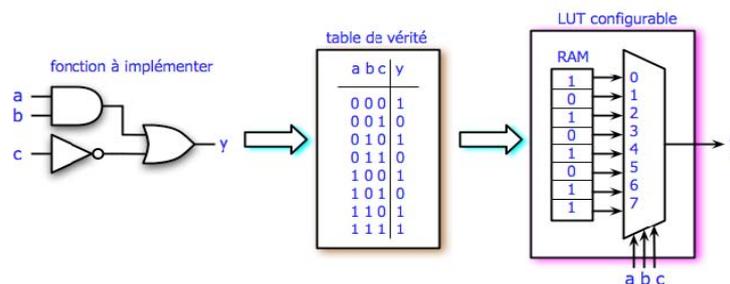
**Figure 3.2:** Bloc logique à multiplexeurs.

Une Look Up Table de  $N$  entrées est une mémoire qui peut implémenter n'importe quelle fonction booléenne de  $N$  variables. Les  $N$  entrées sont utilisées comme adresse d'une mémoire de  $2^n$  bits qui code la fonction booléenne à réaliser. On peut donc réaliser  $2^n$  fonctions différentes avec une LUT à  $N$  entrées. Les Look-Up Tables sont des blocs logiques de très petite granularité dans un CLP. Comme Les Look-Up Table possèdent une bascule de sortie, les architectures à base de Look-Up Table sont beaucoup plus riches en bascules que les architectures à macro-cellules. Aujourd'hui, la structure la plus utilisée est basée sur une look-up table (RAM) pour implémenter une fonction combinatoire plus une bascule D (figure 3.3).



**Figure 3.3:** Bloc logique à LUT.

La fonction de la LUT est de stocker la table de vérité de la fonction combinatoire à implémenter dans la cellule (figure 3.4).



**Figure 3.4:** Exemple de configuration de LUT.

2. La partie séquentielle comporte une ou deux bascules généralement de type D.

Généralement, il est rare de trouver des macro-cellules uniquement pourvues de la partie combinatoire.

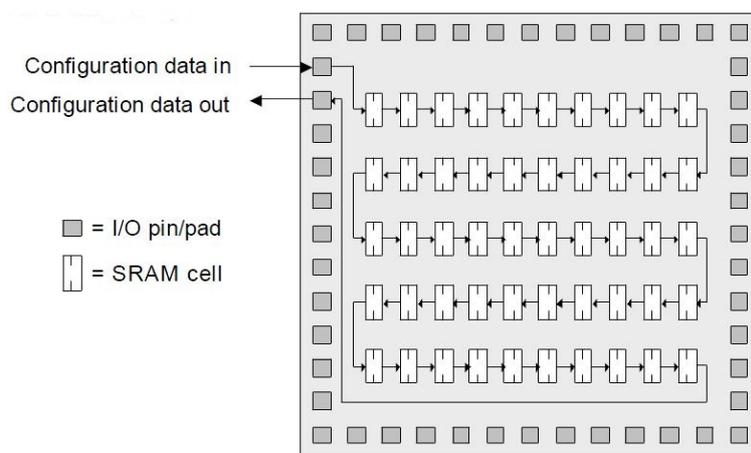
Le signal d'horloge d'un FPGA vient généralement de l'extérieur. Il y a des entrées spécialisées pour recevoir les signaux d'horloge et les distribuer ensuite à l'intérieur du circuit. Cependant, La distribution du signal d'horloge se fait par le biais d'un arbre, minimisant ainsi les retards d'arrivée du signal aux flip-flops les plus éloignés.

Il est aussi courant d'avoir des blocs internes pour la gestion du signal d'horloge, des DCM (Digital Clock Managers). En effet, Les DCM génèrent d'autres fréquences d'horloge à partir du signal externe, en éliminant le jitter (retards entre les différents flancs des signaux). Les DCM sont basés sur des PLL (phase-locked loops) ou des DLL (digital delay-locked loops). Les pins d'entrées/sorties des FPGA possèdent également des caractéristiques configurables :

- (a). type d'interface ;
- (b). impédance ;
- (c). voltage ;
- (d). blocs pour la transmission de données en série à grande vitesse (transceivers).

### 3.4.1 Configuration des FPGA's

La chaîne de bits de configuration (bitstream) est envoyée depuis l'extérieur et distribuée en série à l'intérieur du FPGA. On peut voir les SRAM de configuration comme un énorme registre à décalage (dans la réalité, c'est divisé en frames de 1024 bits et on utilise des latches). Le temps de configuration peut être très long (on a aujourd'hui des bitstreams de 25Mb) (*figure 3.5*).



**Figure 3.5:** Exemple de configuration du FPGA.

Il existe en général 4 modes de configuration :

1. Série, avec le FPGA en maître ;
2. Série, avec le FPGA en esclave ;

3. Parallèle, avec le FPGA en maître ;
4. Parallèle, avec le FPGA en esclave.

Une autre façon de configurer un FPGA est l'utilisation du port JTAG (Joint Test Action Group). Normalement, ce port est utilisé pour tester le circuit intégré, grâce à la technique de boundary scan. Un pin est utilisé pour entrer les données JTAG et un autre pour les sortir. Tous les autres pins d'entrées/sorties disposent d'un flip-flop JTAG ; tous ces flipflops sont connectés en série. En plus des commandes propres au test, le port JTAG des FPGAs admet aussi des commandes de configuration, permettant le chaînage du registre de configuration au registre JTAG [46].

### 3.4.2 Classification des FPGA's

Comme cité précédemment, on distingue deux classes de FPGA selon la technique de réalisation des PIP (point de connexion) :

#### 1. FPGA's à SRAM

La structure de base d'un FPGA de type SRAM est très complexe. Le point de connexion entre les différents est un ensemble de transistors MOS de commutation commandés par des cellules de mémoire vive (RAM) [45]. Le FPGA à SRAM peut être considéré comme étant constitué de deux couches superposées :

- (a) Une couche comportant toutes les ressources du FPGA (blocs d'entrées-sorties, CLB, réseaux de connexion) ;
- (b) Une couche comportant la commande de chaque point de connexion. Le point de commande est une cellule de type mémoire vive (SRAM) et qui peut être assimilée à une bascule D. l'ensemble des points de commande est un grand registre à décalage.

Afin d'établir les connexions souhaitées et obtenir le système programmé, il suffit de charger le registre à décalage.

Ce type de circuit logique programmable possède l'avantage d'être souple dans son utilisation du fait que le point de commande est une mémoire vive, ainsi qu'un effacement beaucoup plus rapide en comparaison avec les CPLDs à EPROM ou EEROM [45]. Cependant, il possède un inconvénient majeur qui réside dans le chargement de la configuration (charger la mémoire vive) à la mise sous tension. En effet, chaque absence d'alimentation se traduit par la perte du contenu du registre à décalage. Ce problème a été résolu par la dotation de chaque dispositif d'une logique d'auto-chargement après une mise sous tension. Tout cela est réalisé par l'introduction d'une mémoire morte de type EEPROM généralement à accès série.

#### 2. FPGA's à anti-fusible

Ces circuits, contrairement aux FPGA à SRAM, sont plus récents étant donné que leur première commercialisation effective remonte seulement à l'année 1990. L'architecture globale des FPGAs à anti-fusible est analogue à celle à SRAM avec un certain nombre de blocs d'entrées/sorties répartis tout au tour de la puce, des blocs logiques placés au centre de celle-ci et des lignes d'interconnexion [45]. En effet, ce

type de circuit contrairement aux FPGAs à SRAM utilise des cellules très simples et ces dernières sont reliées aux lignes d'interconnexion par ce qu'on appelle des anti-fusibles. Ces moyens de connexion, tant qu'ils ne sont pas programmés, isolent grâce à une fine couche d'oxyde, deux segments conducteurs placés sur deux niveaux différents.

Afin de réaliser la connexion entre ces deux segments, il suffit d'appliquer une impulsion de haute tension (21V) calibrée entre temps (mois de 5ms), ce qui engendre un trou dans la couche d'oxyde et les deux lignes conductrices se retrouvent ainsi relié [45]. Ce type de processus, utilisé avec perforation de l'oxyde, implique l'impossibilité de revenir en arrière ; c'est-à-dire que la liaison une fois établie ne peut plus être chargée, elle est irréversible. Un FPGA à anti-fusible n'est donc programmable qu'une seule fois. Cependant, cette irréversibilité des moyens de connexion (anti-fusible) est compensée par leur surface réduite (ils sont minuscules). Ils peuvent donc être très nombreux sur la puce, ce qui accroît la souplesse d'interconnexion interne de facilité le routage.

### 3.4.3 Performances des interconnexions

Les performances des interconnexions dépendent du type de connexions utilisées. Pour les interconnexions à usage général, les délais générés dépendent du nombre de segments et de la quantité d'aiguilleurs employés. Le délai de propagation de signaux utilisant les connexions directes est minimum pour une connexion de bloc à bloc. Quant aux segments utilisés pour les longues lignes, ils possèdent une faible résistance mais une capacité importante. De plus, si on utilise un aiguilleur, sa résistance s'ajoute à celle existante.

### 3.4.4 Chaîne de développement

Le processus de développement d'une application utilisant des circuits logiques programmables passe par un certain nombre d'étapes allant de la description de l'application à la programmation du composant. Cette chaîne de développement représente l'ensemble des outils logiciels nécessaires pour la réalisation des différentes étapes [45].

La description de l'application à réaliser est la première étape du processus de développement des PLDs. Elle consiste à décrire le contenu de l'application à réaliser. Elle est générée sous forme d'un fichier appelé « fichier source » contenant des commandes sur sa représentation qui peut être des équations booléennes, des tables de vérité, des schémas ou un langage de description [45]. Ce fichier est structuré comme suit :

1. Section entête : qui permet de faire des commentaires sur l'application en cours de développement ;
2. Section déclaration : qui comporte trois parties principales :
  - (a) Une partie pour donner des noms symbolique aux ressources (éléments) du PLD ;
  - (b) Une partie pour la désignation du composant destinataire ;
  - (c) Une partie pour définir les éléments de description d'une machine à état.

3. Section de description Cette étape peut se faire de plusieurs façons à savoir ; par équations booléennes, par machine à état ou par langage de description.

Dans notre travail, on s'intéressera uniquement à la dernière technique à savoir une description par langage de description de haut niveau tel que le Verilog.

Verilog est un langage de description matériel destiné à représenter le comportement ainsi que l'architecture d'un système électronique numérique. L'intérêt d'une telle description réside dans son caractère exécutable : une spécification décrite en Verilog peut être vérifiée par simulation, avant que la conception détaillée ne soit terminée. En outre, les outils de conception assistée par ordinateur permettant de passer directement d'une description fonctionnelle en Verilog à un schéma en porte logique ont révolutionné les méthodes de conception des circuits numériques, ASIC ou FPGA.

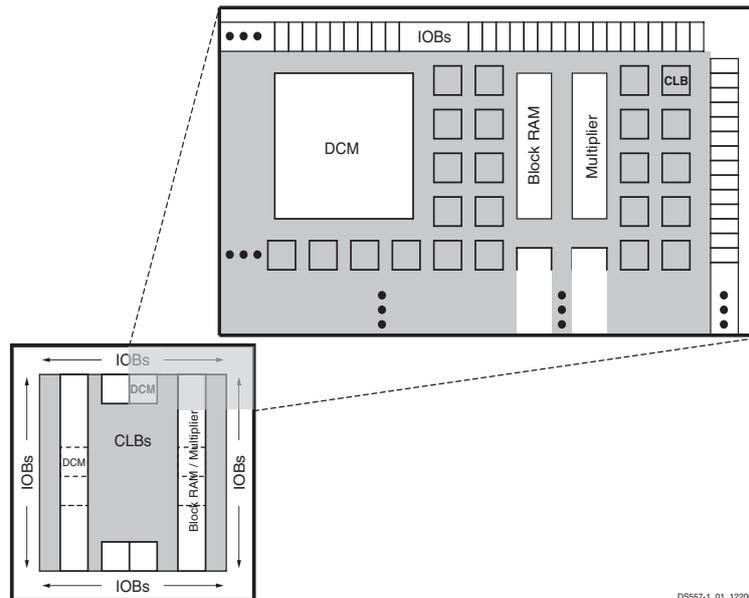
### 3.4.5 Architecture des FPGA's Spartan-3AN

L'architecture, retenue par Xilinx, se présente sous forme de deux couches : une couche pour un circuit configurable et une autre pour un réseau de mémoire SRAM.

L'architecture des FPGA's Spartan-3AN est compatible avec celle des FPGAs Spartan-3A. L'architecture se compose de cinq éléments fonctionnels fondamentaux [46] :

1. Blocs logiques configurables (CLB Configurable Logic Blocks) contiennent des tableaux flexibles de consultation (LUT) qui mettent en œuvre une implémentation logique plus des éléments de stockage utilisés comme des flip-flops or latches ;
2. Blocs des entrées/sorties (IOBs) contrôlent le flux de données entre les broches d'entrées/sorties et la logique interne de la carte. Les IOBs supportent les flux de données bidirectionnel ainsi qu'un fonctionnement à 3 états. Ils supportent une variété de normes de signaux, y compris plusieurs normes différentielles à haute performance. Double registres de taux de donné « Double Data-Rate » (DDR) sont inclus ;
3. Blocs RAM permet le stockage des données sous la forme de blocs à deux ports 18 Kbits ;
4. Les blocs multiplicateurs acceptent deux nombres binaires de 18 bits en entrée et ils calculent le produit ;
5. Les blocs de gestionnaire d'horloge numérique «Digital Clock Manager (DCM)» assure lui-même l'étalonnage, les solutions sont entièrement numérique pour la distribution, le retardement, la multiplication, la division, et les signaux d'horloge à phase décalé.

Ces éléments sont dispensés suivant les indications de la *figure 3.6*. Les CLBs sont entouré par des IOBs. Chaque dispositif a deux colonnes de bloc de RAM. Chaque colonne de RAM se compose de plusieurs blocs du RAM à 18 Kbit. Chaque bloc RAM est associé à un multiplicateur spécifique. Les DCMs sont placés au centre avec deux au haut et deux en bas du dispositif. Le XC3S50AN a seulement un DCMs au haut, alors que les XC3S700-AN et les XC3S1400-AN additionnent deux DCMs au milieu des deux colonnes de RAM et des multiplicateurs de bloc. La FPGA Spartan-3AN comporte un réseau riche des pistes qui relie l'ensemble des cinq éléments fonctionnels, transmettant le signale



**Figure 3.6:** Architecture du FPGA XC3S700-AN.

entre eux. Chaque élément fonctionnel a une matrice de commutation associée qui permet les multiples connexions au routage.

### 3.4.6 Avantages et inconvénient des FPGA's

#### 1. Avantages

- Technologie facile à maîtriser ;
- Temps de développement réduit ;
- Reconfigurable ;
- Idéal pour le prototypage ;
- Parallélisme de traitement ;
- Flexibilité et la possibilité de réduire fortement les délais de développement et commercialisation ;
- La reconfiguration, parfois en temps réel.

#### 2. Inconvénients

- Performances non optimisées ;
- Temps de réponse long par rapport aux ASIC ;
- Prix unitaire trop élevé pour les très grandes séries ;
- Performance électriques inférieures aux puces spécialisées (notamment en fréquence) ;
- Faible taux d'utilisation du circuit.

### 3.4.7 Les fabricants des FGAs

- Actel
- Altera
- Atmel
- Chip Express
- Clear Logic
- Cypress

- DynaChip
- Fast Analog Solutions Ltd
- Gatefield
- HammerCores
- Lattice
- Lucent Technologies
- Motorola
- Orbit
- QuickLogic
- QuickTurn
- Vantis
- Xilinx

## 3.5 Implémentation de la commande SHE sur la carte FPGA

La commande SHE 7-niveaux a été programmé en langage de description matériel Verilog avec le logiciel ModelSim ou ISE de Xilinx. En suite, à l'aide de trois logiciels a savoir ModelSim, Matlab, et PSIM on réalise une co-simulation entre ces trois logiciels pour appliquer La commande à élimination sélective des harmoniques sur un onduleur à 7-niveaux à topologie cascadié. Où le rôle de chaque logiciel est comme suit :

1. **PSIM** : On réalise sur ce logiciel la partie puissance qui comporte un onduleur 7-niveaux triphasé, une charge (RL) triphasé, et les alimentations de tension continue pour chaque pont H.
2. **Matlab** : Ce logiciel est utilisé comme interface entre la partie commande et la partie puissance et aussi pour l'affichage des résultats de simulation et l'analyse spectrale des formes d'onde obtenu de la sortie de l'onduleur, qui comporte essentiellement, un bloc ModelSim Simulator pour récupérer les signaux de commande de logiciel ModelSim et l'envoyé au logiciel qui contient la partie puissance à l'aide du bloc SimCoupler.
3. **ModelSim** : Son rôle est crucial, en plus sa fonction comme outil de programmation, il exécute le programme SHE pour générer les signaux de commande de l'onduleur. Il comporte un programme constitué de cinq modules.

### 3.5.1 Différentes parties du programme SHE

Parmi les avantages du langage de discrétion matériel Verilog, la possibilité d'avoir un programme composé de plusieurs modules afin de facilité la programmation. Dans notre travail le programme SHE (Selective Harmonic Elimination) est constitué de 7 modules dépendant, le principe de chaque module est comme suit :

1. *Modules  $m\_c$  (main counter) :*

Ce module est programmé de façon a avoir un conteur à une fréquence de 50Hz a partir d'une horloge de 50MHz externe à la puce FPGA. Pratiquement on a trois conteurs de 50Hz ( $m\_cA$ ,  $m\_cB$ ,  $m\_cC$ ) déphasés de 120° deux à deux. Donc un conteur pour chaque phase.

2. *Module teta* :

Il contient un trois modules. Principalement ils sont destiné pour générer les temps de transition des angles de commutation de chaque phase. Donc un module pour chaque phase.

3. *Module ang (générateur d'angle de commutation)* :

Ce module fait appel aux modules précédents (teta et m\_c) pour les instanciée, on programme la table de vérité de l'onduleur sous forme d'une LUT dans ce module. Cependant, il génère aussi les angle de commutation de l'onduleur.

La *figure 3.7* illustre le principe du programme de la commande à élimination sélective des harmoniques. On tient à noter que le programme implémenté ne calcule par les angles de commutation ( $\theta_1$ ,  $\theta_2$  et  $\theta_3$ ) ces angle on été affecté à des *reg*<sup>1</sup> appelé *delay*.

Ces angles sont calculé pour un indice de modulation  $m_a = 0.965$  après avoir résolu le système d'équation (2.20) on aura :  $\theta_1 = 12.9825$ ,  $\theta_2 = 35.4384$  et  $\theta_3 = 61.0171$

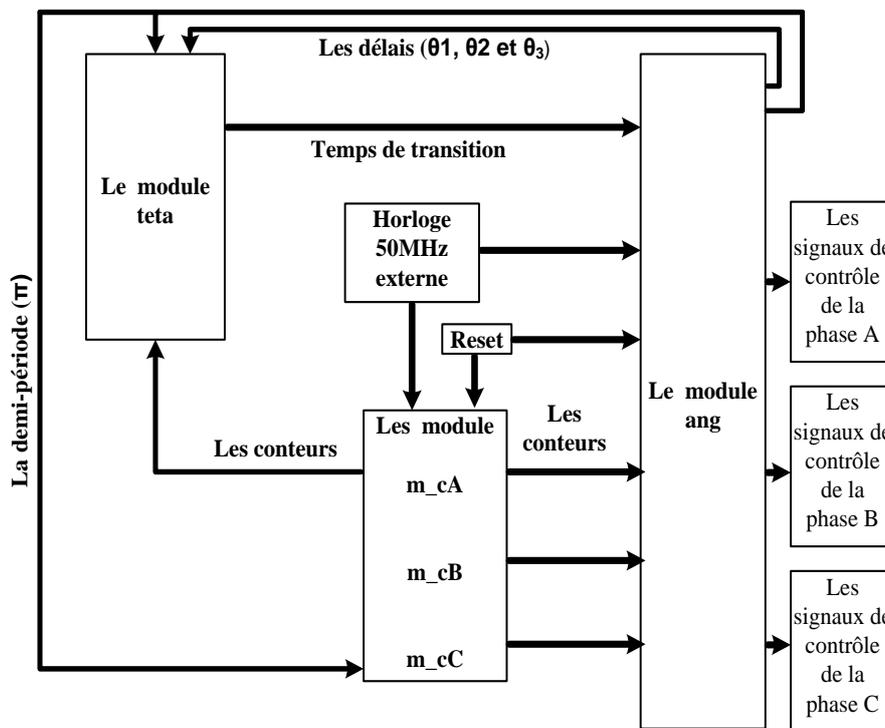


Figure 3.7: Principe du programme SHE.

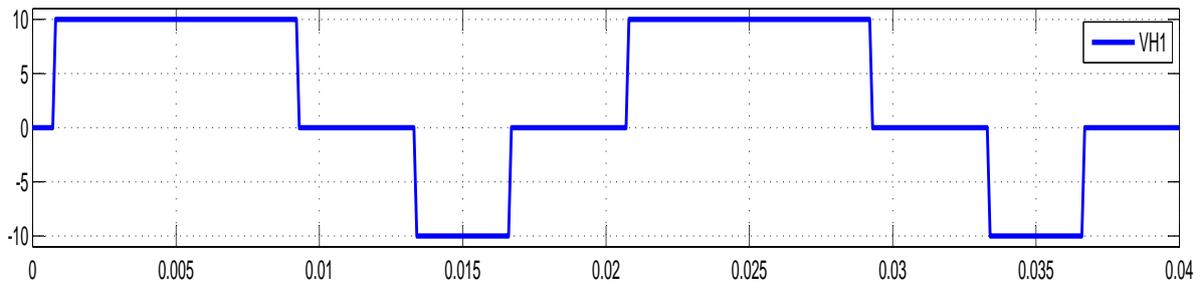
### 3.5.2 Equilibrage de l'onduleur

Bien que l'inconvénient de la commande à élimination sélective des harmoniques soit que les différents onduleurs monophasés (ponts H) n'ont pas une même durée de conduction. Il en résulte donc un déséquilibre dans la répartition des pertes par commutation et par conduction. En exploitant les états redondants de l'onduleur détaillé dans le tableau 2.1, Et par une rotation adéquate des commutations, ces pertes peuvent être équilibrées

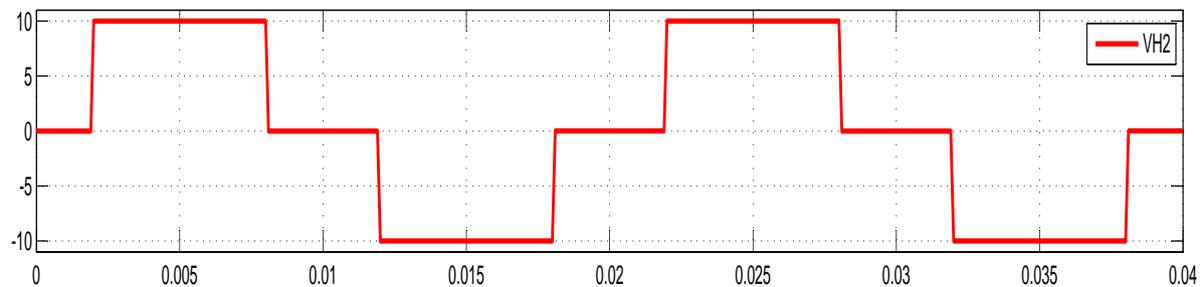
1. un reg est équivalent à une variable d'un programme informatique : il subit des affectations instantanées par instructions et conserve son état jusqu'à la prochaine affectation.

entre les différents ponts H, sans modification de l'onde de tension générée à la sortie du convertisseur.

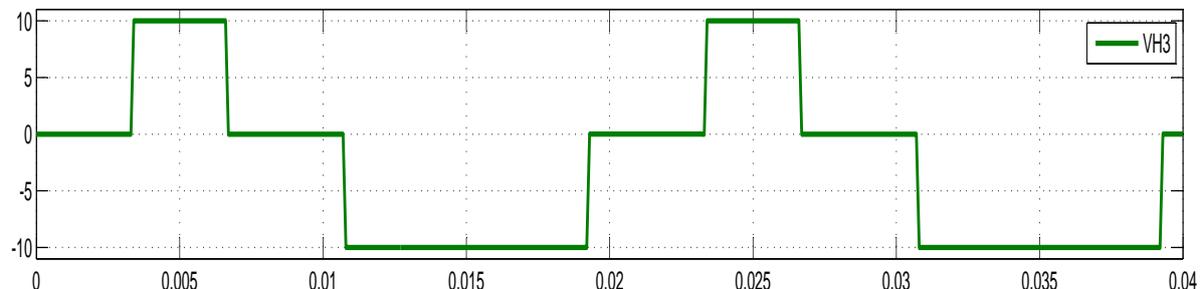
La *figure 3.8* montre les tensions de sortie de chaque pont H d'un bras (phase a) de l'onduleur triphasé après équilibrage obtenu par la co-simulation.



(a) Tension de sortie du pont H1



(b) Tension de sortie du pont H2



(c) Tension de sortie du pont H3

**Figure 3.8:** Résultat du simulation après équilibrage.

La table de vérité programmé dans le module *ang* nous a facilité l'exploitation des états redondants donc l'équilibrage, pour cela et comme montré sur la *figure 3.8* on importe des modifications justes pour les deux pouts  $H_1$  et  $H_3$ , par contre,  $H_2$  reste le même. L'équilibrage se fait comme suit :

Pour le pont  $H_1$  qui donne en sortie la tension  $V_{H1}$ , la première demi-période est commandé par  $\theta_1$  et la deuxième demi-période est commandé par  $\pi + \theta_3$ .

Pour le pont  $H_3$  qui donne en sortie la tension  $V_{H3}$ , la première demi-période est commandé par  $\theta_3$  et la deuxième demi-période est commandé par  $\pi + \theta_1$ .

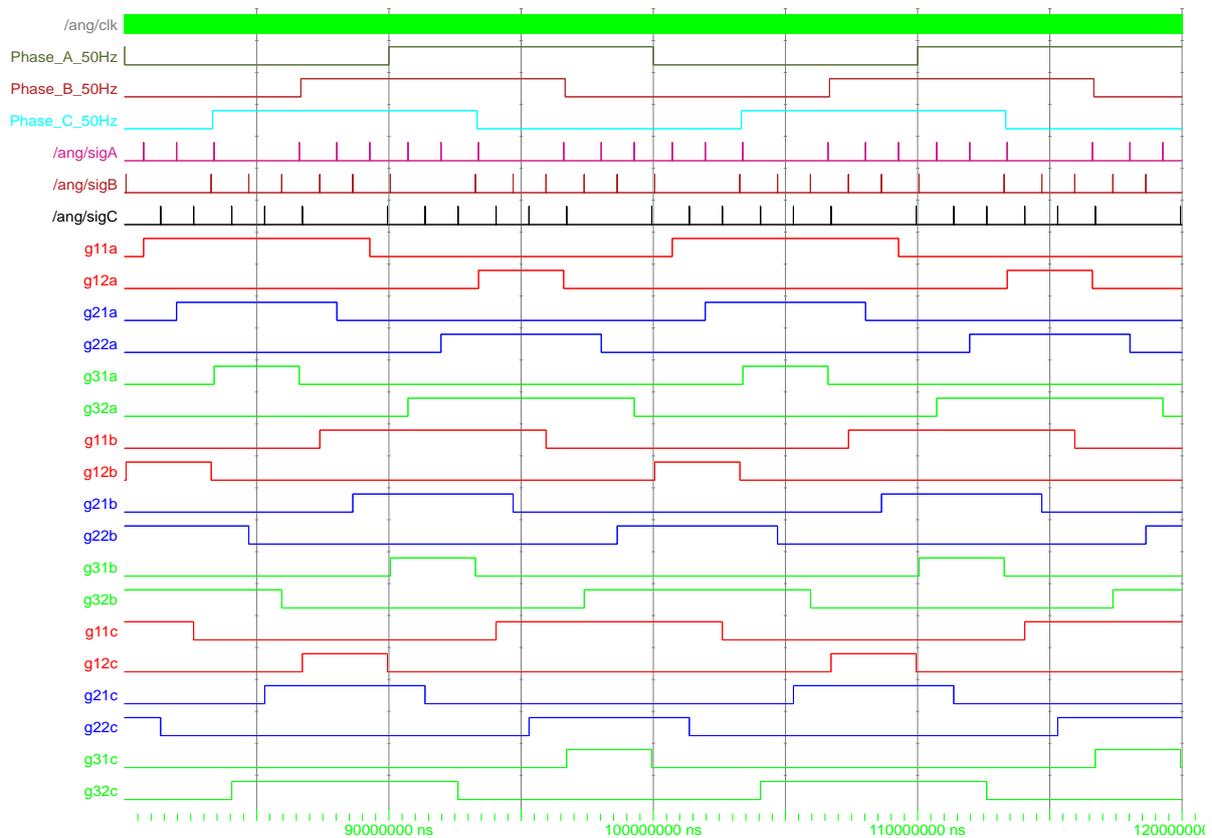
En résumé on a en principe une période de conduction moyenne égale pour tous les interrupteurs semi-conducteurs, donc une sollicitation égale des sources de tension

continue et une bonne répartition des pertes par conduction et par commutation. Ce principe d'équilibrage est appliqué aussi aux phases b et c.

### 3.5.3 Test du programme par simulation

Avant de passer à l'implémentation de notre programme sur la carte FPGA Spartan 3 XC3S700AN on va effectuer un test du programme réalisé par simulation.

La *figure 3.9* montre les résultats de simulation du programme élimination sélective des harmoniques (SHE) obtenu par le logiciel ModelSim, dont :

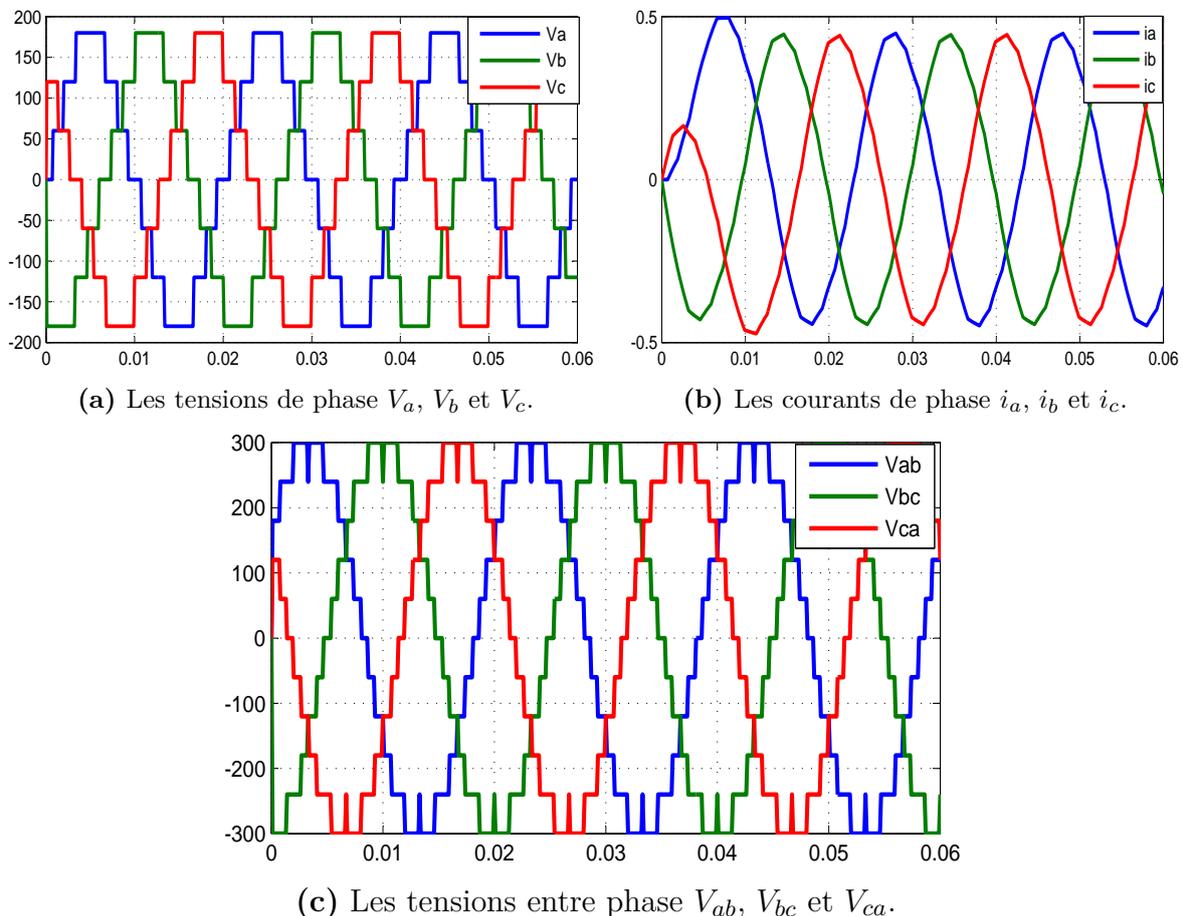


Entity:ang Architecture:fast Date: Thu May 09 23:22:42 Paris, Madrid (heure d'été) 2013 Row: 1 Page: 1

**Figure 3.9:** Les signaux de commande de l'onduleur triphasé obtenu par ModelSim.

1. Le signal  $ang/clk$  est le signal d'horloge externe qui fonctionne à une fréquence de 50MHz.
2. Les signaux  $phase\_A\_50Hz$ ,  $phase\_B\_50Hz$  et  $phase\_C\_50Hz$  sont les compteurs des phases a, b et c respectivement. Cependant, la fréquence de ces compteurs est de 50Hz réalisée à partir de l'horloge de 50MHz par les modules  $m\_c$ .
3. Les signaux  $ang/sigA$ ,  $ang/sigB$  et  $ang/sigC$  sont les temps de transition des tetes des phases a, b et c respectivement.
4. Les signaux  $g_{ija}$ ,  $g_{ijb}$  et  $g_{ijc}$  sont les signaux de commutation des phases a, b et c respectivement.

La *figure 3.10(a)* montre les tensions simple de l'onduleur triphasé des phases a, b et c, dont la tension continue  $E = 60V$ , la *figure 3.10(c)* montre les tensions entre phase généré par l'onduleur triphasé CHB, et la *figure 3.10(b)* illustre les courants de phase de l'onduleur CHB pour une charge  $R, L$  ( $R = 240\Omega, L = 1H$ ).

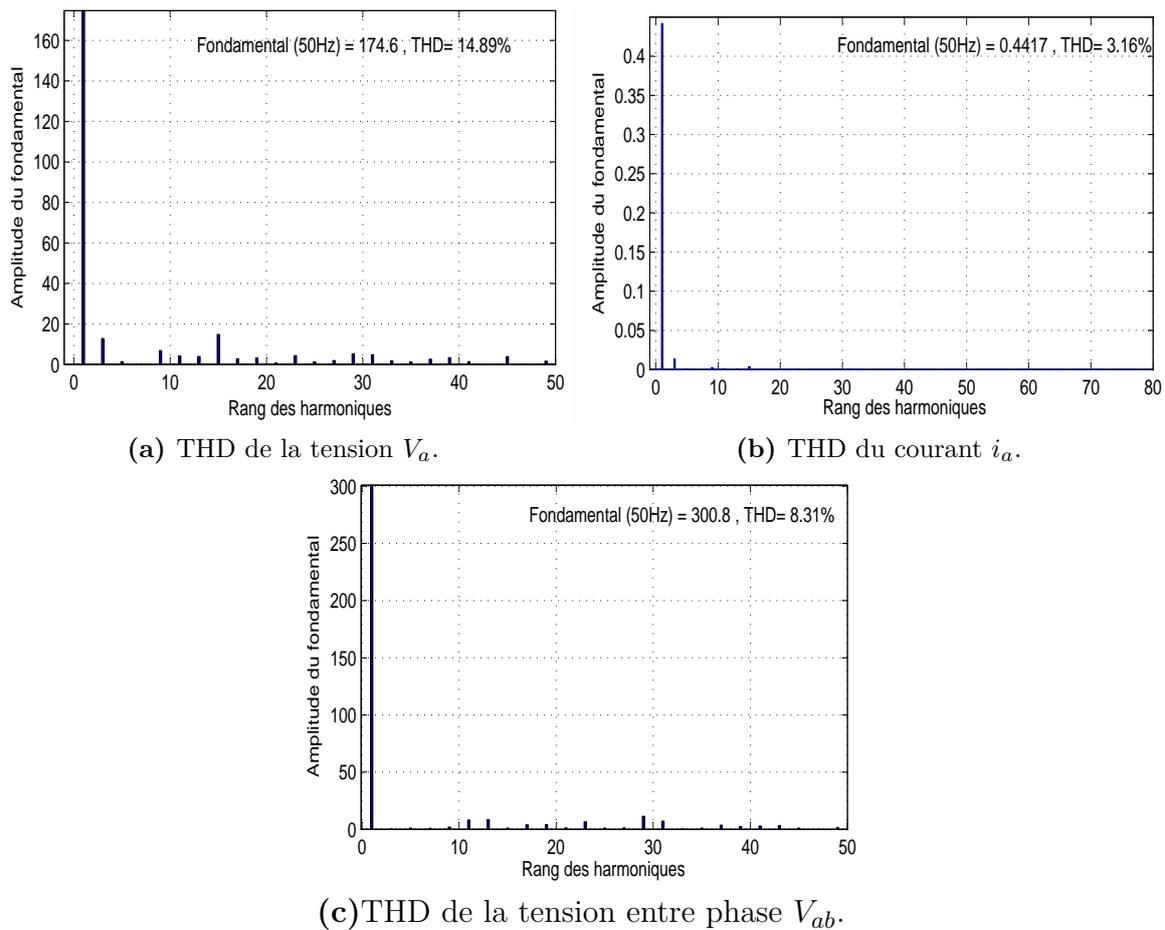


**Figure 3.10:** Test du programme SHE sur un onduleur CHB triphasé à 7-niveaux  $m_a = 0.965$ .

Afin d'évaluer les performances du programme réalisé en terme de THD en pratique on doit avant tout de l'évaluer par simulation. Pour ce la, la *figure 3.11(a)* montre l'analyse spectrale de la tension de phase  $V_a$  avec un THD de 14.89% et un fondamental de 174.6V, la *figure 3.11(b)* montre le THD du courant  $i_a$  avec un THD de 3.16% et un fondamental de 0.44A pour une charge  $RL$  triphasé équilibré ( $R = 240\Omega$  et  $L = 1H$ ), et la *figure 3.11(c)* illustre le THD de la tension entre phase  $V_{ab}$  avec un THD de 8.31% et un fondamental de 300.8V, on voit bien que le THD de la tension composé est nettement inférieur à celui de la tension simple  $V_a$  qui est due à l'élimination des harmoniques de multiple de 3 par le système triphasé.

### 3.5.4 Implantation matériel sur FPGA du programme SHE

Cette dernière étape consiste à réaliser une implantation matérielle du programme de description matériel programmé en langage Verilog sur la carte FPGA à l'aide de l'environnement ISE.



**Figure 3.11:** Analyse spectrale de l'onduleur CHB triphasé à 7-niveaux commandé par le programme SHE.

### 1. Environnement ISE :

L'environnement ISE est un logiciel de programmation de Xilinx. Il est défini comme étant un environnement intégré de développement des systèmes numériques ayant pour objectif une implantation matérielle sur FPGA de la compagnie Xilinx [46].

ISE intègre différents outils permettant de passer à travers tout le flot de conception d'un système numérique. En effet il dispose :

- (a) Editeur de textes, de schémas et de diagrammes d'états ;
- (b) Compilateur de langage de description (Verilog, VHDL...);
- (c) Outil de simulation ;
- (d) Outils pour la gestion des contraintes temporelles ;
- (e) Outils pour la synthèse ;
- (f) Outils pour la vérification ;
- (g) Outils pour l'implantation sur FPGA.

### 2. Schéma de principe de l'implantation matérielle :

Dans l'environnement ISE on crée un nouveau projet contenant le programme SHE

on langage Verilog testé précédemment par simulation. Avant de passer à la phase final on définit les sorties qu'on va utiliser sur la carte FPGA qui vont contrôler l'onduleur. Cependant, on a besoin de 18 sorties. Enfin, on passe à l'implantation, on branche l'ordinateur à la carte FPGA et on envoie le programme. Certes, à la fin de cette étape le programme sera enregistré sur l'FPGA le principe de l'implantation est illustré sur la *figure 3.12*.

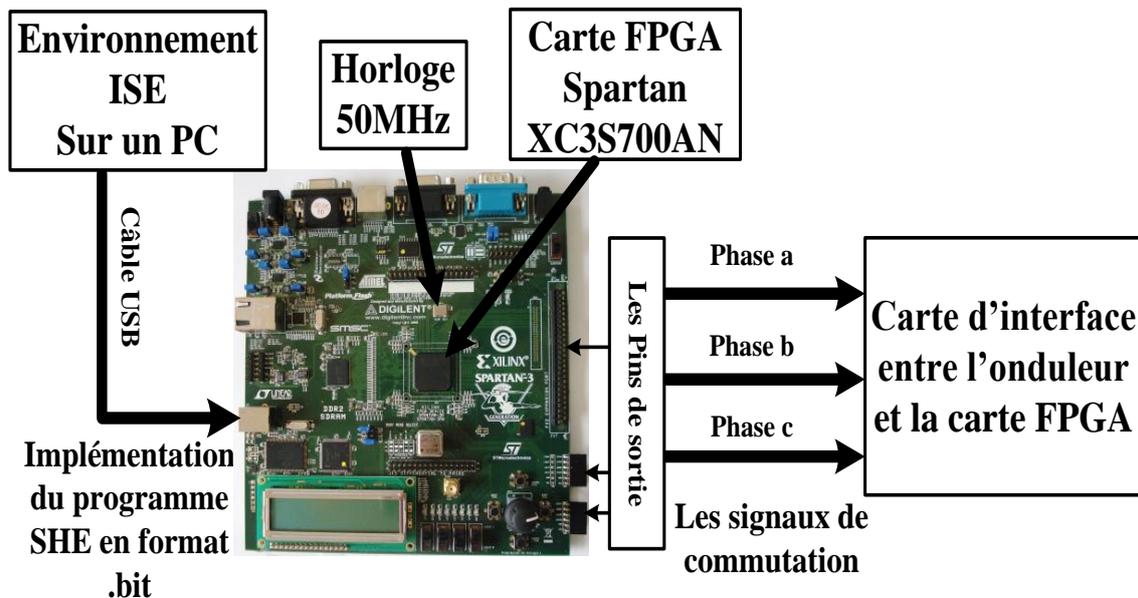


Figure 3.12: Principe de l'implantation matérielle sur FPGA.

### 3.6 Conclusion

Après une brève description de l'architecture des FPGA's en passant par une présentation générale des circuits logiques programmables, et les différentes techniques de mémorisation utilisés dans les FPGA's. On a donné l'architecture générale d'un modèle de la ferme Xilinx à savoir Spartan 3AN. Les principaux avantages et inconvénient des FPGA's sont aussi donné. En suite, on a passé à l'implantation matérielle sur une carte FPGA Spartan XC3S700AN. Mais avant cette étape on a présenté les parties du programme SHE qui ont été programmés en langage de description matériel Verilog. On tient à noter que la programmation d'une tel commande (SHE) nécessite une bonne maîtrise du langage Verilog et les principes de la logique combinatoire et séquentielle.

En fin, des tests de simulation ont été effectués afin de vérifier la validité du programme avant de passer à la mise en pratique.

Dans le chapitre suivant on va réaliser un banc d'essai composé d'un onduleur CHB triphasé à 7-niveaux et une carte d'interface entre l'onduleur et la carte FPGA, et on va le testé sur une charge  $RL$  triphasé.

## Chapitre 4

### Réalisation du banc d'essais et résultats expérimentaux

## 4.1 Introduction

Ce chapitre axé sur l'expérimentation présente la réalisation d'un onduleur multi-niveaux triphasé à 7-niveaux à topologie cascadié. Les 36 IGBTs sont commandés par l'intermédiaire de 18 drivers. Ces drivers impliquent un choix judicieux de la technologie afin de ne pas pénaliser le rendement global de l'application.

Dans ce chapitre, nous allons élaborer la réalisation d'une maquette expérimentale d'un onduleur multiniveaux triphasé à 7-niveaux à topologie pont H cascadié commandé par la technique à élimination sélective des harmoniques implémenté dans une carte FPGA Spartan-3XC3S700AN. D'abord, nous allons présenter les différentes parties du montage en montrant le rôle de chacune des cartes utilisées. En fait, la maquette réalisée est une maquette dimensionnée pour les applications pédagogique ou de recherche.

Le banc d'essais comporte une carte FPGA Spartan 3AN Starter Kit Board, une carte d'interface, un convertisseur multiniveaux triphasé 7-niveaux à structure pont H cascadié, et une charge RL triphasé.

## 4.2 Description générale

Pour vérifier expérimentalement les résultats obtenus par simulation on va réaliser un banc d'essais complet. Ce dernier est constitué de trois bras chaque bras contient trois onduleurs pont H monté en cascade. Les interrupteurs de chaque pont H sont constitués de 4 IGBTs montés en antiparallèles avec des diodes. Les IGBTs sont associés à des cartes d'interface gérant les temps morts donc la protection contre les courts circuits et l'isolation de la partie commande de la partie puissance. Les signaux de commande des IGBTs sont issus d'une carte FPGA. La photo de ce banc expérimental est donnée sur la *figure 4.1*.

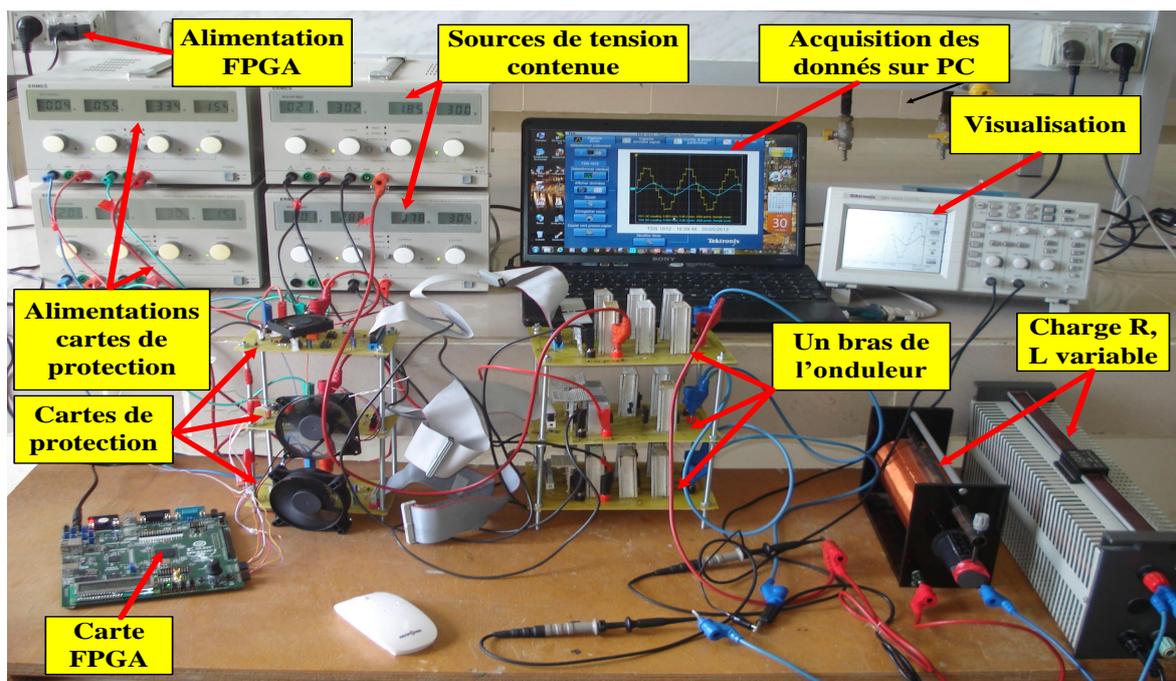


Figure 4.1: Photo du banc d'essais.

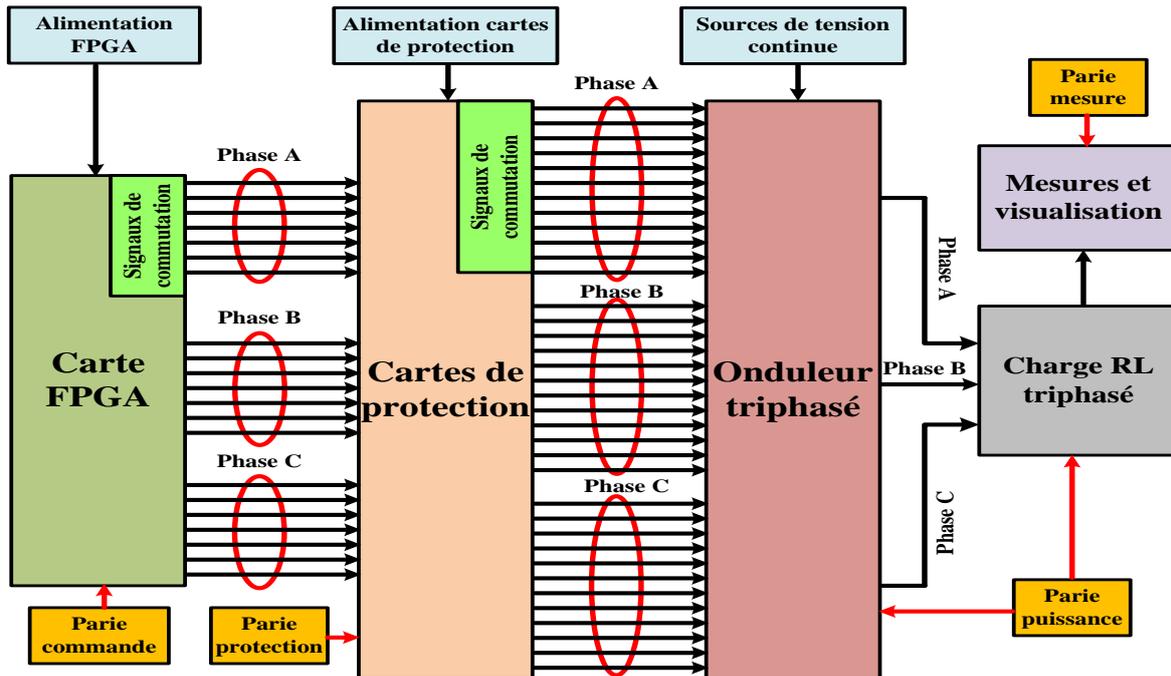


Figure 4.2: Synoptique du banc d'essais.

La figure 4.2 montre un synoptique du banc d'essais réalisé. Ce schéma met en évidence quatre différentes parties :

1. *Partie puissance qui regroupe :*

- (a) Un convertisseur CHB triphasé (trois bras) à trois étages pour chaque bras dans notre projet ce convertisseur fonction en onduleur ;
- (b) Une charge RL triphasé.

2. *Partie protection qui contient :*

Une carte interface entre la partie commande et la partie puissance qui joue deux rôles essentielle :

- (a) L'isolation entre la partie puissance et la carte FPGA donc la protection, cette protection est assuré par des optocoupler ;
- (b) Génération de temps mort entre deux signaux d'une même cellule de commutation afin d'évité les courts circuits est assuré par les driver.

3. *Partie visualisation qui regroupe :*

Oscilloscope numérique connecté via un câble USB à un PC pour faire l'acquisition des données.

4. *Partie commande :*

assuré par une carte FPGA Spartan 3AN Starter Kit Board élaboré dans le chapitre 3

#### 4.2.1 Partie puissance

Les interrupteurs de puissance utilisés dans l'onduleur réalisé sont des IGBTs de référence IRGPC40F monté en antiparallèle avec des diodes de référence BYT30P-1000. Les contraintes de ces composants sont résumées dans le tableau 4.1 et pour plus de détails

**Table 4.1:** Contraintes des IGBTs et des diodes utilisés.

	Paramètres	Valeurs maximale
IRGPC40F	$V_{CE}$	600V
	$I_C$	27A
BYT30P-1000	$V_I$	1000V
	$I_{moy}$	30A

voire l'*annexe A*. Les interrupteurs de puissance sont montés sur des circuits imprimés avec des dissipateurs thermiques eux même ventilé pour évacuer la chaleur. La figure 4.3 montre la photo d'un pont H. Vue de face et vue de haut avec refroidisseurs.

**Figure 4.3:** Photo du pont H.

### 4.2.2 Partie protection

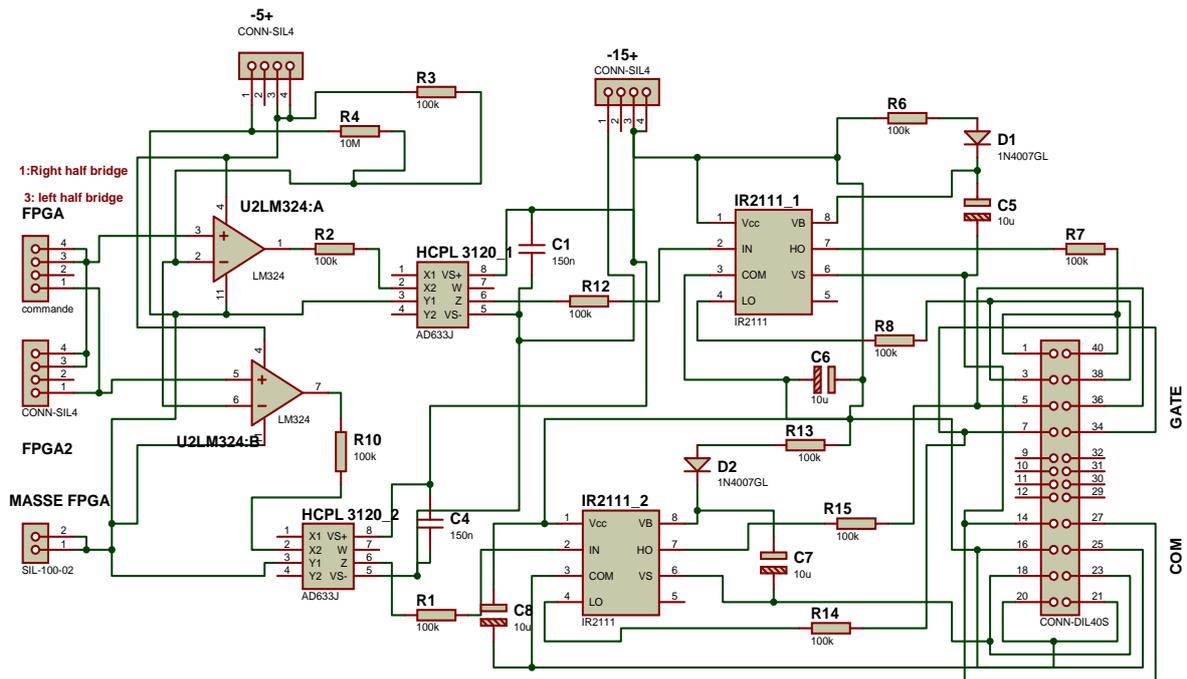
Cette carte est reliée aux sorties de la carte FPGA Spartan 3AN Starter Kit Board et entrées de l'onduleur, elle protège la carte FPGA dans le cas d'un court-circuit ou dans le cas d'un courant très élevé cette tâche est assurée par un optocoupler de référence HCPL 3120.

Chaque pont a une seule carte de protection qui génère quatre signaux de commande, à partir de deux signaux venant de la carte FPGA. La commande d'une cellule de commutation demande l'application de deux signaux complémentaires pour éviter un court circuit. Donc, il faut introduire un temps mort entre deux signaux de commande de la

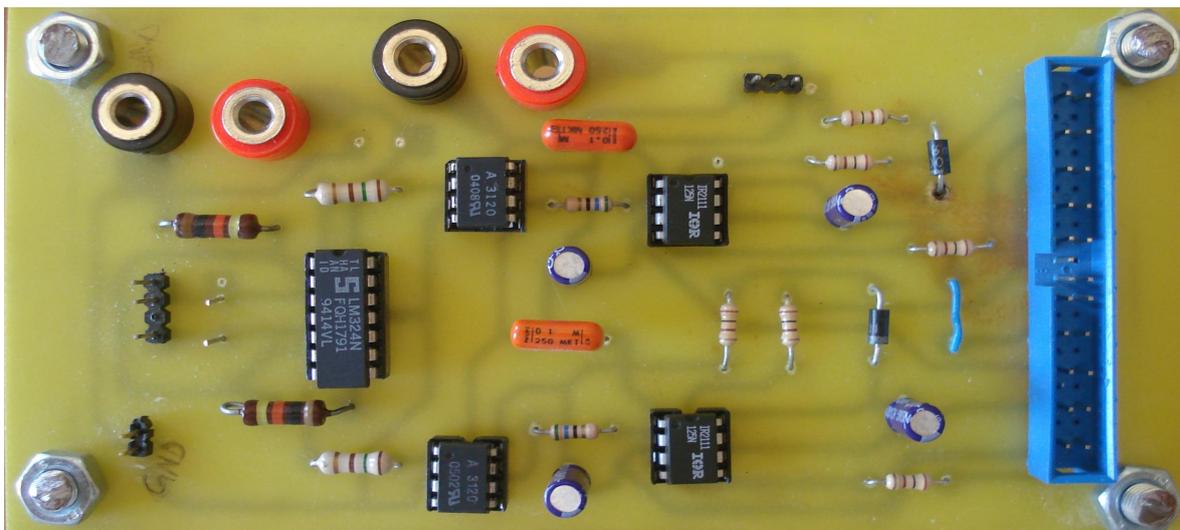
même cellule de commutation. Ceci est assuré par un driver IR2111, qui génère deux signaux en inverse avec un temps mort à partir d'un seul signal.

L'avantage de choix d'un tel driver (IR2111) est sa possibilité de généré deux signaux en inverse avec un temps mort à partir d'un seul signale. Donc qui minimise le nombre de pin de sortie utilisé par l'FPGA.

La figure 4.4(a) montre le circuit de la carte de protection réalisé avec le logiciell Prouteus précisément ISIS et la figure 4.4(b) la photo de la carte de protection.



(a) Schéma du circuit électrique de la carte de protection



(b) Photo de la carte de protection

Figure 4.4: Carte de protection.

## 4.3 Tests expérimentaux

Dans cette partie, nous allons présenter quelques résultats expérimentaux obtenus sur un bras onduleur cascadié à 7-niveaux constitué de trois ponts H représenté en étage sur la *figure 4.1*. La *figure 4.5* représente les signaux de commutation obtenue aux sorties des cartes de protection de la phase (a), chaque deux signaux de la même cellule de commutation on un temps mort réalisé par les carte de protection.

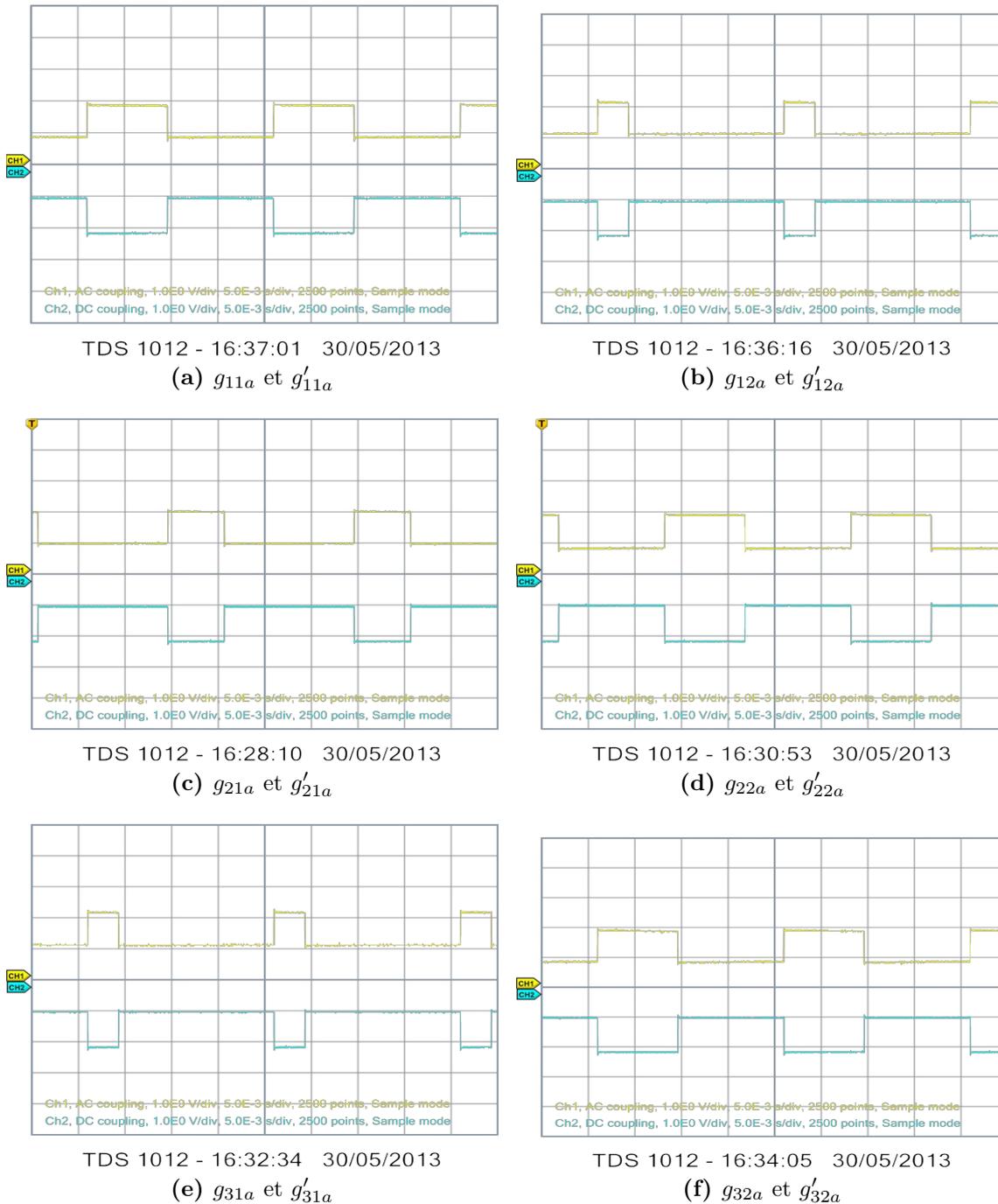


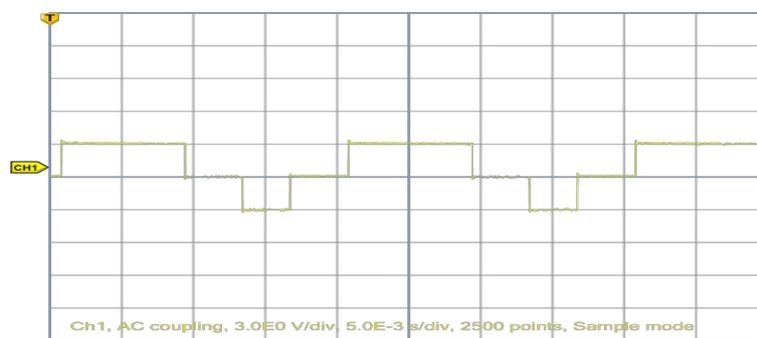
Figure 4.5: Les signaux de commutation obtenue pratiquement.

### Interprétation

Les *figure 4.5* représente les signaux de commande de l'onduleur à la sortie des carte de protection. Par exemple, la *figure 4.5(a)* représente les signaux de commande du bras gauche du pont  $H_1$ , ou  $g_{11a}$  est représenté par CH1 en jaune et son complémentaire  $g'_{11a}$  est représenté par CH2 en bleu, et la *figure 4.5(b)* représente les signaux de commande du bras gauche du pont  $H_1$ . Donc le jaune (CH1) représente les interrupteurs de haut et le bleu (CH2) leur complémentaires.

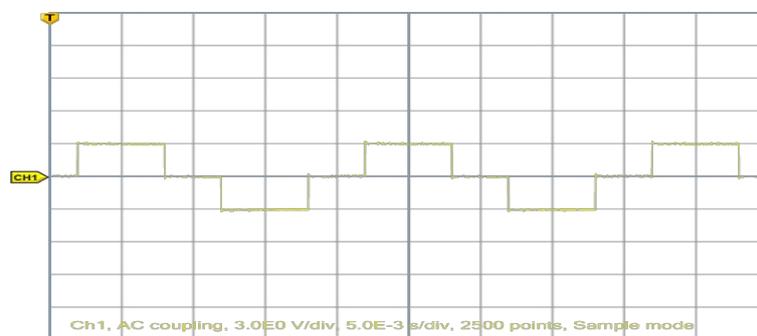
### 4.3.1 Résultats d'équilibrage de l'onduleur en pratique

La *figure 4.6* montre les tensions de sortie des ponts H de l'onduleur CHB, et la *figure 4.7* la tension simple  $V_{an}$  pour une tension continue  $E = 30V$  fonctionnant à vide.



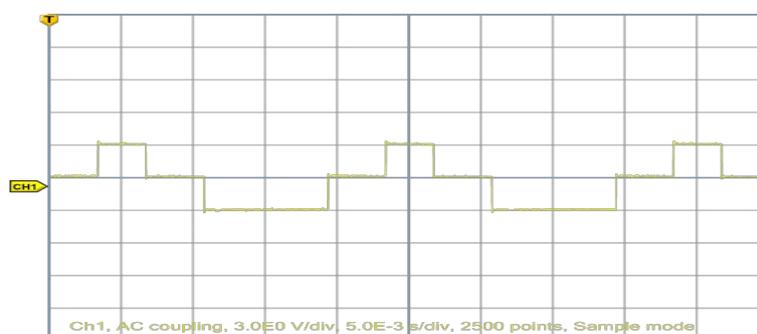
TDS 1012 - 16:17:10 30/05/2013

(a) Tension de sortie du pont  $H_1$



TDS 1012 - 16:14:19 30/05/2013

(b) Tension de sortie du pont  $H_2$



TDS 1012 - 16:18:55 30/05/2013

(c) Tension de sortie du pont  $H_3$

Figure 4.6: Les tensions de sortie des ponts H de l'onduleur de la phase (a).

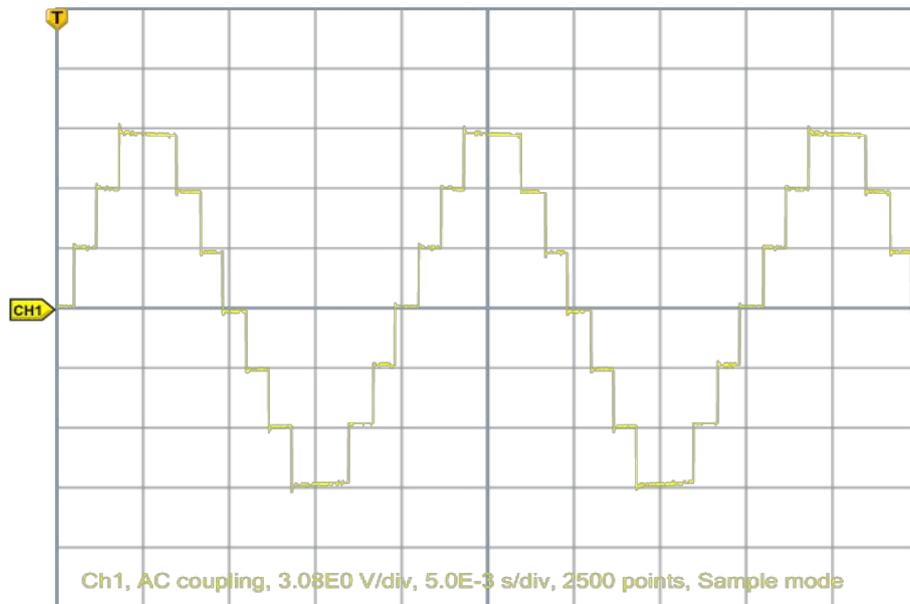


Figure 4.7: Tensions  $V_{an}$ .

### Interprétation

Théoriquement la commande SHE présente un déséquilibre de sollicitation des tensions continues ainsi que les périodes de conduction des interrupteurs de puissance, où le pont  $H_1$  est commandé par  $\theta_1$  pour la demi-période positive et  $\pi + \theta_1$  pour la demi-période négative et le pont  $H_3$  est commandé par  $\theta_3$  pour la demi-période positive, et  $\pi + \theta_3$  pour la demi période négative (*figure 2.4*), dont  $\theta_3$  est nettement supérieur à  $\theta_1$ . Pour remédier à ce problème on a opté pour un équilibrage de l'onduleur via le programme réalisé à base de la commande SHE, le principe est élaboré au chapitre 3.

La *figure 4.6(a)* montre la tension de sortie  $V_{H1}$  du pont  $H_1$  obtenue pratiquement, ou on remarque que la demi-période positive est commandé par  $\theta_1$  et la demi-période négative par  $\pi + \theta_3$ , et la tension de sortie  $V_{H3}$  du pont  $H_3$  est montré sur la *figure 4.6(c)* on remarque que la demi-période positive est commandé par  $\theta_3$  et la demi période négative par  $\pi + \theta_1$ . Cette permutation des angles de commutation ( $\theta_1$  et  $\theta_3$ ) nous a permis d'avoir une période de conduction moyenne égale pour tous les ponts H sans modification de la forme d'onde de la tension de sortie de l'onduleur. La *figure 4.6(b)* illustre la tension de sortie  $V_{H2}$  du pont  $H_2$  et la *figure 4.7* illustre la tension de sortie de l'onduleur est égale à la somme des tensions des trois ponts H, donnant une allure en forme d'escalier contenant 7-niveaux de tension.

$$V_{an} = V_{H1} + V_{H2} + V_{H3} = 3E \quad (4.1)$$

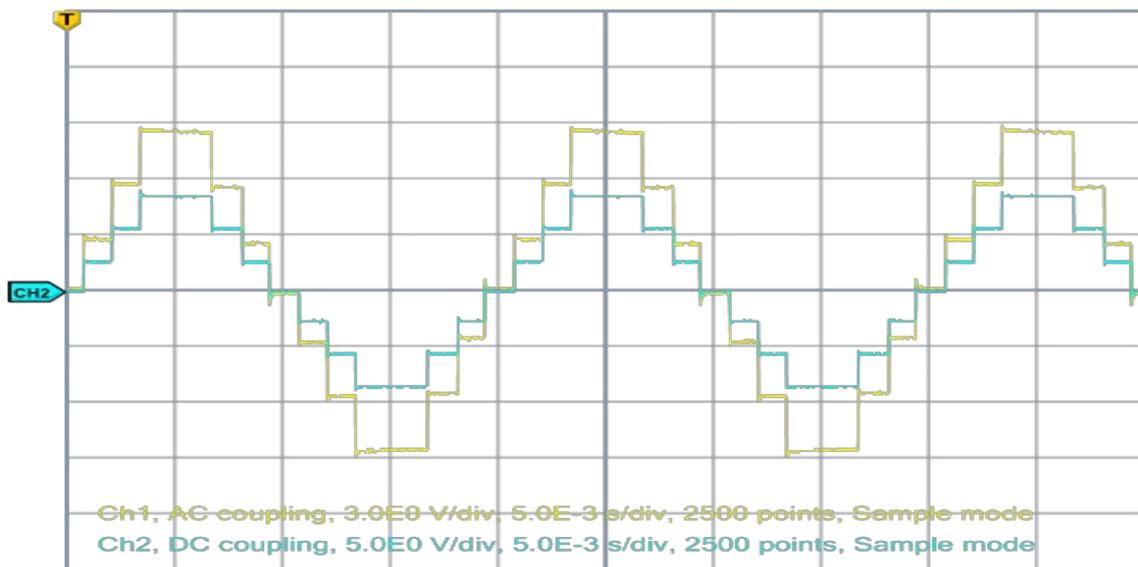
#### 4.3.2 Fonctionnement de l'onduleur sur charge R, L

L'onduleur sera testé sur deux charges. La première est une charge purement résistive et la deuxième est une charge RL. Les paramètres utilisés sont :  $E = 30V$  puis  $E = 60V$ ,  $R$  variable, et  $L$  variable. Le facteur de puissance  $\delta$  est défini par l'équation (4.2) :

$$\delta = \arctan\left(\frac{L\omega}{R}\right) \quad (4.2)$$

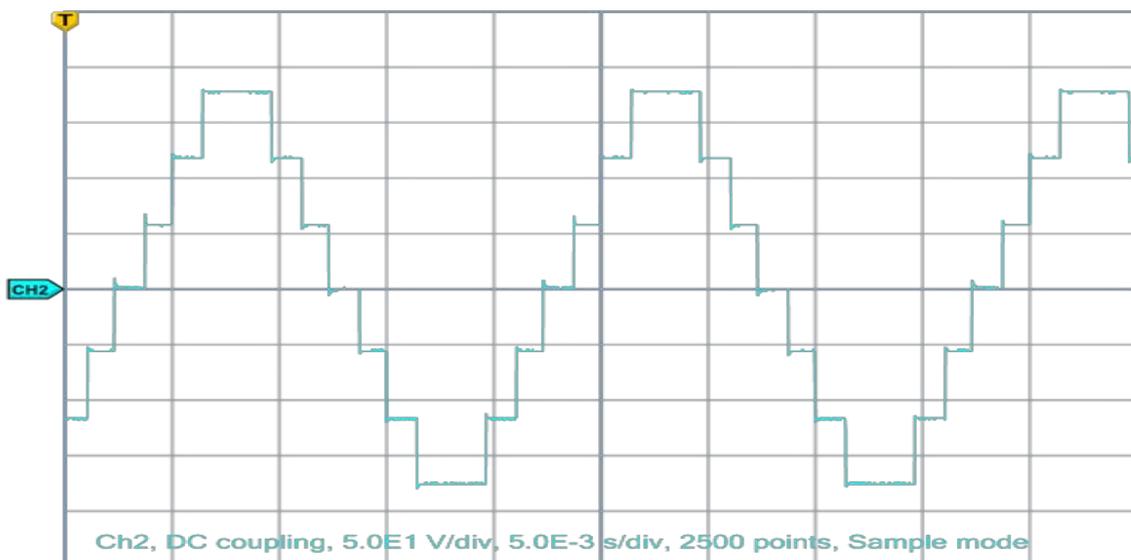
### 1. Charge résistive R

Dans ce cas on fixe le rhéostat à une résistance  $R = 217\Omega$ . La figure 4.8 montre l'allure de la tension simple  $V_{an}$  et du courant de charge  $i_a$  à la sortie de l'onduleur débitant sur une charge purement résistive (inductance nulle  $L=0H$  donc  $\delta = 0$ ) avec une tension d'alimentation  $E = 30V$  pour chaque pont H. La figure 4.9 montre l'allure de la tension  $V_{an}$  pour  $E = 60V$  pour chaque pont H débitant sur une charge  $R = 240\Omega$ . Pour pouvoir capté le signal sur l'oscilloscope on a utilisé des sonde atténuatrice de 10, donc sur les figure l'échelle est multiplié fois 10.



TDS 1012 - 16:00:09 30/05/2013

Figure 4.8: La tension  $V_{an}$  et Le courant  $i_a$  pour  $E = 30V$  et une charge  $R = 217\Omega$ .



TDS 1012 - 14:54:24 03/07/2013

Figure 4.9: La tension  $V_{an}$  pour  $E = 60V$  et une charge  $R = 240\Omega$ .

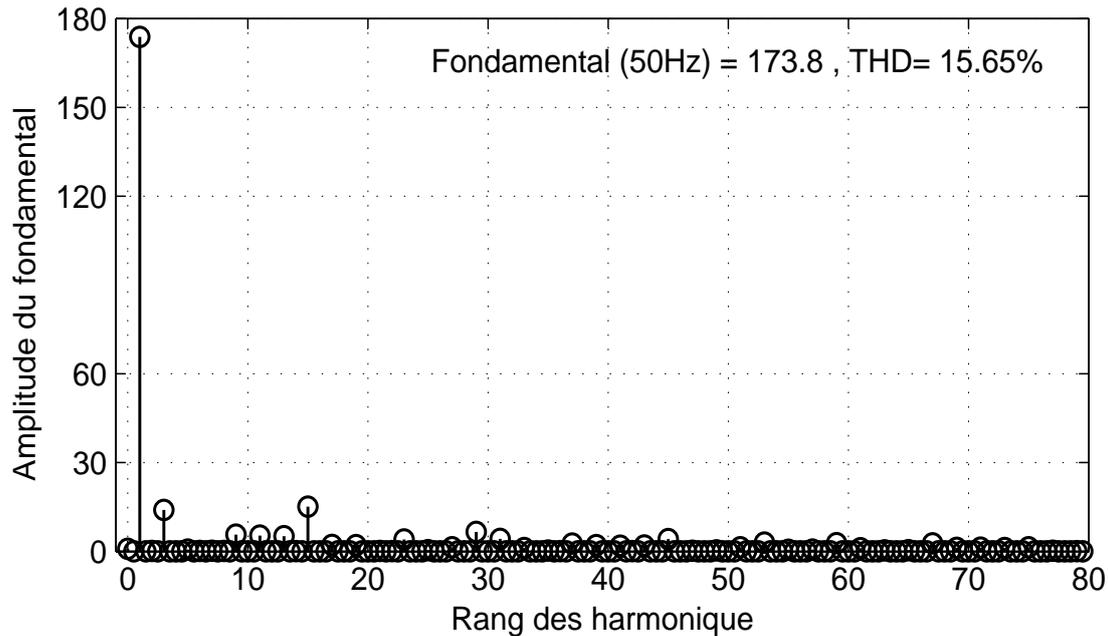


Figure 4.10: Analyse spectrale de la tension  $V_{an}$  ( $E = 60V$  et  $R = 240\Omega$ ).

### Interprétation

La figure 4.8 montre la tension simple en jaune, et le courant de charge en bleu relatifs à la phase (a) pour une charge  $R$ , donc les deux signaux sont en phase.

La figure 4.9 montre l'allure de la tension  $V_{an}$  avec  $E = 60V$  pour chaque pont H et une charge résistive  $R = 240$ . D'après l'équation (4.1) la tension maximale  $\hat{V}_{an.max}$  de l'onduleur est de 180V.

La figure 4.10 montre l'analyse spectrale de la tension illustrée sur la figure 4.9, on voit bien que les harmoniques d'ordre 5 et 7 sont éliminés par la commande il reste les harmoniques multiples de 3 tel que le 3<sup>ème</sup>, le 9<sup>ème</sup>....

La valeur de THD de la tension (figure 4.10) obtenu en pratique est de 15.65% et celle obtenue par simulation est de 14.86%. Donc la valeur obtenue en pratique est très proche de celle de la simulation avec une différence de 0.76. Le fondamentale obtenu est de 173.8V pour une tension maximale de 180V.

### 2. Charge RL

Dans ce test la charge  $RL$  est caractérisé par une résistance  $R = 240\Omega$  et une inductance  $L = 1H$  ( $\delta \neq 0$ ), la tension d'alimentation des ponts H est  $E = 60V$ .

La figure 4.11 représente les formes d'onde du courant de charge et de la tension simple de la phase (a) pour une charge  $RL$  ( $\delta \neq 0$ ). La figure 4.12 représente l'analyse spectrale de la tension  $V_{an}$  et du courant  $i_a$  pour la même charge. Les figures 4.13 et 4.14 montre l'influence de l'inductance sur la forme de l'allure du courant.

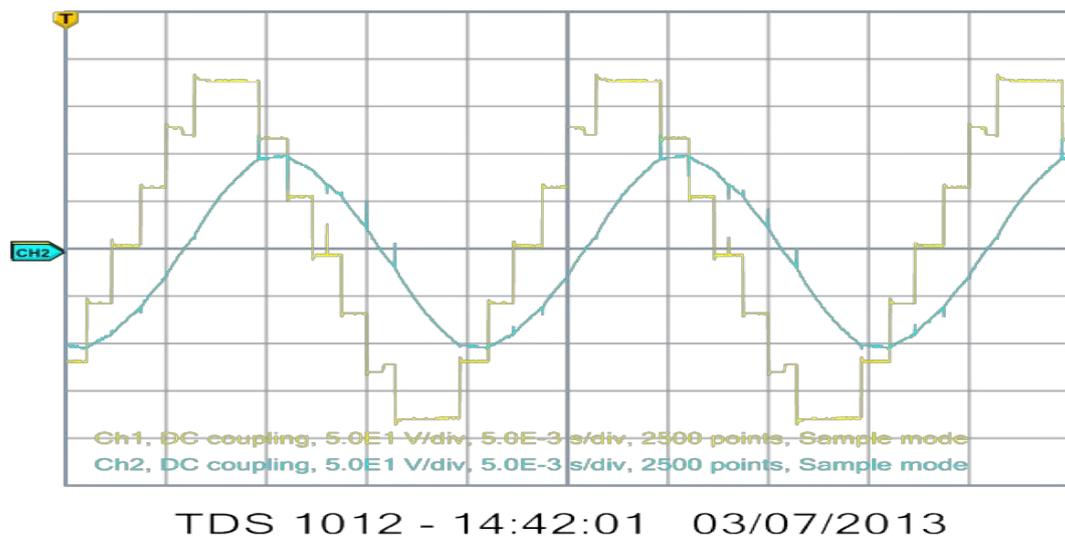
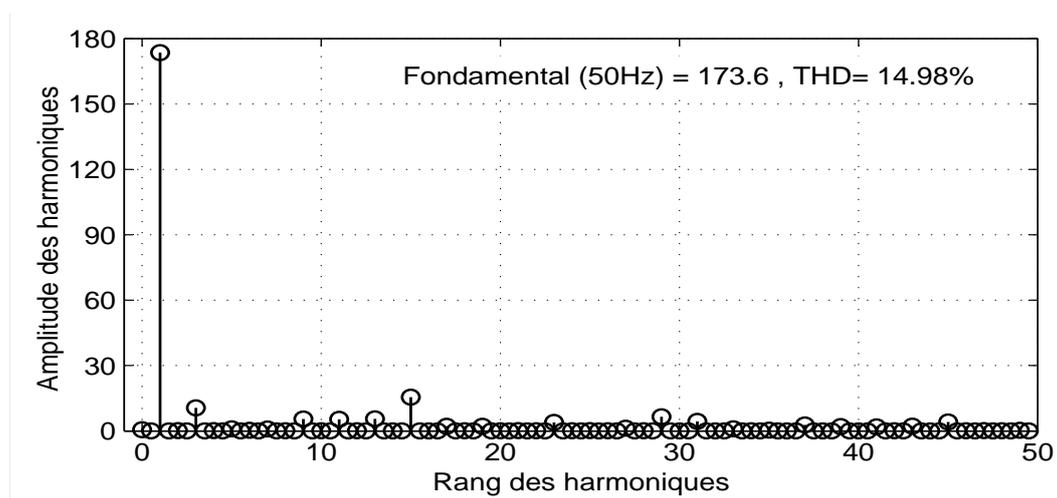
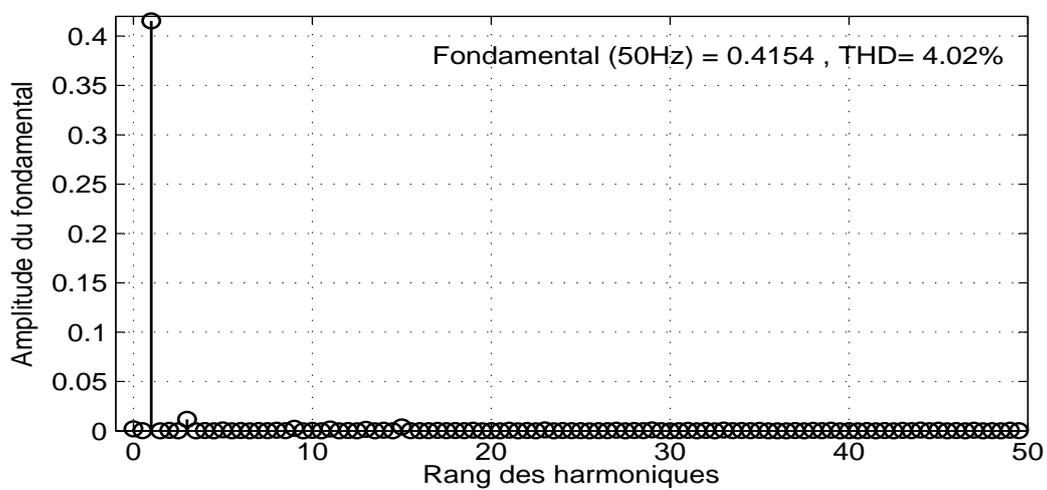


Figure 4.11: La tension  $V_{an}$  et le courant  $i_a$  pour une charge  $RL$  avec  $L = 1H$  et  $R = 240\Omega$ .

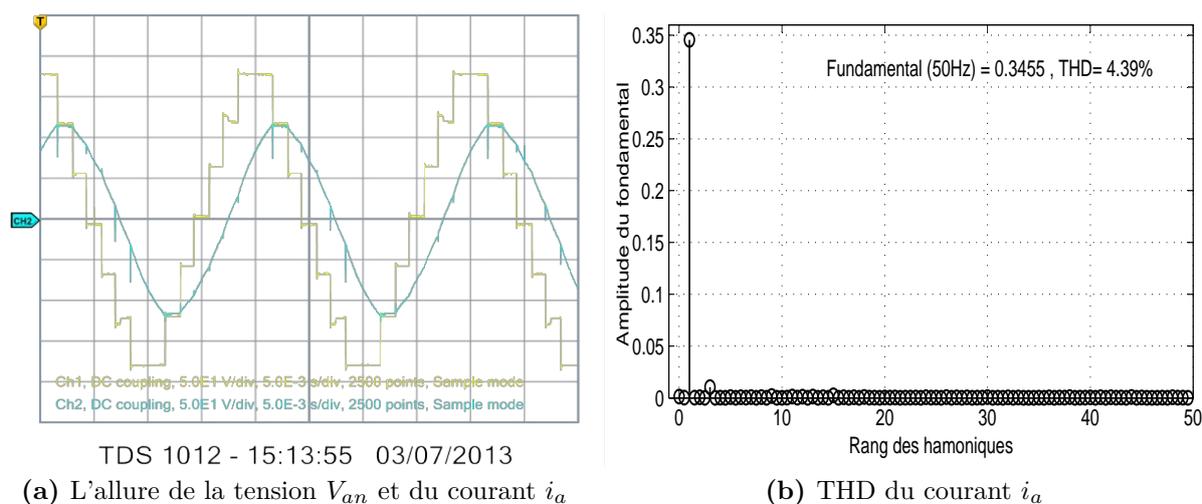


(a) THD de la tension  $V_{an}$

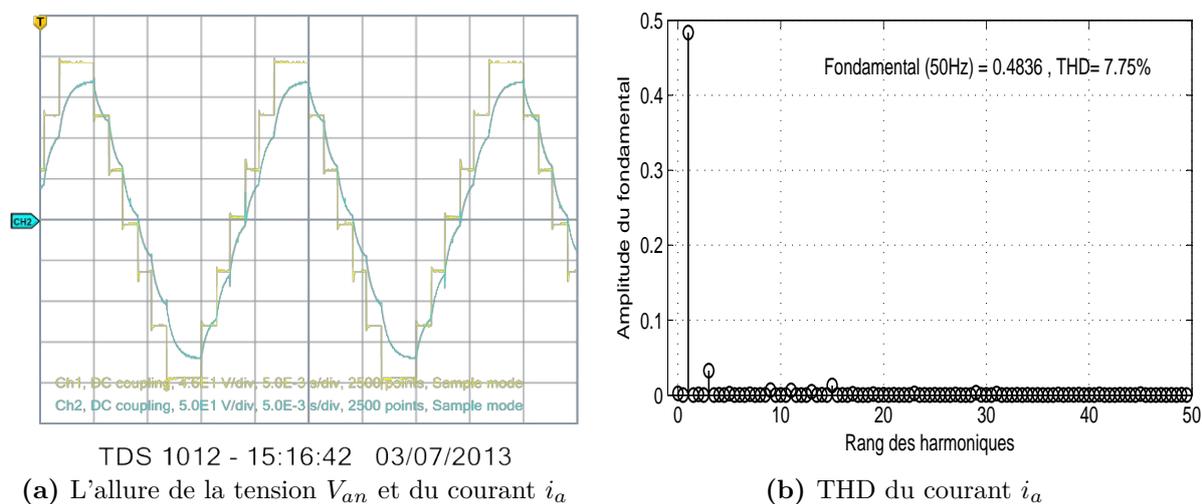


(b) THD du courant  $i_a$

Figure 4.12: Analyse spectrale de la tension  $V_{an}$  et du courant  $i_a$  pour une charge  $RL$ .



**Figure 4.13:** La tension  $V_{an}$ , le courant  $i_a$  et analyse spectrale du courant  $i_a$  pour une charge  $RL$  avec  $L = 1.1H$  et  $R = 330\Omega$ .



**Figure 4.14:** La tension  $V_{an}$ , le courant  $i_a$  et analyse spectrale du courant  $i_a$  pour une charge  $RL$  avec  $L = 0.3H$  et  $R = 330\Omega$ .

### Interprétation

La figure 4.11 montre que le courant de charge est déphasé sur la tension simple  $V_{an}$ , et il a une forme sinusoïdale. Cette amélioration de la forme d'onde du courant est due à l'inductance qui joue le rôle d'un filtre. Le déphasage entre tension et courant et calculé par l'équation (4.2) et qui donne une valeur de  $52.62^\circ$ .

La figure 4.12(a) montre que les harmoniques d'ordre 3 et 5 sont éliminés, par contre le 3<sup>ème</sup> harmonique et ces multiples ne le sont pas. Le THD de la tension obtenu pratiquement est de 14.98% la différence entre ce dernier et celui de la simulation est de 0.09. Comme est montré sur la figure 4.12(a) le fondamental de la tension est de 173.6V qui est un résultat très proche de celui obtenu par simulation (174.6V) à une différence de 1V. Le THD du courant montré sur la figure 4.12(b) est de 4.02% proche de celui obtenu par simulation avec une différence de 0.86 et le fondamental avec une différence de 0.0263A.

Cette légère différence entre les résultats obtenus pratiquement et ceux obtenus par simulation est due aux pertes par conduction et par commutation, et aussi aux erreurs de mesure qu'on n'a pas tenu compte en simulation puis qu'on a travaillé dans le cas idéal.

Les figures 4.13 et 4.14 montrent l'influence de l'inductance sur l'allure du courant de charge en termes de THD, et aussi en termes de déphasage sur la tension. Où l'augmentation de l'inductance améliore nettement la forme du courant (allure sinusoïdale) par la réduction de l'ondulation du courant, qui amène à une réduction significatif de THD du courant (pour  $L = 0.3H$  le  $THD = 7.75\%$  et pour  $L = 1.1H$  le  $THD = 4.39\%$ ). Cette augmentation de l'inductance crée aussi augmentation de déphasage du courant sur la tension simple d'une phase (pour  $L = 0.3H$   $\delta = 15.93^\circ$  et pour  $L = 1.1H$   $\delta = 46.32^\circ$ ).

## 4.4 Conclusion

Dans ce chapitre, on a montré, les différentes parties du banc d'essais réalisé à savoir la partie protection, la partie puissance, et la partie mesure et visualisation. Puis on a présenté les résultats expérimentaux du fonctionnement de l'onduleur sur charge  $RL$ .

D'après ces résultats obtenus pratiquement on peut dire que les performances de la commande à élimination sélective des harmoniques SHE appliqué à la commande de l'onduleur CHB obtenus par simulation sont vérifié en pratique, et la carte FPGA s'adapte très bien dans la commande des convertisseurs multiniveaux.

# Conclusion et perspectives

## Conclusion

Le travail présenté dans ce mémoire constitue une étude de l'onduleur multiniveaux à structure pont  $H$  cascadié, et la réalisation d'un prototype afin d'effectuer des tests expérimentaux. La commande a été implémentée sur une carte FPGA. Tout d'abord un état de l'art sur la conversion multiniveaux a été faite et on a constaté qu'actuellement les convertisseurs multiniveaux gagnent de plus en plus de place dans l'industrie, où ils couvrent presque tous les domaines. La pratique nous a montré qu'avec ce type de convertisseur, on s'affranchit les problèmes de contraintes des semi-conducteurs actuelle, permettant à une extension de la tension et de la puissance largement plus importante que celle des convertisseurs à deux niveaux classique.

L'extension des structures à un plus grand nombre de niveaux en sortie entraîne d'avoir un certain nombre d'inconvénients sur l'utilisation de convertisseur multiniveaux. Un de ces problèmes est le grand nombre de composant nécessaire pour la réalisation d'un tel convertisseur en pratique. Cependant, on a remarqué que le convertisseur CHB présente moins de composants que les autres topologies (NPC et FC) lorsque le nombre de niveaux en sortie devient important ( $N > 5$ ). Les convertisseurs multiniveaux ont créé un vaste domaine de l'électronique de puissance de part leur diversité au niveau de leur réalisation, mais aussi de la plage d'utilisation de ceux-ci au niveau des applications.

Une partie de ce mémoire a été consacré aux stratégies de commande des convertisseurs multiniveaux. Deux stratégies ont été testées sur l'onduleur multiniveaux CHB à 7-niveaux : MLI sinusoïdale et élimination sélective des harmoniques (SHE). Les résultats de simulation ont prouvés que la commande SHE présente de meilleurs résultats et plus facile à programmé en langage Verilog.

Lorsque on a passé à la programmation de la commande SHE et l'implémentation virtuelle sur carte FPGA on a constaté que la réalisation d'une telle tâche nécessite la bonne maîtrise des outils fournis par la théorie de l'automatique lors de la phase de modélisation et de simulation.

Enfin, les résultats obtenus expérimentalement vérifient ceux obtenus par simulation. Cependant, l'équilibrage de l'onduleur a été fait par la commande et il présente un avantage très important pour le prototype réalisé.

Les résultats expérimentaux obtenus nous ont permis de démontrer le bon fonctionnement de notre circuit mis en œuvre et de saisir l'importance de l'utilisation des circuits logiques programmables FPGA de par les nombreux avantages qu'elle offre (réduction de la taille du système réalisé, réduction du nombre de composants utilisés, reprogrammation à volonté des FPGA qui permet la modification et l'amélioration des conceptions réalisées).

## Perspectives

Vue les bonnes performances du prototype réalisé plusieurs perspectives de recherches se présentent :

Tout d'abord, il faudrait programmer entièrement la technique de modulation SHE dans le composant logique programmable (FPGA).

La deuxième perspective est d'ordre pratique. Il s'agit d'intégrer l'onduleur CHB réalisé dans une installation photovoltaïque connecté au réseau électrique.

La troisième perspective consiste à programmer le contrôle des panneaux photovoltaïque en temps réel puisque les FPGAs ouvrent de grandes perspectives en matière de contrôle en temps réel pour optimiser les performances de l'installation.

Enfin, la quatrième piste de recherche porte sur le développement d'une stratégie de commande plus performante, et d'étendre le nombre de niveaux de l'onduleur à un nombre plus élevé.

# Annexes

## Annexe A

### Circuit de puissance

Le circuit électronique des ponts H utilisé dans notre étude est montré à la *figure A.1*.

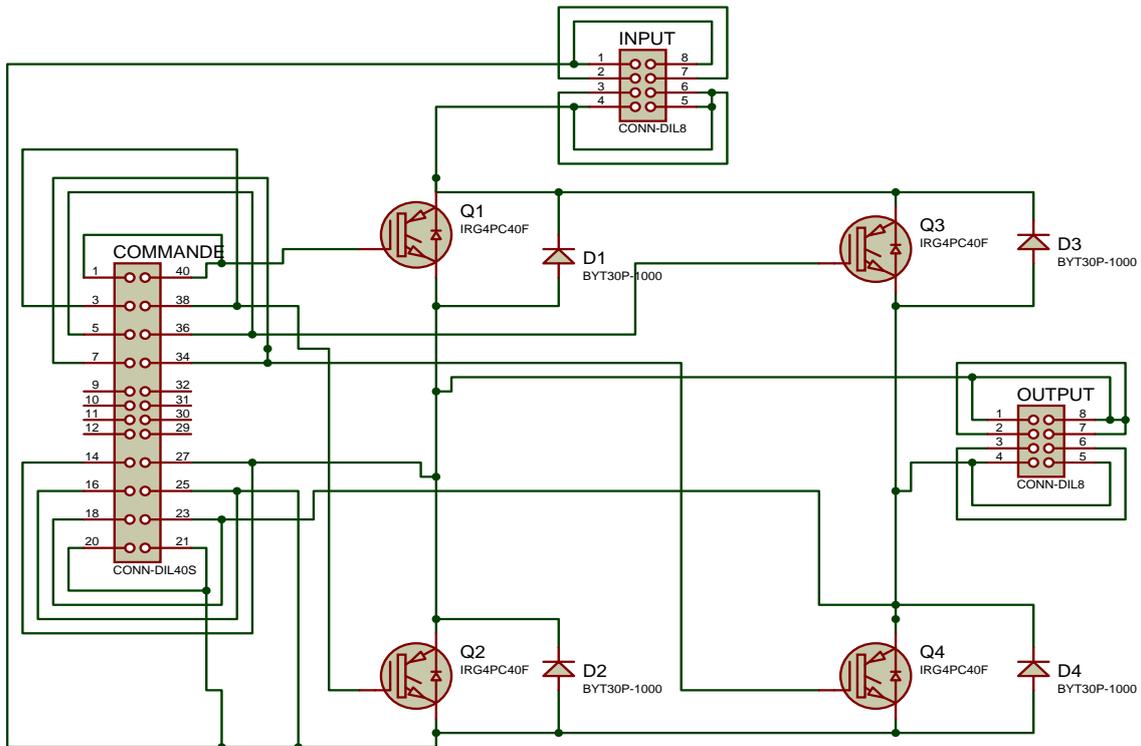


Figure A.1 : *Circuit électronique du pont H.*

#### 1. IGBT

Le transistor de puissance IGBT (Insulated Gate Bipolar Transistor) met à profit les avantages du transistor à effet de champ et du transistor bipolaire.

Il a pratiquement les propriétés d'un transistor bipolaire mais sa commande en tension de type MOS (courant de grille beaucoup plus faible qu'un courant de base) le rend très avantageux.

L'IGBT qu'on a utilisé dans ce mémoire est IRG4PC40F ces caractéristiques sont présentées dans la *figure A.2*.

#### 2. Diode

Étant donné que l'onduleur peut être alimenté sur une charge inductive où le courant est déphasé sur la tension, des diodes de commutation ultra-rapides BYT 30P 1000 sont prévues pour permettre l'échange d'énergie réactive avec la source continue.

Les caractéristiques fournies par le constructeur sont montrées à la *figure A.3*.

	Parameter	Max.	Units
$V_{CES}$	Collector-to-Emitter Voltage	600	V
$I_C @ T_C = 25^\circ\text{C}$	Continuous Collector Current	49	A
$I_C @ T_C = 100^\circ\text{C}$	Continuous Collector Current	27	
$I_{CM}$	Pulsed Collector Current ①	200	
$I_{LM}$	Clamped Inductive Load Current ②	200	
$V_{GE}$	Gate-to-Emitter Voltage	$\pm 20$	V
$E_{ARV}$	Reverse Voltage Avalanche Energy ③	15	mJ
$P_D @ T_C = 25^\circ\text{C}$	Maximum Power Dissipation	160	W
$P_D @ T_C = 100^\circ\text{C}$	Maximum Power Dissipation	65	
$T_J$	Operating Junction and Storage Temperature Range	-55 to +150	°C
$T_{STG}$			
	Soldering Temperature, for 10 sec.	300 (0.063 in. (1.6mm) from case)	
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1N•m)	

Figure A.2 : Caractéristique de l'IGBT IRGPC40F.

Symbol	Parameter	Value	Unit	
$V_{RRM}$	Repetitive Peak Reverse Voltage	1000	V	
$V_{RSM}$	Non Repetitive Peak Reverse Voltage	1000	V	
$I_{FRM}$	Repetive Peak Forward Current	$t_p \leq 10\mu\text{s}$	375	A
$I_F (RMS)$	RMS Forward Current		70	A
$I_F (AV)$	Average Forward Current	$T_c = 50^\circ\text{C}$ $\delta = 0.5$	30	A
$I_{FSM}$	Surge non Repetitive Forward Current	$t_p = 10\text{ms}$ Sinusoidal	200	A
P	Power Dissipation	$T_c = 50^\circ\text{C}$	60	W
$T_{stg}$ $T_J$	Storage and Junction Temperature Range		- 40 to +150	°C

Figure A.3 : Caractéristique de la diode BYT 30P 1000.

## Circuit de protection

### 1. Driver IR2111

Par conception, les IGBTs ont un temps de blocage supérieur à celui de la mise en conduction et comme les commande d'une même cellule sont complémentaires ( $g_{11a} = \overline{g_{11a}}$ ), il est indispensable de protéger les alimentations de puissance et les composants contre les courts circuits. Un temps entre l'ouverture d'un IGBT et la fermeture du complémentaire est donc inévitable. Dans notre travail on utilise un driver de référence IR2111.

Un exemple de branchement de ce driver est montré à la *figure A.4*.

### 2. Optocoupler HCPL 3120

L'optocoupler HCPL 3120 utilisé dans notre travail a une tension d'isolation de 1500V, sous une tension d'alimentation allant de 15V à 30V et un courant de sortie qui atteint 2A.

Le circuit du branchement de l'optocoupler HCPL 3120 est illustré sur la *figure A.5*.

### 3. Amplificateur LM 324

Le circuit du branchement de l'amplificateur LM 324 est montré à la figure A.6.

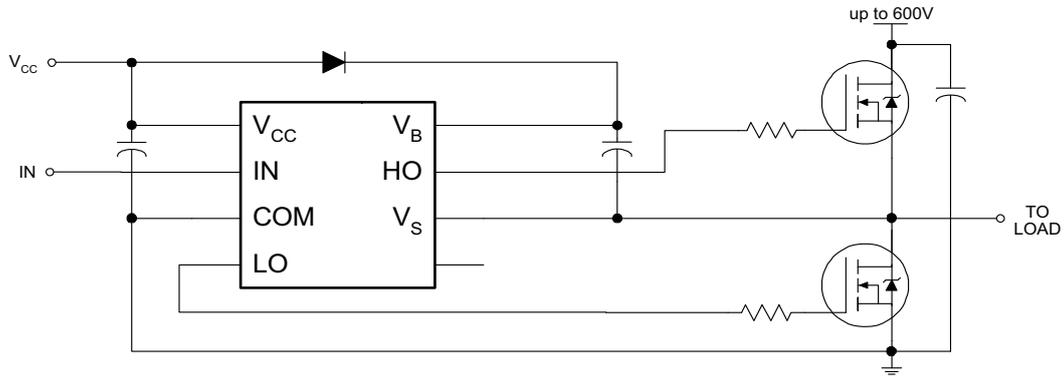


Figure A.4 : Circuit du branchement du driver IR2111.

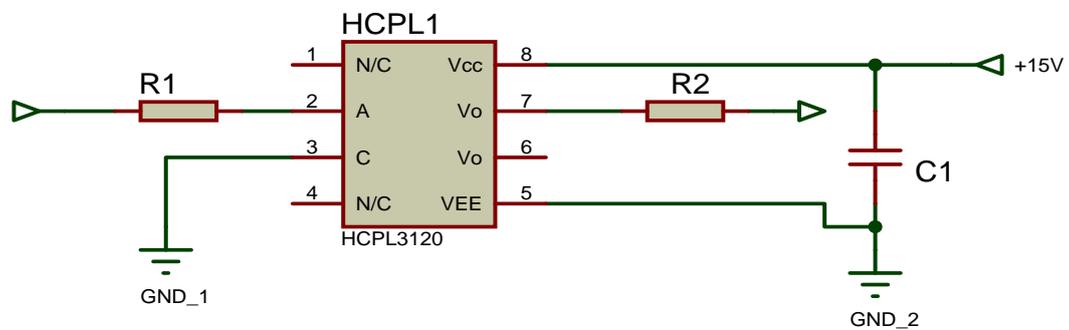


Figure A.5 : Circuit du branchement de l'optocoupler HCPL 3120.

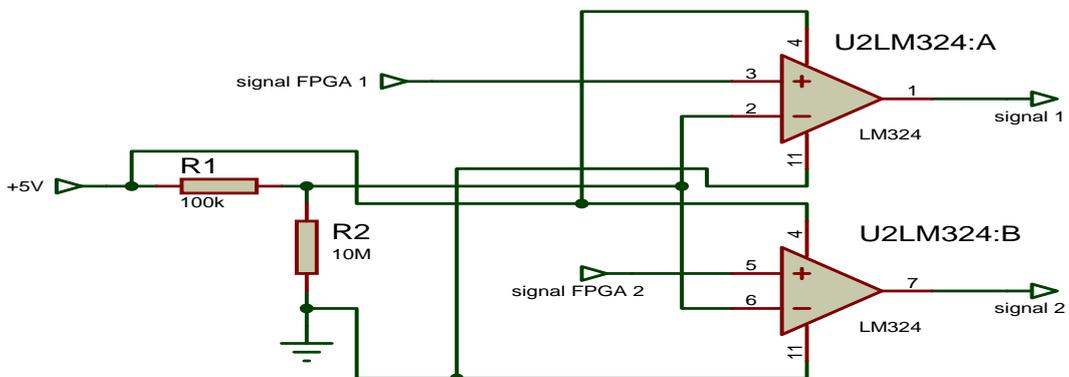


Figure A.6 : Circuit du branchement de l'amplificateur LM 324.

# Référence Bibliographique

# Référence Bibliographique

- [1] Bannister, R. H. Baker et L. H. Bannister, "*Electric Power Converter*", U.S. Patent Number 3,867,643, Feb. 1975.
- [2] A. Nabae, I. Takahashi, H. Akagi, "*A new-point-clamped PWM Inverter*", IEEE trans. on Ind elect, Vol.1A-17, NO 5, pp. 518-523, 1981.
- [3] S. Kouro, M. Malinowski, K. Gopakumar, J. Pou, L. G. Franquelo, Bin Wu, J. Rodriguez, M. A. Pérez, "*Recent Advances and Industrial Applications of Multilevel Converters*", IEEE Trans. on Ind. Elec, Vol. 57, No.8, pp. 2553-2580, 2010.
- [4] M. Aime, "*Évaluation et optimisation de la bande passante des convertisseurs statiques Application aux nouvelles structures multicellulaires*", Thèse de doctorat N° d'ordre : 2028, INP de Toulouse, 2003.
- [5] R. H. Baker, "*H-Bridge Converter Circuit*", U.S. Patent 4 270 163, May 1981.
- [6] J. Rodriguez, J. S. Lai, et F. Z. Peng, "*Multilevel Inverters : A Survey of Topologies, Controls, and Applications*", IEEE trans. on Ind. elec, Vol. 49, No. 4, pp. 724-738, August 2002.
- [7] P. W. Hammond, "*Medium voltage PWM drive and methode*", U.S. Patent 5 625 545, Apr. 1997.
- [8] F. Z. Peng, J. S. Lai, "*Multilevel cascade voltage-source inverter with separate DC sources*", U.S. Patent 5 642 275, June 24, 1997.
- [9] T. A. Meynard, H. Foch, "*Multilevel conversion : High-Voltage choppers and Voltage-source Inverters*", IEEE conference, pp. 398-403, 1992.
- [10] A. Leredde, "*Etude, Commande et Mise en Oeuvre de Nouvelles Structures Multiniveaux*", Thèse de doctorat, INP Toulouse, 2011.
- [11] K. J. McKenzie, "*Eliminating Harmonics in a Cascaded H-Bridges Multilevel Inverter Using Resultant Theory, Symmetric Polynomials, and Power Sums*", A Thesis Presented for the Master of Science Degree The University of Tennessee, Knoxville, 2004.
- [12] L. M. Tolbert, Z . Peng, T. G. Habetler, "*Multilevel Inverters for Electric Vehicle Applications*", WPET '98, Dearborn, Michigan, October 22-23, 1998.
- [13] S. Khomfoi, L. M. Tolbert, "*Multilevel Power Converters*", Chapter 31, The University of Tennessee, 2005.
- [14] J. S. Manguelle, "*Convertisseur Multiniveaux asymétrique alimentés par transformateurs multi-secondaires basse fréquence*", Thèse de doctorat N° d'ordre : 3033, EPFL Lausanne, 2004.
- [15] C. De Almeida Martins, "*Contrôle direct du couple d'une machine asynchrone alimentée par convertisseurs Multiniveaux à fréquence imposée*", Thèse de doctorat, INP de Toulouse, 2000.

- [16] K. Benmansour, "*Réalisation d'un banc d'essai pour la commande et l'observation des convertisseurs multicellulaires série : approche hybride*", Thèse de doctorat, Université de Cergy-pontoise, 2009.
- [17] E. Cengelci, S. U. Sulistijo, B. O. Woom, P. Enjeti, R. Teodorescu, F. Blaabjerg, "*A New Medium Voltage PWM Inverter Topology for Adjustable Speed Drives*", Conf. Rec. IEEE-IAS Annu. Meeting, St. Louis, MO, pp. 1416-1423, Oct. 1998.
- [18] J. S. Mariethoz, "*Étude formelle pour la synthèse de Convertisseur Multiniveaux asymétrique : Topologies, modulation et commande*", Thèse de doctorat N° d'ordre : 3188, EPFL de Lausanne, 2005.
- [19] M. H. Rashid, "*Power Electronics Handbooks*", Academic Press, 2001.
- [20] X. Yuan, I. Barbi, "*Fundamentals of a New Diode Clamping Multilevel Inverter*", IEEE Trans. on Pow. Elec, Vol.15, No 4, jul 2000.
- [21] J. S. Lai, F. Zheng Peng, "*Multilevel converters - A new breed of power converters*", IEEE trans. on Ind. Appl, Vol.32, No 3, pp. 509-517, 1996.
- [22] R. Teodorescu, F. Blaabjerg, John. K. Pedersen, E. Cengelci, Prasad N. Enjeti, "*Multilevel Inverter by Cascading Industrial VSI*", IEEE Trans. on. Ind. Elec, Vol. 49, No. 4, pp. 832-838, Aug 2002.
- [23] A. Tahri, et A. Draou, "*A Comparative Modelling Study of PWM Control Techniques for Multilevel Cascaded Inverter*", Leonardo Journal of Sciences ISSN 1583-0233, pp. 42-58, 2005.
- [24] D. Ostojic, "*A multilevel converter structure for grid-connected PV plants*", Thèse de doctorat, université de Bologna, 2010.
- [25] Zhong Du, B. Ozpineci, L. M. Tolbert, et J.N. Chiasson, "*DC-AC Cascaded H-Bridge Multilevel Boost Inverter with No Inductors for Electric/Hybrid Electric Vehicle Applications*", IEEE Trans. on Ind. Elec, Vol. 45, No. 3, pp. 963-970, 2009.
- [26] D. Gritter, S. S. Kalsi, et N. Henderson, "*Variable speed electric drive options for electric ships*", Proc. IEEE Elec. Ship Technol. Symp, pp. 347-354, 2005.
- [27] S. Lu, K. Corzine, "*Multilevel Multi-Phase and Propulsion Drives*", IEEE Electric Ship Technologies Symposium, pp. 363-670, 2005.
- [28] O. Lopez, J. Alvarez, J. Doval-Gandoy, F. D. Freijedo, "*Multilevel multiphase space vector PWM algorithm with switching state redundancy*", IEEE Trans. Ind. Elec, vol. 56, No. 3, pp. 792-804, Mar 2009.
- [29] O. Lopez, J. Alvarez, J. Doval-Gandoy, F. D. Freijedo, "*Multilevel Multiphase Space Vector PWM Algorithm*", IEEE Trans on Ind. Elec, Vol. 55, No. 5, pp. 1933-1942, 2008.
- [30] M. Calais, V. G. Agelidis, M. Meinhart, "*Multilevel Converters for single-phase grid connected photovoltaic systems : an overview*", Elsevier Science Ltd, Vol. 66, No. 5, pp. 325-335, 1999.
- [31] A. Benaboud, "*Convertisseur de fréquence indirect à rapport de tension fixe : interface entre turbo-alternateurs à haute vitesse et réseau électrique*", Thèse de doctorat N° d'ordre : 3733, EPF de Lausanne, 2007.
- [32] M. Vishnu Prasad, K. Surya Suresh, "*Control and performance of à cascade H-bridge MLI as STATCOM*", International Journal of Advances in Engineering & Technology ISSN : 2231-1963, Vol. 2, Issue 1, pp. 508-519, 2012.

- [33] Leon M. Tolbert, Fang Z. Peng, "*Multilevel Converters as utility interface for renewable energy systems*", IEEE conference, pp. 1271-1274, 2000.
- [34] L. A. Septra, "*Current Control and Strategies for and Multilevel Grid and Connected*", Thèse de doctorat N° d'ordre : 1746, FIT Zurich, 2007.
- [35] H. Colak, E. Kabalci, R. Bayindir, "*Review of multilevel voltage source inverter topologies and control schemes*", Elsevier, Vol 52, pp. 1114-1128, 2011.
- [36] J. Rodriguez, L. Moran, P. Correa, C. Silva, "*A vector control technique for medium-voltage multilevel inverters*", IEEE Trans. on Ind. Elec, Vol. 49. No, pp. 882-888, 2002.
- [37] A. Lega, "*Multilevel Converters : Dual Two-Level Inverter Scheme*", Thèse de Phd, Université de Bologna, Mars 2007.
- [38] R. Abe, Y. Nagai, K. Tsuyki, K. Nishikawa, T. Shimamura, A. Kawaguchi, K. Shimada, "*Development of Multiple Space Vector Control for Direct Connected Parallel Current Source Power Converters*", Proc. On Power Conversion Conference, Nagaoka 1997, Vol. 1, pp. 283-288, 3-6 Aout 1997.
- [39] L. Douchet, M. Sauzeix, S. Tisserand, "*Electronique MP, Cours, Méthodes, Exercices résolus*", Précis Bréal, 2004.
- [40] Wu Bin, "*High-Power Converters and AC Drives*", Wiley-IEEE Press, 2006.
- [41] B. P. McGrath, D. G. Holmes, "*Multicarrier PWM Strategies for Multilevel Inverters*", IEEE Trans. on Ind. Elec, Vol. 49, No. 4, pp. 858-867, Aug. 2002.
- [42] B. Housseini, "*Prototypage rapide à base de FPGA d'un algorithme de contrôle avancé pour le moteur à induction*", Université du Québec à Trois-Rivières. Exigence partielle de la maîtrise en génie électrique, 2010.
- [43] C. Feng, J. Liang, Agelidis, T. C. Green, "*A multi-modular system based on parallel-connected multilevel flying capacitor converters controlled with fundamental frequency SPWM*", Proceedings of IEEE 32nd conf on ind elec, Paris (France), 2006.
- [44] G. Carrara, S. Gardella, "*A new multilevel PWM method : A theorecal analysis*", IEEE Trans. on Pow. Elec, Vol. 7, No. 3, pp. 497-505, 1992.
- [45] A. Nketsa, "*Circuits logiques programmables : Mémoires, PLD, CPLD et FPGA*", Ellipses Marketing, 1998.
- [46] <http://www.Xinlix.com>

# Résumé

## Résumé

Ce mémoire est focalisé sur l'étude et la réalisation d'un convertisseur multiniveaux triphasé dont la topologie est basée sur la mise en cascade de trois onduleurs en pont H monophasés sur une seule phase. En alimentant les ponts H par des tensions continues égales et indépendantes on obtiendra en sortie une tension à 7-niveaux. Une telle topologie permet de monter en puissance et d'améliorer la qualité du signal de sortie. Ce projet met en évidence les différentes techniques de commande des convertisseurs multiniveaux. Des tests de simulations ont été effectués sur la modulation à MLI sinusoidale et modulation à élimination sélective des harmoniques (SHE) où cette dernière a été implémentée sur une carte électronique FPGA pour la commande du prototype réalisé au laboratoire. Enfin, les tests expérimentaux obtenus nous ont permis de valider les résultats obtenus par simulation.

**Mots clés :** Onduleurs multi-niveaux en cascade, Stratégies de commutation, Carte FPGA, Technique d'élimination d'harmoniques.

## Abstract

This work is focused on the study and implementation of a multi-phase converter topology which is based on the cascade three-phase H-bridge inverter on each arm. The H bridges are powered by equal and independent DC voltages that will provide output voltage 7-levels. Such a topology can increase in transit powers and improve the quality of the output signal. This project highlights the different control techniques of multilevel converters. Test simulations were performed on the modulation PWM sinusoidal modulation and selective harmonic elimination (SHE) where it has been implemented on an FPGA circuit board for controlling the prototype in the laboratory. Finally, an experimental test obtained allows us to validate the simulation results.

**Key words :** Cascaded multilevel inverter, Commutations strategies, FPGA card, selective harmonics elimination.

## المخلص

في هذه الأطروحة نعرض دراسة و انجاز موج متعدد المستويات ثلاثي الطور بحيث ان الطوبولوجيا مكونة من ثلاث موجات ذو جسر احادي الطور. عند تغذية الجسور H بالتوترات المستمرة المتساوية والمنعزلة عن بعضها البعض نتحصل في المخرج على توتر ذو 7 مستويات. هذه الطوبولوجيا تسمح برفع الاستطاعة و تحسين نوعية اشارة المخرج. هذه الأطروحة تتضمن دراسة شاملة لمختلف تقنيات التحكم في المحولات متعددة المستويات. عدة اختبارات المحاكات تم انجازها على تقنيات MLI و SHE اين تم تنفيذ هذه الاخيرة في بطاقة الكترونية FPGA للتحكم في الموج الذي تم انجازه في المخبر. اخيرا نتائج التطبيقات العملية المنجزة سمحت لنا التحقق من صحة النتائج المتحصل عليها بالمحاكات.

**مفاتيح الكلمات :** موج متعدد المستويات ذو جسر H, تقنيات التحكم, بطاقة الكترونية FPGA, تقنية SHE