

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR  
ET DE LA RECHERCHE SCIENTIFIQUE



Faculté de technologie  
Département de Génie électrique  
Mémoire de fin d'étude  
En vue de l'obtention de diplôme de Master  
En électronique  
Option : Microélectronique.

**Thème :**  
**Modélisation et simulation des facteurs non  
idéaux dans le CAN SAR**

**Présenté par :**

AIT MOKRANE Wissem  
BAKLI Soraya

**Devant le jury constitué de :**

Mme.R. BENDJELLOUL	Docteur	Présidente.
Mlle.Y. ACHOUR	Docteur	Examinatrice.
Mr.S. HANFOUG	Docteur	Promoteur.

**Année universitaire: 2019/ 2020**

## *Remerciements*

Nous remercions Dieu de nous avoir donné le savoir et la force de pouvoir réaliser ce travail.

Nous souhaitons adresser nos remerciements les plus sincères à notre promoteur **Dr. HANFOUG Salah**. Ses grandes qualités d'encadrement, n'ont eu de cesse de nous encourager et conseiller. Nous en profitons pour lui exprimer ici notre plus profonde gratitude pour la confiance qu'il nous a témoignée.

Nos vifs remerciements vont au **Dr. BENDJELLOUL Rahima** pour avoir accepté la présidence du jury à bien vouloir prendre le temps de s'intéresser au sujet de la présente thèse. Et nous tenons aussi à exprimer toutes nos reconnaissances au **Dr. ACHOUR Yakout** qui nous a fait l'honneur d'examiner notre travail. Leurs regards critiques ne feront que rehausser le niveau de notre savoir faire.

Nous remercions également nos collègues devenu amis : Micipsasa Sidi, Youcef Meriem, Zerrougui Yanis et toute la section microélectronique 2019-2020 à qui nous souhaitons toute la réussite.

## Dédicace

Je dédie ce modeste travail :

Aux êtres les plus chers à mon cœur, à ceux qui m'ont donnés la vie,  
Le symbole de tendresse, qui se sont sacrifiés pour mon bonheur et ma réussite,

À mes chers parents **Larbi** et **Ourdia**,

Que Dieu les garde et les protège.

A mes sœurs Fouzia, Hanane, mes frères Lyes, Salim,

Mes nièces et neveux, à mes amis(es).

A toute ma famille *BAKLI*.

A tous ceux qui me sont chères.

A mon encadreur Monsieur Hanfoug Salah toute ma reconnaissance pour son  
encouragement.

Et enfin à ma chère collègue et binôme Ait mokrane wissem.

**SORAYA**

## Dédicace

Je dédie ce travail

A mon exemple éternel, mon soutien moral et source de joie et de bonheur, celle qui s'est toujours sacrifiée pour me voir réussir, que dieu la garde,

Ma mère

A mon soutien et ma fierté, source de mes efforts,

Mon père

Ma chère sœur Meriem, mes deux frères Badredine et Seddik.

A ma nièce Sidra.

Mes cher(es) cousins et cousines, oncles et tantes à toute ma famille.

A mes très chères amies : Samira, Lilya, Sabrina.

A tous ceux qui m'ont soutenu.

A ma collègue et chère binôme Soraya.

A mon encadreur Hanfoug Salah toute ma reconnaissance pour son encouragement.

A toutes les personnes que j'aime...

Ce travail n'aurait pas pu être finalisé sans la présence de ces personnes dans ma vie.

**WISSEM**

**Liste des figures**

<b>Figure I.1 :</b> Synoptique du principe de conversion analogique-numérique.	<b>04</b>
<b>Figure I.2 :</b> Echantillonnage-blocage d'un signal continu.	<b>05</b>
<b>Figure I.3 :</b> Quantification d'un signal analogique.	<b>06</b>
<b>Figure I.4:</b> Caractéristiques de transfert d'un convertisseur.	<b>07</b>
<b>Figure I.5 :</b> Fonction de transfert et variation d'erreur de quantification d'un CAN 3bits.	<b>09</b>
<b>Figure I.6:</b> Erreur de l'offset pour un CAN 3 bits.	<b>10</b>
<b>Figure I.7:</b> Erreur de gain pour CAN de 3 bits.	<b>10</b>
<b>Figure I.8:</b> Représentation de non linéarité différentielle.	<b>11</b>
<b>Figure I.9:</b> Représentation de non linéarité intégrale.	<b>11</b>
<b>Figure I.10 :</b> Représente le spectre en sortie pour les mesures des paramètres dynamique.	<b>13</b>
<b>Figure I.11:</b> La différence des calculs des erreurs dynamiques.	<b>14</b>
<b>Figure 1.12:</b> Schéma du principe du CAN double rampe.	<b>16</b>
<b>Figure I.13 :</b> Architecture d'un convertisseur Flash.	<b>17</b>
<b>Figure I.14 :</b> Architecture de CAN SAR et exemple de conversion.	<b>17</b>
<b>Figure I.15 :</b> Exemple de conversion du CAN SAR.	<b>18</b>
<b>Figure I.16 :</b> Architecture du convertisseur pepline.	<b>19</b>
<b>Figure I.17:</b> Architecture d'un étage MDAC.	<b>19</b>
<b>Figure I.18 :</b> Le CAN sigma delta.	<b>20</b>
<b>Figure I.19 :</b> La comparaison bibliographique de la résolution et la vitesse des divers CAN.	<b>21</b>
<b>Figure II.1 :</b> Représentation schématique d'un MOSFET.	<b>25</b>
<b>Figure II.2:</b> Symbole de transistor NMOS, PMOS.	<b>26</b>
<b>Figure II.3 :</b> Les éléments parasites du transistor MOS.	<b>26</b>

<b>Figure II.4 :</b> Montage éléments parasites du transistor MOS.	<b>27</b>
<b>Figure II.5 :</b> Caractéristique I-V de transistor MOS.	<b>27</b>
<b>Figure II.6:</b> Schéma électrique d'un inverseur.	<b>29</b>
<b>Figure I.7 :</b> Le schéma de principe d'un miroir de courant.	<b>30</b>
<b>Figure II.8:</b> Miroir de courant simple.	<b>30</b>
<b>Figure II.9:</b> Miroir de courant cascode.	<b>31</b>
<b>Figure II.10:</b> Les différents symboles des amplificateurs opérationnels.	<b>33</b>
<b>Figure II.11:</b> Amplificateur opérationnel à un seul étage.	<b>34</b>
<b>Figure II.12:</b> Amplificateur opérationnel à deux étages.	<b>34</b>
<b>Figure II.13 :</b> Symbole du comparateur.	<b>34</b>
<b>Figure II.14 :</b> Caractéristiques d'un comparateur idéal (a) et d'un comparateur à gain fini (b) et Caractéristique d'un comparateur présentant un offset en entrée (c).	<b>35</b>
<b>Figure II.15 :</b> Représentation du temps de propagation « $t_p$ » d'un comparateur.	<b>36</b>
<b>Figure II.16 :</b> AOP utilisé en mode comparateur.	<b>36</b>
<b>Figure II.17:</b> Circuit d'un échantillonneur-bloqueur idéal.	<b>37</b>
<b>Figure II.18:</b> Configuration en boucle ouvert d'un circuit E/B.	<b>38</b>
<b>Figure II.19:</b> Configuration en boucle fermé d'un circuit E/B.	<b>39</b>
<b>Figure II.20 :</b> Commutateur CMOS, (a) type NMOS, (b) type PMOS, (c) la résistance des commutateurs.	<b>40</b>
<b>Figure II.21 :</b> La porte de transmission CMOS.	<b>41</b>
<b>Figure.III.1:</b> L'Architecture générale du convertisseur analogique numérique à registres à approximations successives.	<b>44</b>
<b>Figure.III.2:</b> Le Principe de fonctionnement d'un CAN SAR.	<b>44</b>
<b>Figure III.3 :</b> Le modèle comportemental d'un CAN SAR.	<b>45</b>
<b>Figure III.4 :</b> Modèle comportemental du convertisseur SAR avec un décodeur 4-15 bits.	<b>46</b>

<b>Figure III.5 :</b> Circuit de base d'E/B.	<b>47</b>
<b>FigureIII.6 :</b> Le modèle idéal du circuit E/B.	<b>47</b>
<b>Figure III.7 :</b> Phénomène de l'injection des charges du transistor NMOS.	<b>48</b>
<b>Figure III.8:</b> Le modèle du phénomène de l'injection des charges.	<b>48</b>
<b>Figure III.9:</b> L'erreur sur l'instant d'échantillonnage.	<b>49</b>
<b>Figure III. 10:</b> Le modèle d'erreur sur l'instant d'échantillonnage.	<b>50</b>
<b>Figure III.11 :</b> Montage de base clock feedthrough d'E/B mode tension.	<b>50</b>
<b>Figure.III.12:</b> Le modèle du bruit de scintillation.	<b>51</b>
<b>Figure.III.13:</b> Modèle comportementale avec imperfection (non idéal) du circuit E/B.	<b>52</b>
<b>Figure III.14 :</b> Le modèle idéal du comparateur.	<b>52</b>
<b>Figure.III.15:</b> Le Modèle du bruit thermique.	<b>54</b>
<b>Figure III.16 :</b> Modèle comparateur non idéal.	<b>54</b>
<b>Figure III.17:</b> Le modèle général du registre à approximation successive.	<b>55</b>
<b>Figure III.18 :</b> Registre successive SAR dans le bloc Simulink.	<b>56</b>
<b>Figure III.19 :</b> Encodeur de thermomètre de 4 à 15 binaires.	<b>57</b>
<b>Figure III.20 :</b> La structure générale du CNA de condensateurs commutés.	<b>57</b>
<b>Figure III.21 :</b> Le modèle du CNA.	<b>58</b>
<b>Figure III.22 :</b> Signale d'entrée du CNA.	<b>59</b>
<b>Figure III.23 :</b> Signal de sortie du CNA.	<b>59</b>
<b>Figure III.24:</b> Signal analogique reconstruit du CAN.	<b>59</b>
<b>Figure III.25 :</b> FFT du signal de sortie dans le cas idéal où : $F_{IN} = 50$ KHz, $F_s = 5$ MHz.	<b>60</b>
<b>Figure III.26 :</b> FFT du signal de sortie dans le cas non-idéal où : $F_{IN} = 50$ KHz, $F_s = 5$ MHz.	<b>60</b>
<b>Figure III.27 :</b> DNL du 8 bit SAR ADC (modèle idéal).	<b>61</b>
<b>Figure III.28:</b> INL du 8 bit SAR ADC (modèle idéal).	<b>61</b>

**Figure III.29** : DNL du 8 bit SAR ADC (non idéal modèle). **62**

**Figure III.30** : INL du 8 bit SAR CAN (non idéal modèle). **62**



### **Liste des tableaux**

<b>Tableau I.1 :</b> Les différents types de convertisseurs	<b>14</b>
<b>Tableau I.2 :</b> Avantages, inconvénients et domaines d'application des différents architectures	<b>22</b>
<b>Tableau II.2 :</b> La tension minimum et la résistance de sortie des différents types de miroirs de courant	<b>32</b>
<b>Tableau III.1:</b> Caractéristiques principales de modèle du CAN	<b>62</b>

## Table de matière

*Introduction générale* ..... 1

### Chapitre I: Etat de l'art du convertisseur analogique numérique

I.1. Introduction..... 3

I.2. Théorie de la conversion..... 4

    I.2.1. Théorie d'échantillonnage ..... 4

    I.2.2. Principe de conversion ..... 4

        I.2.2.1. Filtre anti repliement ..... 4

        I.2.2.2. Echantillonnage ..... 5

        I.2.2.3. Quantification..... 5

        I.2.2.4. Codage..... 5

I.3. Caractéristiques de convertisseur ..... 6

    I.3.1. Caractéristiques de transfert ..... 7

        I.3.1.1. Résolution ..... 7

        I.3.1.2. Quantum..... 8

        I.3.1.3. Bruit de quantification ..... 8

    I.3.2. Caractéristiques statiques ..... 9

        I.3.2.1. Erreur d'offset (erreur de décalage) ..... 10

        I.3.2.2. Erreur de gain ..... 10

        I.3.2.3. Non-linéarité différentielle..... 10

        I.3.2.4. Non-linéarité intégrale ..... 11

    I.3.3. Caractéristiques dynamiques ..... 11

        I.3.3.1. Rapport signal sur bruit ..... 11

        I.3.3.2. Signal sur bruit avec distorsion ..... 12

        I.3.3.3. Dynamique sans fréquence parasit ..... 12

        I.3.3.4. Nombre effectif de bits ..... 12

        I.3.3.5. Distorsion harmonique totale ..... 12

I.4. Différents types de convertisseurs (Topologie) .....	14
I.4.1. CAN à double rampe.....	15
I.4.2. CAN flash (parallèle) .....	16
I.4.3. CAN par approximations successives .....	17
I.4.4. CAN pipeline .....	18
I.4.5. CAN Sigma-Delta $\Sigma\Delta$ .....	20
I.5. Comparaison entre les convertisseurs (Bilan).....	20
I.6. Conclusion .....	23

## **Chapitre II: les Blocs Analogiques en Technologie CMOS**

II.1. Introduction .....	24
II.2. Transistor MOS.....	24
II.2.1. Structure de transistor MOS.....	24
II.2.2. Différents types de transistor MOS .....	25
II.2.3. Eléments parasites du transistor MOS .....	26
II.2.4. Caractéristiques électriques du transistor MOS .....	27
II.2.5. Circuits en technologie CMOS.....	28
II.2.5.1. Définition.....	28
II.2.5.2. Inverseur à MOS complémentaire .....	28
I.3. Miroirs de courant .....	29
II.3.1. Principe .....	29
I.3.2. Réalisation .....	30
II.3.3. Miroirs de courant en technologie CMOS .....	30
II.3.3.1. Miroir de courant simple .....	30
II.3.3.2. Miroir de courant cascode .....	31
II.4. Amplificateurs opérationnels .....	32
II.4.1. Définition .....	32
II.4.2. Caractéristiques des amplificateurs opérationnels.....	33

II.4.3. Différentes topologies d'ampli-op.....	33
II.4.3.1. Amplificateur à un seul étage .....	33
II.4.3.2. Amplificateur à deux étages .....	33
II.5. Comparateur .....	34
II.5.1. Caractéristiques d'un comparateur .....	35
II.5.1.1. Caractéristiques statiques .....	35
II.5.1.2. Caractéristiques dynamiques .....	35
II.5.2. Comparateur CMOS .....	36
II.6. Circuit échantillonneur bloqueur E/B .....	37
II.6.1. Configuration en boucle ouverte du circuit E/B.....	38
II.6.2. Configuration en boucle fermée du circuit E/B.....	38
II.7. Commutateur (switcher) CMOS .....	39
II.8. Porte de transmission CMOS.....	40
II.9. Conclusion .....	42

### **Chapitre III : Modélisation du convertisseur SAR ADC**

III.1 Introduction .....	43
III.2. Architecture du CAN SAR.....	44
III.3. Modèle de comportemental SAR.....	45
III.4. Modèle comportemental du CAN SAR .....	46
III.4.1. Circuit échantillonneur bloqueur E/B.....	46
III.4.1.1. Phénomène d'injection des charges .....	47
III.4.1.2. Erreur sur l'instant d'échantillonnage: « Jitter » .....	49
III.4.1.3. Phénomène de «clock feedthrough » .....	50
III.4.1.4. Bruit de scintillation « flicker noise » ou bruit en 1/f.....	51
III.4.2. Modèle du comparateur .....	52
III.4.2.1. Bruit thermique .....	53
III.4.3. Registre à approximation successive.....	54

III.4.4. Encodeur thermomètre 4 à 15 bits.....	56
III.4.5. Modèle du convertisseur numérique analogique CNA (DAC).....	57
III.5. Résultats de simulations.....	58
III.5.1. Performances dynamiques .....	58
III.5.2. Performances statiques .....	60
III.6. Conclusion.....	63
<i>Conclusion générale</i> .....	64

*Bibliographie*

# Introduction Générale

## Introduction générale

Avec l'avancement technologique, beaucoup d'attentions ont été portées sur la réduction de la tension d'alimentation ainsi qu'à la dissipation de puissance dans les circuits intégrés CMOS analogiques et mixtes. Cette réduction est principalement dictée par le besoin croissant de dispositifs et d'accessoires microélectroniques portatifs, est en train d'amener les dispositifs CMOS au point de blocage. Il n'est pas question d'arrêter le développement des technologies CMOS, mais encore une fois, on se trouve devant une nécessité incontournable d'innovation.

Le transistor MOSFET est le composant le plus utilisé dans la conception des circuits électroniques, il offre une grande flexibilité avec sa couche de silicium qui est un bon semi-conducteur. Son principe de fonctionnement a permis jusqu'à aujourd'hui d'atteindre l'échelle du micro et nanomètre [1]. L'un des milieux à qui profite le plus cet avancement est le biomédical. Pour réduire la consommation d'énergie dans une application biomédicale, il faut réduire la tension d'alimentation tout en maintenant la vitesse de fonctionnement à un niveau acceptable, l'un des systèmes clés que l'on retrouve dans le convertisseur analogique-numérique AN et numérique-analogique NA.

Ces convertisseurs sont des composants essentiels qui assurent la communication entre les signaux analogiques externes et la puce électronique numérique. Ils ne doivent pas nuire à la précision même si le matériel dans lequel ils sont intégrés se compose de dispositifs très imparfaits. L'ensemble des éléments de base qui contribue de près ou de loin au fonctionnement d'un convertisseur AN ou NA, justifie toutes les connaissances acquise au cours des vingt dernières années en matière de conception en électronique dédiée à contourner les contraintes et les défaillances inhérentes aux circuits intégrés et aux procédés.

Beaucoup d'efforts ont été mis dans la réduction de la tension d'alimentation et la consommation d'énergie des circuits mixtes. Cependant, la diminution de la tension d'alimentation n'est pas forcément un avantage dans la conception analogique puisqu'elle entraîne certaines limites à savoir; le bon fonctionnement des commutateurs analogiques, la réduction de la plage d'entrée du circuit et la complexité à faire opérer les transistors dans leur région optimale. Face à tous ces défis, plusieurs architectures de circuits ont été développées pour réaliser des convertisseurs analogiques numériques à approximations successives (CAN SAR) qui peuvent fonctionner à basse tension d'alimentation.

L'objectif principal de ce manuscrit est la conception des convertisseurs 8 bits mode tension de type registre à approximation successive (SAR) en technologie CMOS, tel qu'on a proposé des nouveaux modèles avec l'introduction des facteurs non-idéaux pour ce type de convertisseurs, les modèles sont mis en application dans l'environnement de Matlab et Simulink.

Ce travail comporte trois chapitres dont nous introduisons une brève description comme suit:

Après une introduction générale, Le premier chapitre dresse un état de l'art des convertisseurs dans la technologie CMOS en exposant les théories de conversions des données et différents types de convertisseurs. Le second chapitre expose principalement sur l'approche des blocs en technologies CMOS tous comme les transistors, amplificateurs, comparateurs et expliquer brièvement leurs principes et leurs différents types ainsi. L'objet du troisième chapitre est de présenter le modèle comportemental du convertisseur SAR qu'incluent la plupart des facteurs de bruit et les imperfections des différents blocs avec les résultats de simulation.



# Chapitre 1

Etat de l'art du convertisseur

Analogique numérique

## **I.1. Introduction :**

Le monde physique est par nature analogique. Il est perçu via des signaux analogiques (son, ondes visuelles, etc.) qui peuvent être traités par des systèmes analogiques.

La commande de processus industriels a de plus en plus recours aux systèmes numériques et aux calculateurs pour effectuer le traitement des données. Les systèmes ont alors recours aux convertisseurs analogiques numériques (CAN) pour transformer les signaux analogiques d'entrée de la partie commande, puis, aux convertisseurs numérique-analogique (CNA) après traitements.

Ces convertisseurs jouent un rôle essentiel dans la construction des systèmes de traitement de données et de ce fait, on trouve leurs applications dans divers domaines tels les télécommunications, microélectronique, l'imagerie, la médecine et bien d'autres secteurs techniques. L'on observe que depuis plusieurs décennies, le développement rapide dans les domaines ci-dessus cités, poussent les utilisateurs à rechercher des convertisseurs de plus en plus performants qui permettront d'atteindre des résultats intéressants pour les applications auxquelles ils sont destinés.

Ce chapitre fournit une brève introduction à la conversion analogique-numérique. Avant de décrire la structure interne et le principe de fonctionnement de base du CAN SAR qui seront citée dans le chapitre III, le concepteur doit connaître les idées qui sous-tendent le processus de conversion analogique-numérique. À cette fin de partie, fournit un bref aperçu des principes fondamentaux de convertisseur analogique-numérique. Par la suite, les caractéristiques et les performances des convertisseurs analogiques numériques (A/N) seront introduites.

En conclusion de ce chapitre, les principales architectures de convertisseurs analogique-numérique seront citées.

## I.2. Théorie de la conversion :

### I.2.1. Théorie d'échantillonnage :

L'échantillonnage consiste à convertir des valeurs d'un signal continu (échantillons) à des instants donnés discrets (instants d'échantillonnage). Pour échantillonner correctement un signal, il faut respecter le théorème de **Nyquist-Shannon**[2], nommé d'après **Harry Nyquist et Claude Shannon**, qui dit que la fréquence d'échantillonnage d'un signal doit être égale ou supérieure au double de la fréquence maximale contenue dans ce signal [2], c'est-à-dire :

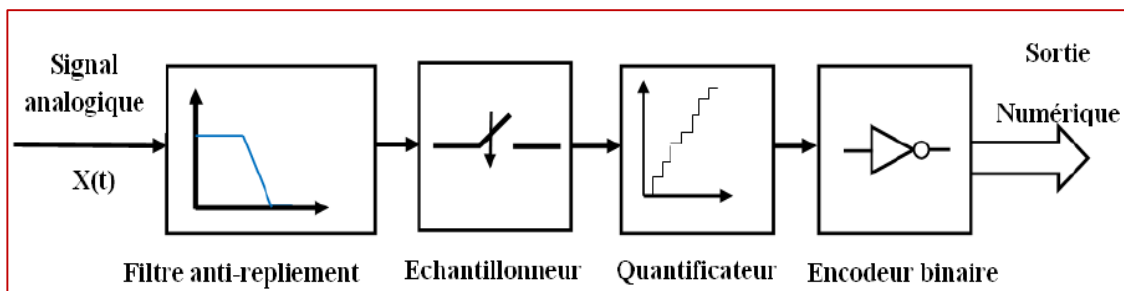
$$f_e \geq 2 f_{max} \quad (1.1)$$

Sans cette condition, le signal échantillonné ne sera pas l'image du signal analogique.

Afin de convertir ce signal d'une forme analogique à une forme numérique. Ce théorème est à la base de la conversion numérique des signaux.

### I.2.2. Principe de conversion :

C'est l'opération qui permet la transformation d'un signal analogique à un signal numérique en temps discret. Il consiste aussi à prélever les échantillons d'un signal analogique provenant du monde qui nous entoure, et de le quantifier [3]. Cette quantification permet un traitement ultérieur numérique des données recueillies. Pour faire une conversion analogique numérique on est donc ramené à faire quatre blocs principaux présentés dans la figure I.1 :



**Figure I.1 :** Synoptique du principe de conversion analogique-numérique.

#### I.2.2.1. Filtre anti repliement :

Le filtre anti repliement permet de garantir l'absence de chevauchement sur le spectre du signal échantillonné. Il doit avoir une fréquence de coupure comme suite [4] :  $f_c < f_e/2$ .

Ce type de filtre se place entre l'amplification et l'échantillonneur, afin de se prémunir du bruit éventuel amené par l'amplification. L'inconvénient de ce filtre est de dénaturer le signal

d'origine, en supprimant une partie de ses caractéristiques, c'est la raison pour laquelle les sons numériques peuvent apparaître trop métalliques.

### I.2.2.2. Echantillonnage :

L'échantillonnage consiste à transformer un signal analogique (continu dans le temps) en un signal discret, en capturant des valeurs à intervalle de temps régulier. Il est répété à intervalles temporels équidistants contrôlés par une horloge d'échantillonnage de période  $T_e$ . La fonction obtenue n'est plus à temps continu mais discrète. Ceci se fait par un circuit nommé Echantillonneur-Bloqueur (E/B). La tension  $V_{analog}$ , continue par morceaux est obtenue. La période d'échantillonnage  $T_{éch}$  est fixée selon le théorème de Shannon: la fréquence d'échantillonnage doit être au moins égale au double de la composante fréquentielle maximale du signal continu analogique.

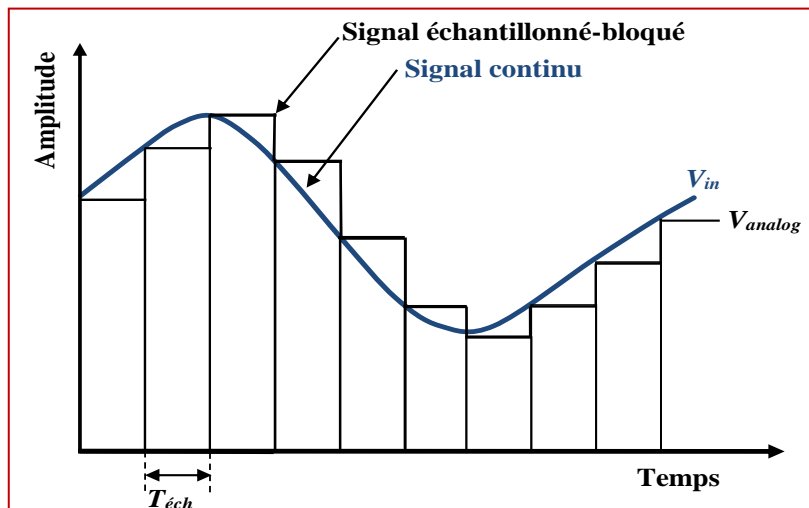


Figure I.2 : Echantillonnage-blocage d'un signal continu.

### I.2.2.3. Quantification :

La quantification consiste à associer à la valeur réelle  $V_{analog}$  échantillonnée et bloquée, la valeur numérique entière la plus proche  $V_{num}$ . Cette opération est imposée par le CAN puisque le code numérique ne dispose que d'un nombre fini de valeurs pour convertir les valeurs analogiques variant continûment. C'est l'opération qui consiste à associer une valeur analogique à la plus petite variation mesurable entre deux valeurs codées distinctes en sortie. Cette valeur est appelée quantum [3,5] :

$$q = \frac{\Delta V_{emax}}{2^N} \quad (1.2)$$

On donne :

q: Quantum (V), aussi appelé résolution.

$\Delta V_{\text{emax}}$  : C'est l'écart entre la valeur minimum et la valeur maximum de  $V_e$  à numériser (V).

N: Nombre de bits en sortie du convertisseur.

C'est la valeur de base dont sont multiples toutes les tensions numériques de sortie. Pour une tension analogique d'entrée  $V_{\text{analog}}$ , le CAN fait correspondre la tension analogique  $V_{\text{num}}$  telle que la figure I.3 :

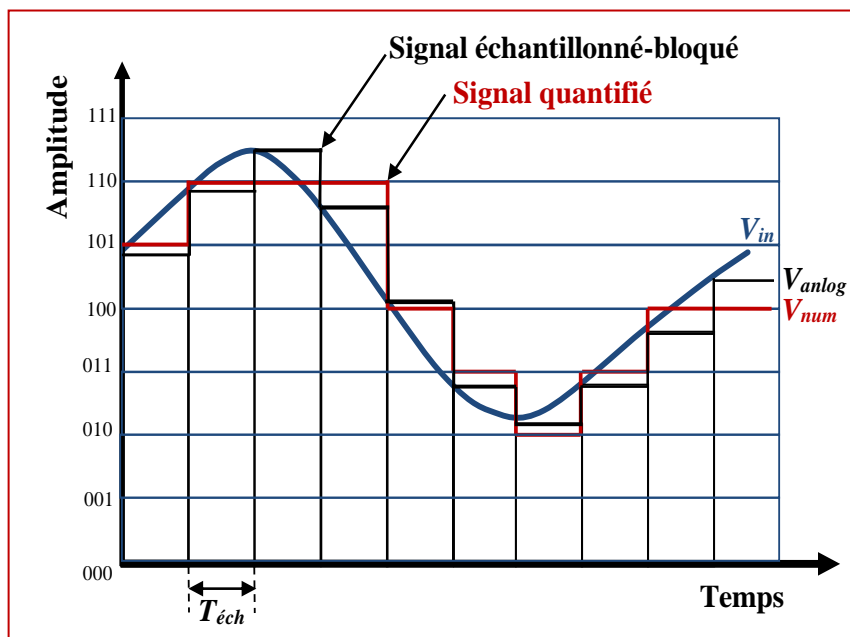


Figure I.3 : Quantification d'un signal analogique.

#### 1.2.2.4. Codage :

Le codage consiste à associer à l'ensemble de valeurs discrètes un code composé d'éléments binaires. En mode unipolaire le codage le plus couramment utilisé est le code binaire naturel. Un mot binaire s'écrit avec :  $b_1 b_2 \dots b_{N-1} b_N$ ; avec  $b_1$  le bit du poids fort (PF, ou MSB Most Significant bit)  $b_N$  le bit de poids faible (pf, ou LSB Less Significant Bit), le nombre décimal correspondant est :

$$V = q \cdot (b_1 \cdot 2^{N-1} + b_2 \cdot 2^{N-2} + \dots + b_{N-1} \cdot 2^1 + b_N \cdot 2^0) \quad (1.3)$$

En fonction de l'architecture du CAN considéré on peut être amené à manipuler un code thermomètre. Par comparaison avec un code binaire classique sur N bits il s'écrit avec  $2^{N-1}$  bits [6].

## I.3. Caractéristiques de convertisseur :

Pour décrire les caractéristiques d'un convertisseur, nous allons les classer dans trois groupes :

### I.3.1. Caractéristiques de transfert :

La caractéristique de transfert d'un convertisseur est la relation entre la valeur du signal en entrée et le code produit en sortie. Un exemple de caractéristique de transfert dans le cas d'un convertisseur unipolaire est représenté par la courbe de la figure I.4. Elle sert de référence pour l'analyse des erreurs. La courbe en escalier relie la valeur du signal analogique à l'entrée au code numérique correspondant. Plus la résolution d'un CAN est élevée, plus la sortie numérique est une image précise du signal analogique d'entrée.

Appelons :

$E_{num}$  : La valeur codée en sortie

$V_{Ref}$  : La valeur de la tension pleine échelle

On peut écrire : 
$$E_{num} = V_{ref} \left( \frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \right) \quad (1.4)$$

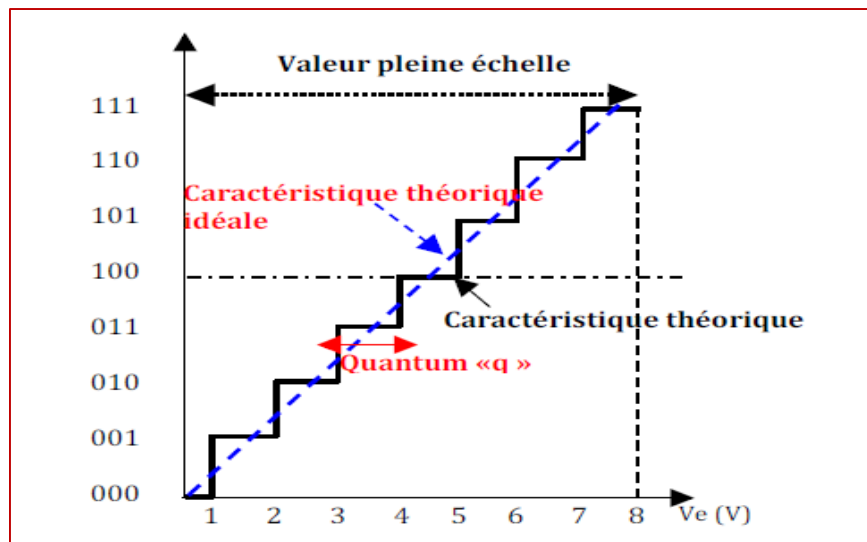


Figure I.4: Caractéristique de transfert d'un convertisseur [11].

#### I.3.1.1. Résolution :

La résolution définit la valeur de la variation de la tension analogique d'entrée donnant lieu à une variation d'une unité de la donnée numérique présentée en sortie. Elle dépend du calibre et du nombre de bits utilisés pour la conversion. On l'exprime très souvent en pourcentage (%) [6] :

$$\text{Résolution} = \frac{1}{2^N} \cdot 100 \% \quad (1.5)$$

### **I.3.1.2. Quantum :**

On définit le quantum comme étant la quantité qui caractérise la résolution correspond à la plus petite différence de tension analogique entre deux codes successifs, elle est souvent exprimée en termes de LSB (Least Significant Bit). On le note q et l'obtient par :

$$q = \text{LSB} = \frac{V_{pe}}{2^N} \quad (1.6)$$

N : Nombre de bits.

$$q = \frac{(V_{\max} - V_{\min})}{2^N} \quad (1.7)$$

Avec :

$V_{\max}$  : La tension pour laquelle tous les bits de conversion sont à « 1 ».

$V_{\min}$  : La tension pour laquelle tous les bits de conversion sont à « 0 ».

### **I.3.1.3. Bruit de quantification :**

La conversion d'un signal analogique en signal discret induit une erreur systématique. Cette erreur est due à la différence entre la valeur réelle du signal d'entrée et la valeur numérique disponible en sortie. On appelle cette erreur le bruit de quantification. Il s'exprime en LSB et sa variation maximale est :

$$\pm \frac{PE}{2^{n+1}} = \pm \frac{LSB}{2} \quad (1.8)$$

Un bruit de quantification peut être associé à cette erreur. En supposant que l'on peut modéliser ce bruit par un bruit blanc uniforme, la puissance du bruit de quantification peut être définie sur l'intervalle  $[-q/2; +q/2]$ , q étant le pas de quantification [7], (le bruit de quantification est assimilable à un bruit blanc de moyenne nulle).

La puissance du bruit de quantification  $P(V_\varepsilon)$  vaut :

$$P(V_\epsilon) = \int_{-\infty}^{+\infty} x^2 \cdot f_q(x) \cdot dx \tag{1.9}$$

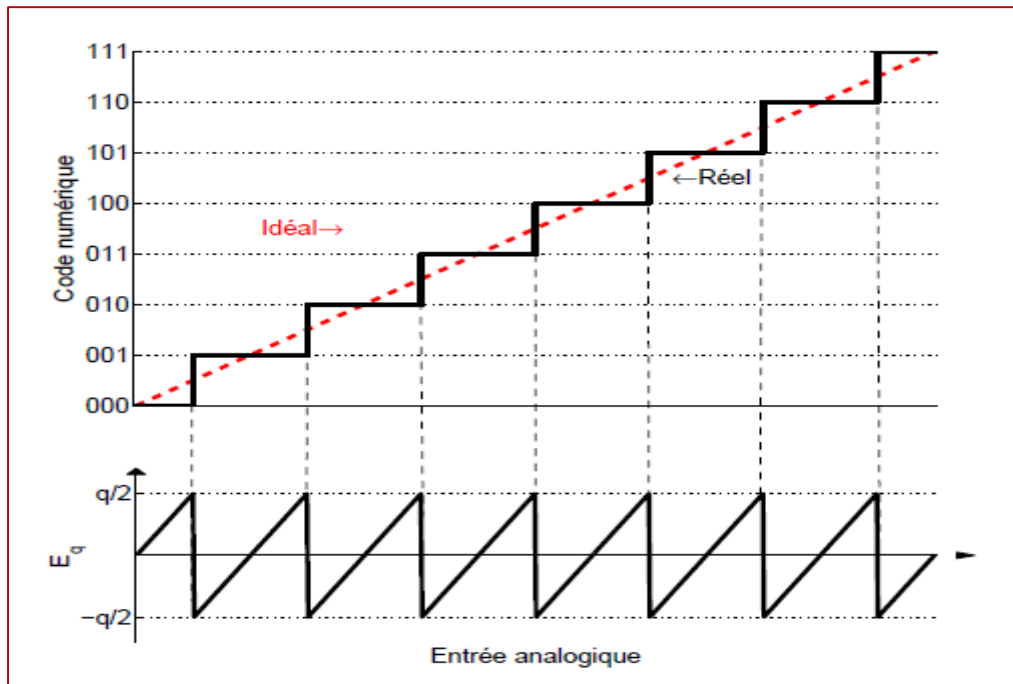


Figure 1.5 : Fonction de transfert et variation d'erreur de quantification d'un CAN 3bits [13].

On donne :

$f_q$  : Densité de probabilité du signal, elle s'écrit :

$$f_q = \frac{1}{q} \cdot 1 \left[ -\frac{1}{q} ; \frac{1}{q} \right] \tag{1.10}$$

On aura vers la fin la puissance moyenne :

$$P(V_\epsilon) = \int_{-\infty}^{+\infty} x^2 \cdot \frac{1}{q} \cdot 1 \cdot \left[ -\frac{1}{q} ; \frac{1}{q} \right] dx = \frac{1}{q} \int_{-\frac{q}{2}}^{\frac{q}{2}} x^2 dx = \frac{q^2}{12} \tag{1.11}$$

La valeur moyenne carrée du bruit de quantification peut être considérée égale à  $LSB/\sqrt{2}$  pour des convertisseurs à haute résolution.

### I.3.2. Caractéristiques statiques :

Les erreurs statiques sont les erreurs entre la fonction de transfert idéale d'un convertisseur et la fonction réelle. Les erreurs concernées sont : l'offset, l'erreur de gain, la non-linéarité intégrale (INL pour "integral non linearity") et la non-linéarité différentielle (DNL pour "differential non linearity"). Elles peuvent être déterminées par un balayage linéaire de la plage d'entrée du modulateur.

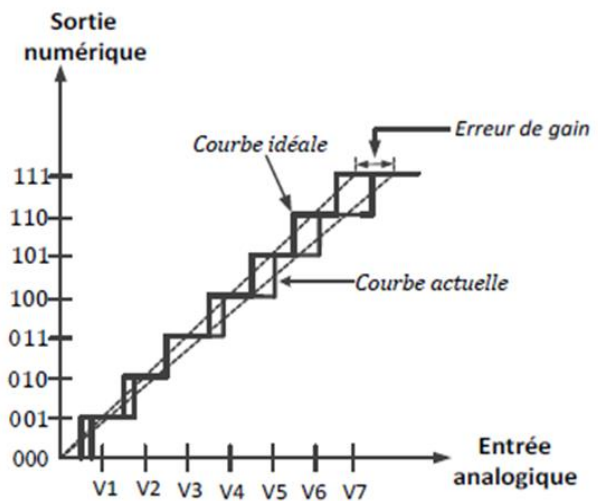
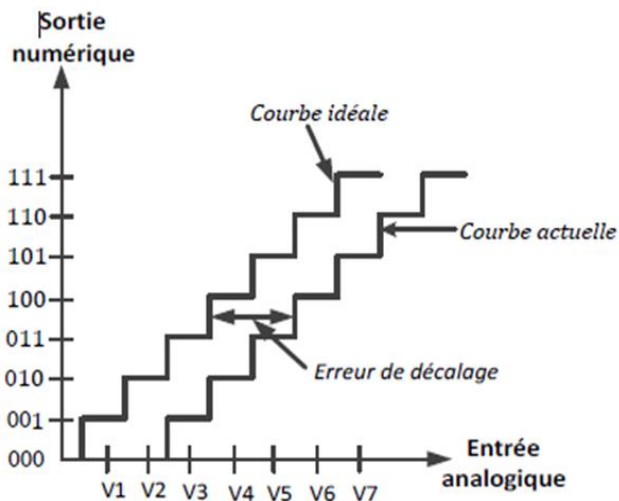


### I.3.2.1. Erreur d'offset (erreur de décalage) :

On appelle offset un décalage horizontal de la caractéristique de transfert d'un CAN, l'erreur d'offset est exprimée usuellement en LSB. Une mesure de l'offset peut être faite en retranchant  $\frac{1}{2}$ LSB à la première tension de seuil  $V_1$  [4,6]. Présenté dans la figure I.6 [8].

### I.3.2.2. Erreur de gain :

L'erreur de gain permet de mesurer l'écart entre la pente de la caractéristique idéale de transfert et la pente de la caractéristique réelle obtenue par régression linéaire des centres des paliers [4,7]. Elle peut être due à une erreur sur la référence de tension, sur les gains des amplificateurs utilisés ou encore un mauvais appareillage d'un réseau de résistance. Dans la figure I.7 [8] un graphe explicatifs de l'erreur de gain.



**Figure I.6:** Erreur d'offset d'un CAN 3 bits.      **Figure I.7:** Erreur de gain d'un CAN de 3 bits.

### I.3.2.3. Non-linéarité différentielle :

DNL (Differential Non Linearity) est la différence entre la largeur idéale d'une marche de quantification et sa valeur réelle. A chaque code numérique est associée une valeur de DNL. Elle s'exprime en LSB. Le convertisseur n'a pas de code manquant si la valeur absolue du DNL est plus petite qu'un LSB. La valeur de la DNL doit être supérieure ou égale à « 1 » :  
 $DNL \geq +1 \text{ LSB}$

Cette condition est nécessaire car elle garantit tous les codes dans le convertisseur.

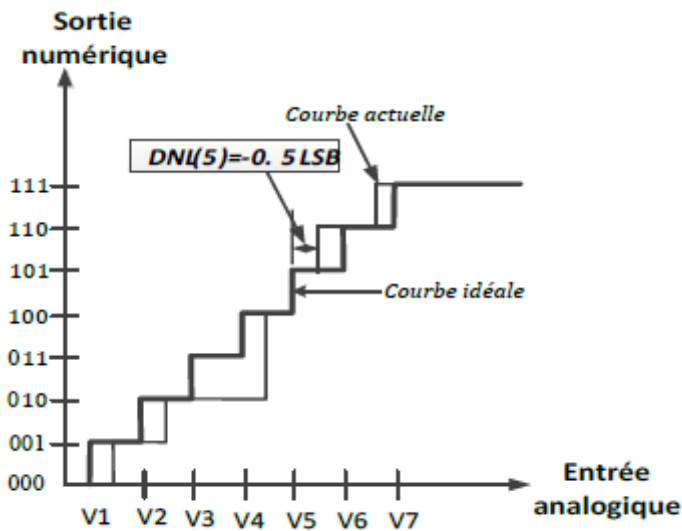
La non-linéarité différentielle s'exprime comme suite [8] :

$$DNL(K) = \frac{(V_{sk+1} - V_{sk}) - q}{q} \tag{1.12}$$

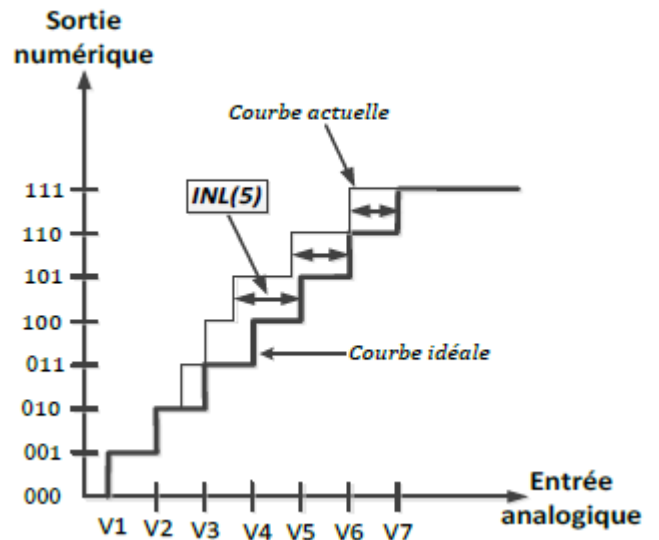
**I.3.2.4. Non-linéarité intégrale :**

INL (Integral Non Linearity) est l'écart entre le centre de la valeur réelle d'un code et la valeur mesurée. Elle s'exprime en LSB. Elle représente l'accumulation des erreurs de DNL le long de la fonction de transfert. L'INL est montré figure I.9. Il peut s'exprimer comme la somme des DNL du convertisseur dans l'équation suivante [8] :

$$INL(k) = \frac{V_{sk} - V_{skidéal}}{q} = \sum_{j=0}^k DNL(j) \tag{1.13}$$



**Figure I.8 :** Représentation DNL [8].



**Figure I.9 :** Représentation INL [8].

**I.3.3. Caractéristiques dynamiques :**

Lorsqu'un signal sinusoïdal est appliqué à l'entrée du convertisseur, une étude fréquentielle du signal peut être faite. Cette étude donne des valeurs dynamiques qui permettent de mesurer la dégradation du signal numérique en sortie d'un CAN par rapport au signal analogique d'entrée. Elles sont mesurées par analyse spectrale.

**I.3.3.1. Rapport signal sur bruit :**

Le rapport signal sur bruit (SNR pour Signal to Noise Ratio) représente le rapport entre la valeur efficace du signal à convertir et celle du bruit. Généralement, ce paramètre est défini pour un signal d'entrée sinusoïdal d'amplitude crête à crête égale à la pleine échelle du convertisseur. Nous pouvons en déduire l'expression suivante du rapport signal sur bruit exprimé en dB [9] :

$$\text{SNR}_{\text{db}} = 10 \log\left(\frac{P_{\text{signal}}}{P_{\text{bruit}}}\right) \quad (1.14)$$

Le SNR du signal converti sera alors défini par :

$$\text{SNR}_{\text{db}} = 6,02 \cdot N + 1,76 \text{ (db)} \quad (1.15)$$

### **I.3.3.2. Signal sur bruit avec distorsion :**

SNDR (Signal to Noise and Distortion Ratio) représente le rapport entre la puissance du signal d'entrée et la puissance de l'erreur totale en tenant compte des différentes harmoniques dues à la distorsion. Ainsi tous les non linéarités du système ajoutent des harmoniques qui viennent diminuer le SNDR. Le SNDR s'exprime en dB [10] :

$$\text{SNDR} = 10 \log\left(\frac{P_{\text{signal}}}{P_{\text{signal+distortion}}}\right) \quad (1.16)$$

### **I.3.3.3. Dynamique sans fréquence parasite:**

SFDR (Spurious-Free Dynamic Range) donne la plage de fonctionnement du CAN exprimée comme la distance (en dB) séparant l'amplitude du fondamental et l'harmonique ou spurious d'amplitude la plus élevée sur la bande de fréquence considérée (généralement du continu à  $f_c/2$ ) [10] :

$$\text{SFDR}_{\text{db}} = 20 \log \frac{a_1}{\max(a_k.s)} \quad (1.17)$$

### **I.3.3.4. Nombre effectif de bits :**

ENOB (Effective Number Of Bits) est un nombre qui permet de caractériser l'ensemble des performances dynamique d'un CAN. Sa définition est liée à celle de SNDR [10].

$$\text{D'où :} \quad \text{SNDR} = 6,02 \cdot \text{ENOB} + 1,76 \quad (1.18)$$

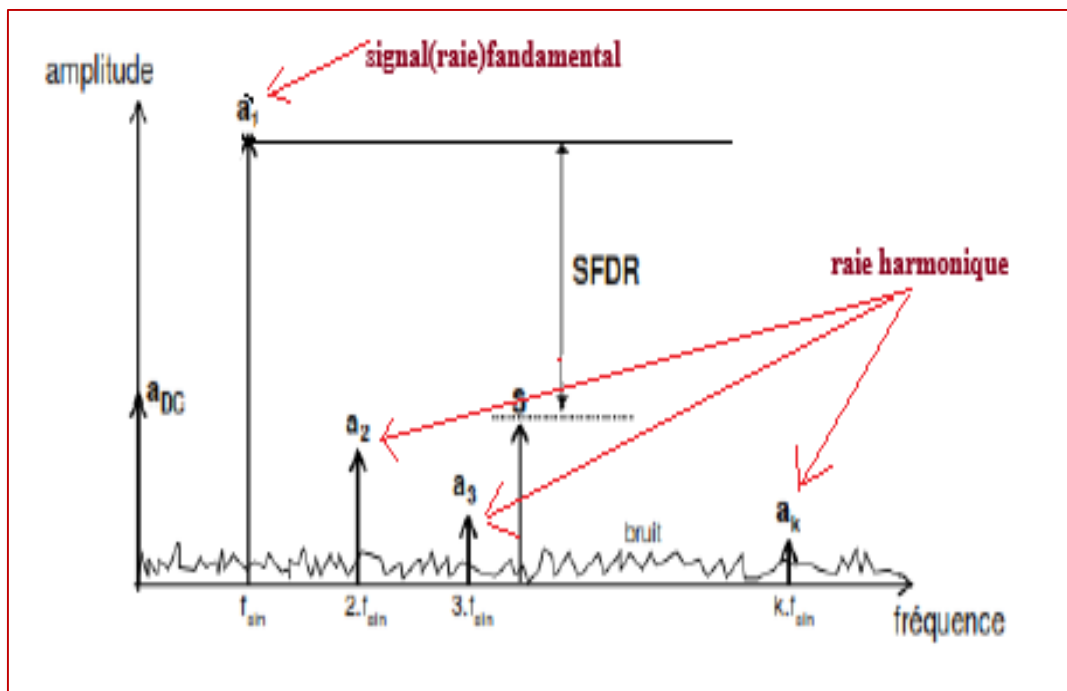
$$\text{Et :} \quad \text{ENOB} = \frac{\text{SNDR}(\text{db}) - 1,76}{6,02} \quad (1.19)$$

### **I.3.3.5. La distorsion harmonique totale :**

THD (Total Harmonique Distorsion) permet de caractériser la distorsion introduite par un CAN. Le THD est le rapport entre la puissance des harmoniques et la puissance du fondamental Cette distorsion est due aux phénomènes non linéaires qui peuvent apparaître dans le CAN Elle est définie par [10] :

$$\text{THD} = 20 \log \left( \frac{\sqrt{A_2^2 + A_3^2 + A_4^2 + \dots}}{V_{in}} \right) \quad (1.20)$$

Où  $V_{in}$  est l'amplitude de la composante fondamentale du signal reconstitué en sortie pour un signal d'entrée sinusoïdal et  $A_2, A_3, A_4, \dots$  représentent les amplitudes du même signal reconstitué mais aux harmoniques d'ordres supérieures.



**Figure I.10** : Représente le Spectre en sortie pour les mesures des paramètres dynamiques.

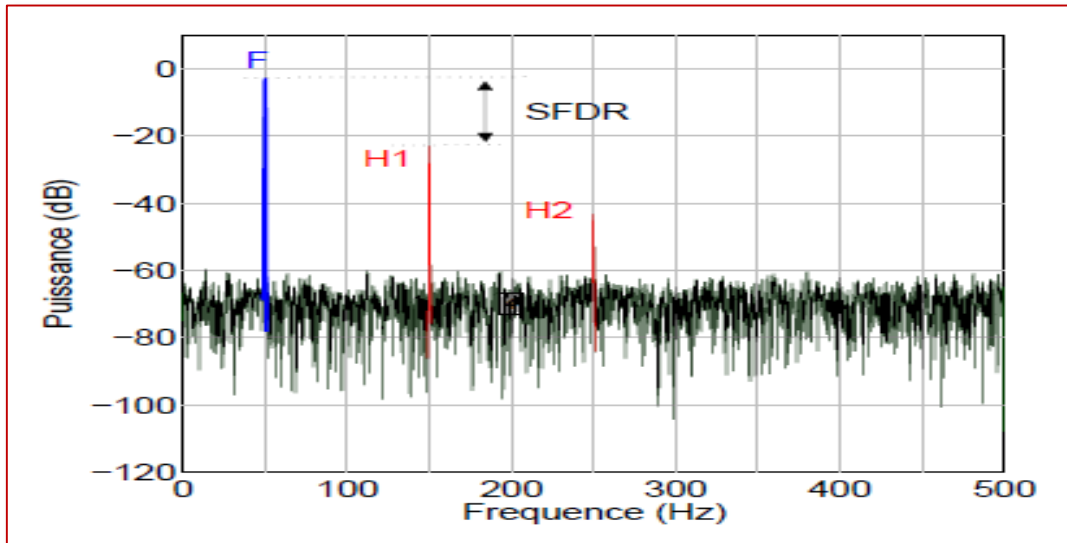


Figure I.11 : La différence des calculs des erreurs dynamiques [10].

- ❖ Les caractéristiques ou bien les critères du convertisseur analogique-numérique sert dans le choix de ces dernier, et aussi comme référence pour l'analyse des erreurs (les écarts sont mesurés par rapport à la droite idéale).

**I.4. Différents types de convertisseurs (Topologie) :**

L'objectif de cette partie est de présenter différents types de convertisseur analogique numérique. Il est important de noter qu'il existe deux grandes catégories de CAN qui diffère par leur vitesse de conversion et leur résolution, ces deux types sont :

Type Nyquist (Nyquist rate converters)	Type sur-échantillonné (over Sampling converters)
<ul style="list-style-type: none"> <li>- Le CAN à double rampe</li> <li>- Le CAN flash ou parallèle</li> <li>- Le CAN a approximations successives</li> <li>- Le CAN Pipeline.</li> </ul>	<ul style="list-style-type: none"> <li>- Le CAN Sigma delta.</li> </ul>

Tableau I .1 : Les différents types de convertisseurs.

### I.4.1. CAN à double rampe:

Le convertisseur à double rampe a une architecture aboutie et ré pondue. Cette conversion se réalise en deux intégrations successives de manière à faire annuler les erreurs aux composants. Dans ces CAN, la tension analogique d'entrée est convertie en une durée qui est mesuré à l'aide d'une horloge et d'un compteur [11].

- Phase 1 : consiste à charger linéairement la capacité C tout en incrémentant un compteur jusqu'à  $2^N$ , N étant la résolution du convertisseur. Cette décharge se fait par le courant  $\left(\frac{V_{in}}{R}\right)$  avec une durée  $T_1$  (représente un cycle complet du compteur) :

$$V_m = \left(\frac{V_{in}}{RC}\right) \cdot T_1 \quad (1.21)$$

- Phase 2 : on décharge la capacité sous une tension fixée  $V_{ref}$ , durant cette décharge on incrémente un compteur (N bits) qui à la fin de la décharge permettra de récupérer l'expression binaire quantifiée du signal  $V_{in}$ . Cette deuxième phase se fait par un courant  $\left(\frac{V_{ref}}{R}\right)$  avec une durée  $T_2$  :

$$V_m = \left(\frac{V_{ref}}{RC}\right) \cdot T_2 \quad (1.22)$$

$$\text{La durée de conversion est alors : } T = T_1 + T_2 \quad (1.23)$$

Cette phase s'arrête lorsque la tension de l'intégrateur devient nulle (détectée par le compteur). Il est important de noter qu'il faut que la tension  $V_{in}$  et  $V_{ref}$  soient de signes opposés.

Ce type de convertisseur permet de s'affranchir des valeurs exactes de R et C grâce à la double intégration. Seule la tension de référence intervient dans la mesure ainsi que le nombre (N) d'impulsion

$$V_m = \left(\frac{T_2}{T_1}\right) V_{ref} \quad (1.24)$$

La figure I.12 montre le fonctionnement d'un CAN à double rampe :

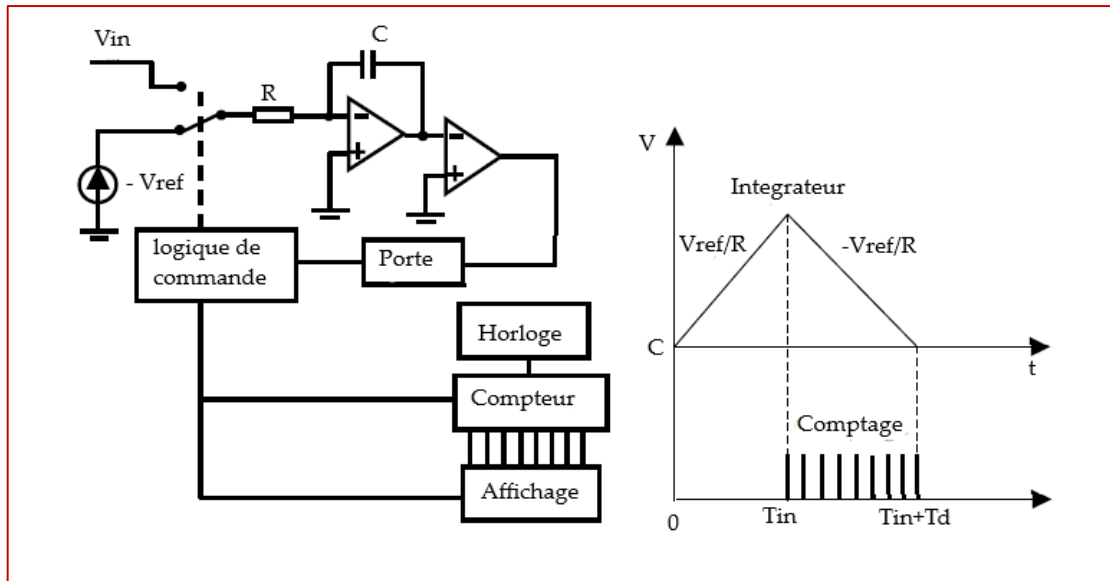


Figure I.12: Schéma du principe du CAN double rampe.

#### I.4.2. CAN flash (parallèle):

L'architecture de ce convertisseur est la plus rapide des CAN et également le circuit qui contient le plus grand nombre de comparateurs. Il est constitué d'un réseau  $2^N$  de résistances montées en série, suivi d'un réseau  $2^{N-1}$  de comparateurs montés en parallèle et du même nombre de signaux de référence appelés  $V_{ref}$  et d'un décodeur qui permet de traduire l'état des comparateurs en code binaire suivant les valeurs attribuées aux différentes résistances qui constituent l'architecture du CAN Flash [10]. A chaque coup d'horloge, la tension d'entrée  $V_{in}$  à mesurer, est comparée à  $2^{N-1}$  tensions de référence  $V_{ref}$  (comprise entre 0 et  $V_{ref}$ ),  $N$  est le nombre de bits du convertisseur et  $V_{ref}$  la tension de référence. Elle est calculée en faisant un pont diviseur de tension au niveau de l'entrée « - » de chaque comparateur.

Pour chaque comparateur, si la tension  $V_{in} > V_{ref}$  de la borne « - », on aura un « 1 » logique à la sortie de ce comparateur ;

Si par contre  $V_{in} < V_{ref}$ , le comparateur va générer plutôt un « 0 » logique. Le résultat de la conversion est ensuite envoyé dans le décodeur qui, à son tour génère en sortie le nombre de bits attendu.

- On note qu'il faut  $2^{N-1}$  comparateurs et  $2^N$  résistances pour générer un codage sur  $N$  bits.

La conversion du signal analogique est faite à chaque coup d'horloge.

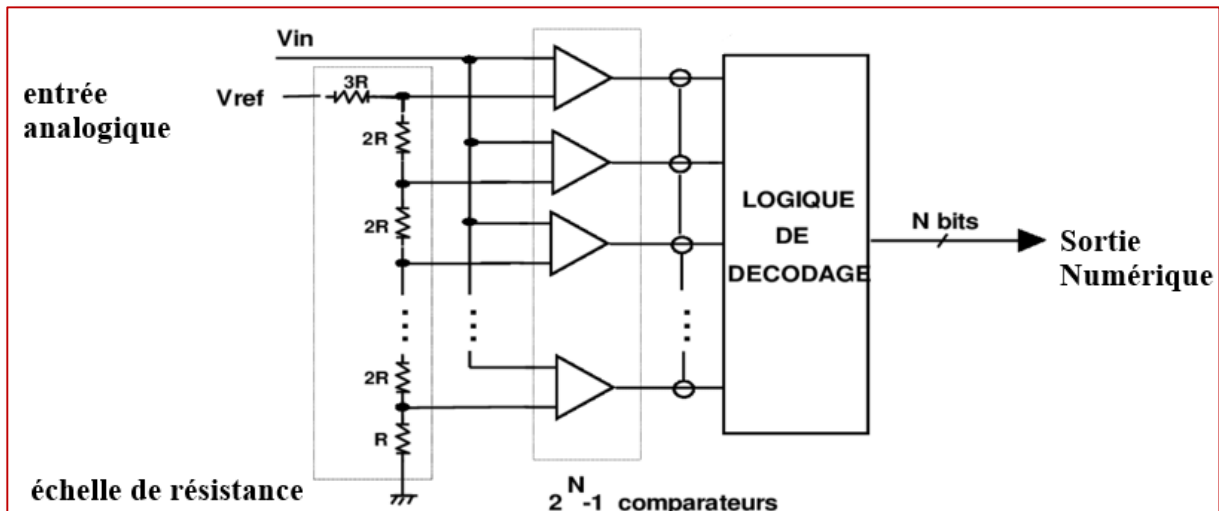


Figure 1.13: Architecture d'un convertisseur Flash.

### I.4.3. CAN par approximations successives:

SAR (Successive Approximation Register) réalise la conversion par comparaison en plusieurs étapes. À chaque étape le résultat de cette comparaison est stocké dans un registre jusqu'à l'obtention du résultat final. Son circuit fonctionnel est représenté sous forme de schéma bloc dans la figure I.14 qui suit :

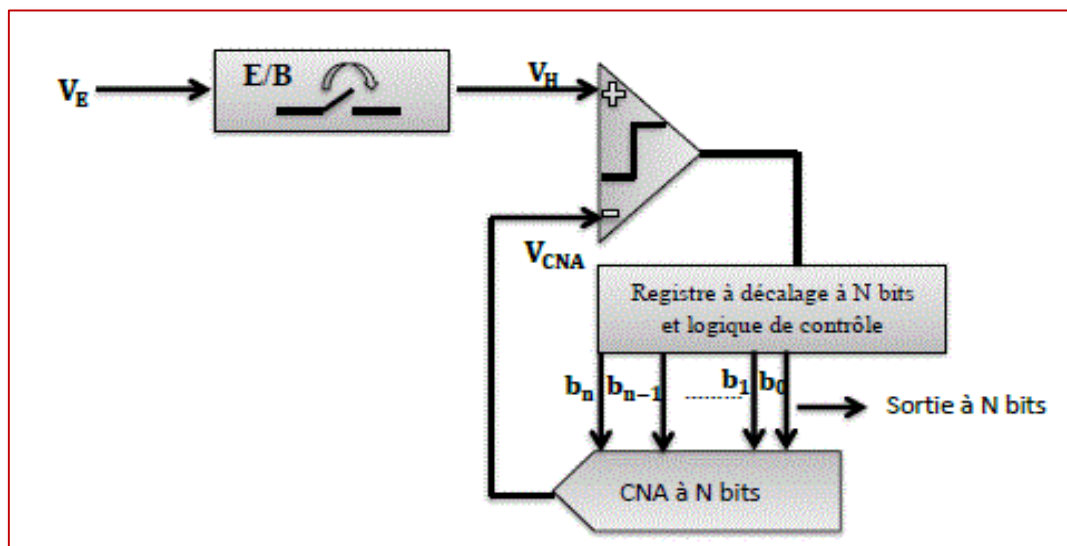


Figure I.14 : Architecture de CAN SAR.

Ce convertisseur offre le meilleur compromis qui soit entre la vitesse et la résolution. Avec ce type de convertisseur, il s'agit ici de déterminer la valeur d'une tension  $V_{in}$  au moyen d'une série de pesées successives de la même manière qu'on déterminerait la masse d'un objet avec une balance [10]. Pour ce faire, on a besoin d'une tension de référence  $V_{ref}$ , un



convertisseur numérique analogique CNA ou DAC (Digital Analogue Converter), un comparateur et un séquenceur logique pilote par une horloge.

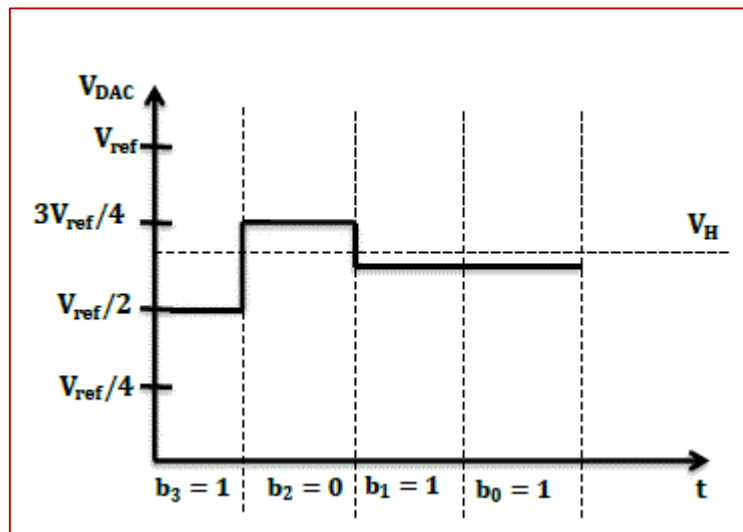


Figure I.15: Exemple de conversion du CAN SAR.

Ce type de conversion procède par dichotomie. Au départ le MSB (Bit de poids fort) du registre est mis à 1 et les autres bits sont mis à 0. Ainsi la tension en sortie du DAC soit :  $\frac{V_{ref}}{2}$ . Si la tension d'entrée  $V_{in}$  est inférieure à cette valeur :  $V_{in} < \frac{V_{ref}}{2}$ . Le MSB est mis à zéro. A son tour le bit suivant sera mis à 1 et une nouvelle comparaison avec le signal d'entrée sera faite jusqu'au dernier bit du registre. Une résolution de N bits implique une durée de conversion minimale de N cycle d'horloge.

#### I.4.4. CAN pipeline :

Le convertisseur pipeline est un compromis entre les convertisseurs flash et les convertisseurs SAR. En effet, comme nous l'avons noté précédemment, les CAN «flash » sont constitués de  $2^{N-1}$  comparateurs et les CAN « SAR » d'un seul comparateur [12]. Contrairement aux architectures de convertisseurs précédents, les CAN «pipeline» répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure I.16.

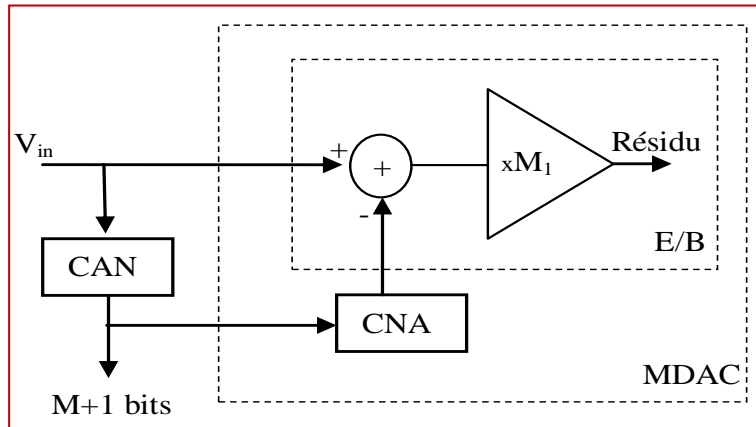


Figure I.16 : Architecture du convertisseur pipeline.

Chacun des M étages est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la figure I.17 :

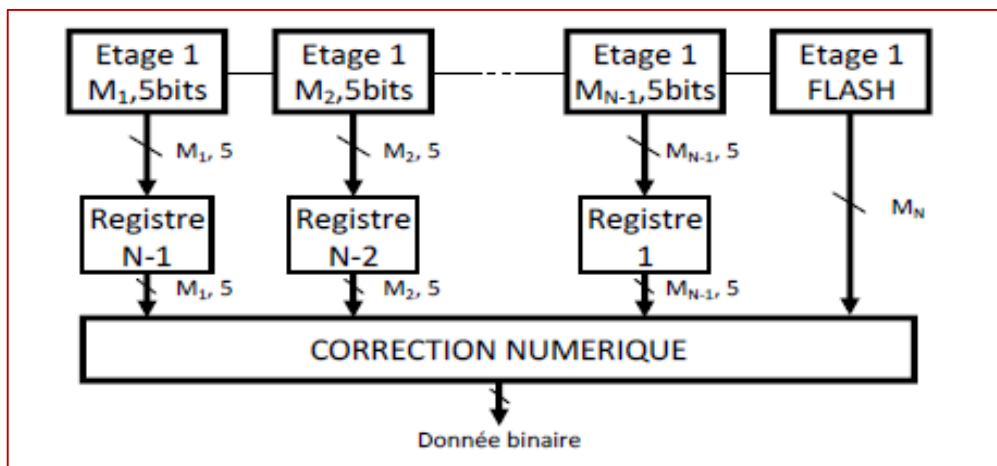


Figure 1.17: Architecture d'un étage MDAC.

Cet étage est constitué d'un CAN flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur N/A et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

La présence de registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit.

## I.4.5. CAN Sigma-Delta $\Sigma\Delta$ :

Ce convertisseur se base sur le principe de sur-échantillonnage du signal d'entrée  $V_{in}$  pour générer l'expression binaire correspondante [10]. Pour ce fait, il utilise le modulateur (sigma-delta) tel que décrit par la figure I.18. Ce modulateur est constitué d'un soustracteur, d'un intégrateur, et d'un comparateur. Le soustracteur (delta) fait la différence entre  $V_{in}$  et la moyenne de la sortie du CNA ( $V_{ref}$  ou  $-V_{ref}$ ), la sortie du soustracteur est transmise à l'intégrateur (Sigma) et le résultat d'intégration est envoyée au comparateur « 1bit ». A chaque coup d'horloge, on récupère le bit résultant de la comparaison à la sortie du comparateur, ce bit est d'une part introduit dans le module convertisseur numérique analogique « 1 bit » pour commander, la valeur ( $V_{ref}$  ou  $-V_{ref}$ ) qui sera de nouveau présentée à l'une des entrée du soustracteur et d'autre part, le même bit est filtre et transmis à la sortie du convertisseur. Le filtre permet ainsi de convertir le signal « 1 bit » échantillonne à  $f_s$  en un signal converti sur N bit à :  $f_s : N = 2n$ . (1.25)

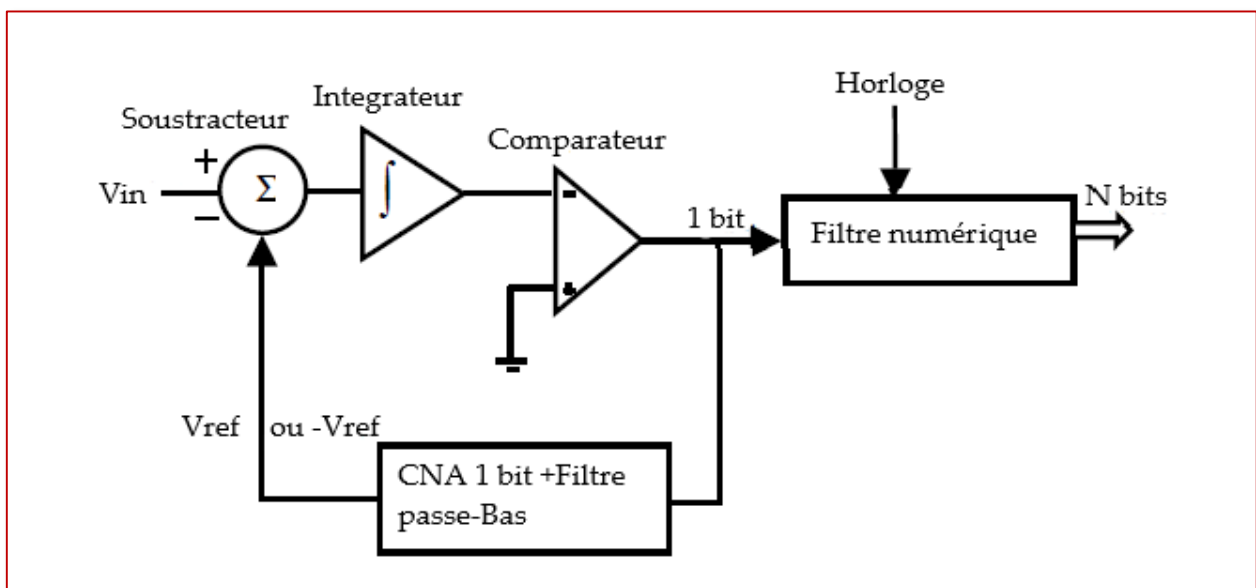
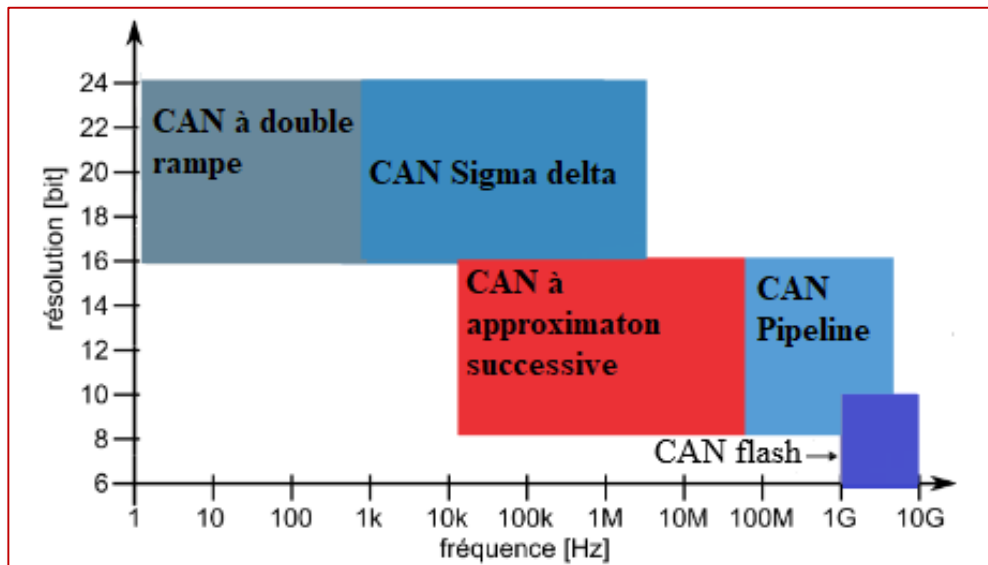


Figure I.18: Le CAN sigma delta.

## I.5. Comparaison entre les convertisseurs (Bilan) :

La description simplifiée des différents types de CAN existants permet d'avoir une idée de leurs propriétés. Ainsi, le tableau I.2 effectue une comparaison qualitative de chacun des types de CAN.

Afin d'approfondir cette étude, une comparaison brute des performances des divers CAN est souhaitable. Cette comparaison doit prendre en compte l'aspect résolution et l'aspect fréquence d'échantillonnage pour permettre d'en extraire suivant l'application visée l'architecture la mieux adaptée. Le graphe de la Figure I.19 rassemble diverses architectures du commerce ou de laboratoires en fonction de la fréquence d'échantillonnage et la résolution.



**Figure I.19** : La comparaison bibliographique de la résolution et la vitesse des divers CAN.

Dans le tableau ci-dessous on présente les avantages de chaque convertisseur étudié précédemment ainsi que leurs résolutions, vitesse de conversion plus le domaine d'application.

## Chapitre I                      Etat de l'art du convertisseur analogique numérique

Architecture	Résolution	Vitesse de conversion	Avantages/inconvénients	Domains applications
<b>Double rampe</b>	élevée (> 16 bits)	Lente (100 KHz)	<p>↑ insensible à la valeur des composants (RC)</p> <p>↑ une erreur introduite durant le cycle d'intégration positive est composé durant le cycle d'intégration négative</p> <p>↓ très lent : temps de conversion beaucoup plus long car il nécessite <math>2.2^N</math> cycle d'horloge par acquisitions.</p>	+ multimètre mesure (voltmètre, capteur de température de pression)
<b>Flash</b>	Faible (6 à 10 bits)	Rapide (Jusqu'à 20 GHz)	<p>↑ system très rapide</p> <p>↓ résolution limité par les capteurs</p> <p>↓ très chère</p> <p>↓ nécessite une logique combinatoire pour obtenir un code binaire en sortie</p> <p>↓ temps de conversion limité</p>	<p>+ Oscilloscope numérique.</p> <p>+ numérisation des images vidéo.</p> <p>+Radars</p>
<b>SAR</b>	Moyenne (8 à 16 bits)	Moyenne (≥ 20 MHz)	<p>↑ rapide</p> <p>↑ faible consommation</p> <p>↑ utilise un comparateur unique très précis et vitesse élevée</p> <p>↓ problème de latence</p> <p>↓ Vitesse d'échantillonnage limitée</p> <p>↓ CNA et comparateurs : principales difficultés</p>	<p>+Carte d'acquisition de données dans les micros ordinateurs, et dans les microcontrôleurs pour applications variées.</p> <p>+Acquisition de son</p> <p>+télécommunication</p>
<b>Pipeline</b>	Moyenne	Rapide	↑ très rapide	+Récepteur Radio Fréquences (RF)

	(8 à 16 bits)	(Entre 10 et 500 MHz)	<p>↑ convertisseurs grand vitesse, faible cout, faible dissipation</p> <p>↑ meilleur compris vitesse/résolution</p> <p>↓ Sensible latence des données au démarrage</p> <p>↓ Complexité</p>	<p>des normes de télécommunication numérique (Wifi).</p> <p>+ lecteur CD</p> <p>+Radars</p> <p>+ultrasons dans le domaine médical</p>
<b>Sigma Delta</b>	Grande (16 à 24 bits)	Moyenne ( $\leq 5$ MHz)	<p>↑ grande résolution</p> <p>↑ faible cout</p> <p>↑ bon rapport signal/bruit</p> <p>↑ excellent linéarité</p> <p>↓ fréquence d'échantillonnage limitée</p> <p>↓ temps de repense important</p>	<p>+communication à large bande filaire</p> <p>+télécommunication (modem)</p> <p>+audio (disque compacte)</p>

**Tableau I.2 :** Avantages, inconvénients et domaines d'application des différentes architectures.

**I.6. Conclusion :**

Le concept de la conversion analogique numérique a été étudié dans ce chapitre en citant les caractéristiques de base d'un CAN et (INL, DNL, Erreur de l'offset et gain) et dynamiques (SNR, SFDR, SNDR, ENOB, THD) tout en expliquant chaque paramètre. Ensuite, Les convertisseurs principaux de la conversion de Nyquist et sur-échantillonnées les plus utilisés ont été présentés et détailler l'architecture de chacun ainsi que leurs avantages, inconvénients. Finalement ces derniers là nous ont permis de savoir l'importance et le rôle des convertisseurs analogiques numériques dans divers domaines comme l'électronique et le traitement d'images et des signaux. Par conséquent, certains critères de ces convertisseurs comme (résolution, vitesse, etc...) limitent leur utilisation en mettant un conditionnement à leur architecture. Par contre on peut choisir le CAN cherché par la vérification de sa fréquence d'échantillonnage, la consommation d'énergie et le prix fiable.

# Chapitre 2

## Les blocs analogiques en Technologie CMOS

### II.1. Introduction :

La technologie CMOS est la plus utilisée pour la conception des circuits intégrés mixtes, analogiques et digitaux du fait de sa forte densité d'intégration, basse dissipation d'énergie et de son faible coût de fabrication. La diminution de la taille des transistors lui permet par ailleurs de fonctionner à des fréquences très élevées ou à des très faibles consommations. Cet avantage lui a permis d'être reconnue comme la technologie de pointe la plus avancée et la plus maîtrisée dans le domaine de la micro-électronique.

La base des blocs fonctionnels est des assemblages de quelques éléments pour réaliser des parties des circuits fonctionnels. Dans ce chapitre, nous présentons le transistor MOS des blocs de base très fréquente utilisé en conception analogique, spécifiquement les miroirs de courant, les différents types d'amplificateurs opérationnels, comparateurs, les commutateurs et le circuit échantillonneur bloqueur.

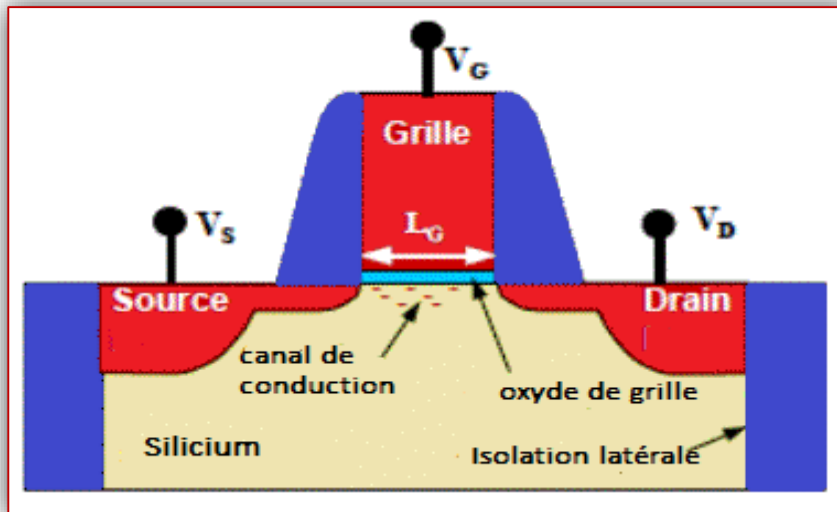
### II.2. Transistor MOS :

Le transistor MOS (Metal Oxide Semiconductor) est le dispositif le plus répandu dans la production actuelle de composants semi-conducteurs, il est le composant de base de tout circuit intégré CMOS (Complementary Metal Oxide Semiconductor). Le MOSFET (Metal-Oxide-Silicon Field-Effect Transistor) est aujourd'hui le plus utilisé en microélectronique, alors qu'il sert principalement pour la conception de circuit numérique, son faible coût et ses performances en font un composant plus en plus intéressant pour les utiliser dans multiples applications. Il est utilisé comme amplificateur dans certaines applications analogiques. Il est aussi utilisé comme bit pour stocker et lire l'information sous forme de zéros et uns. Son utilisation est plus importante dans les applications numériques comme élément de base de différentes fonctions logiques (porte AND, OR,...). C'est la base de la conception des circuits intégrés à très large échelle (VLSI) et ultra large échelle d'intégration (ULSI).

#### II.2.1. Structure de transistor MOS :

La structure conventionnelle d'un transistor MOSFET est présentée dans figure II.1. La structure MOS est constituée d'une électrode de grille, déposée sur un isolant (couche d'oxyde de grille), recouvrant un substrat semi-conducteur de silicium de type n ou p (canal de conduction). De part et d'autre de la structure MOS sont placées les électrodes de source et draine, qui sont deux réservoirs de charges permettant la circulation du courant [13].





**Figure II.1 :** Représentation schématique d'un MOSFET.

Ici sont décrits les éléments principaux de dispositif, tel que la grille, la source, le drain, l'oxyde de grille, le canal, le contact de silicium, la longueur de grille ( $L_G$ ), et l'isolation latérale.

Les tensions mesurées sur les bornes du transistor MOS sont nommées.

$V_{GS}$ : Tension entre la grille et la source du transistor.

$V_{DS}$ : Tension entre le drain et la source du transistor.

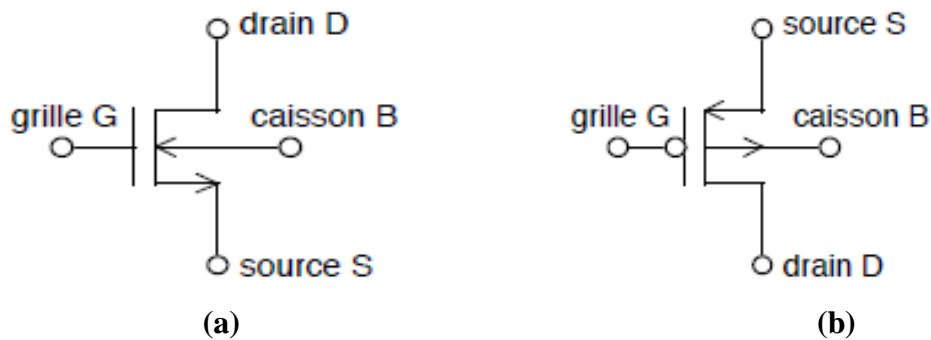
$V_D$ : Tension de drain du transistor.

$V_G$ : Tension de la grille du transistor.

$V_S$ : Tension de la source du transistor.

### II.2.2. Différents types de transistor MOS :

Selon le type de semi-conducteur constituant le Substrat, on peut distinguer deux types de transistors ; les transistors NMOS ou transistor a canal N conçu un substrat de type p dits NMOSFET et transistor PMOS ou transistor MOS a canal P conçu un substrat de type n dits PMOSFET. Illustré dans la figure suivante :

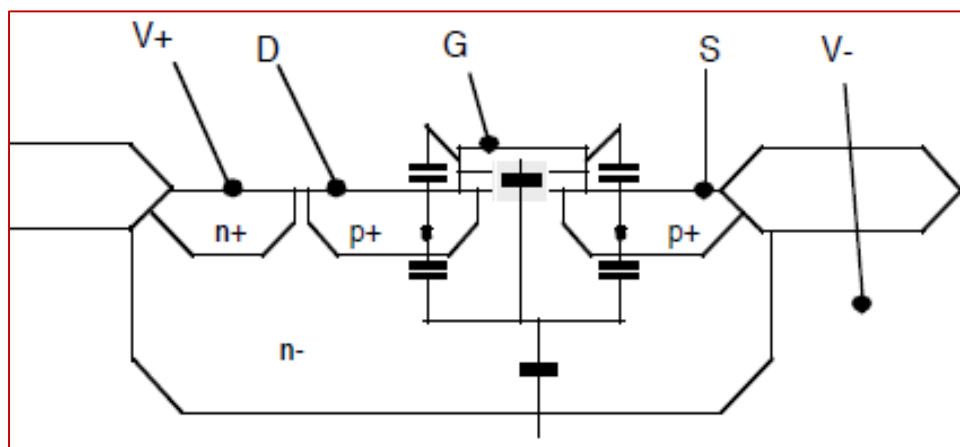


**Figure II.2 :** Symbole de transistor NMOS (a), PMOS (b).

### II.2.3. Eléments parasites du transistor MOS :

Chaque jonction est associée à une diode et une capacité de jonction. Ces capacités limitent la fréquence maximale de fonctionnement du circuit intégré et sont un important facteur de la consommation de courant des circuits haute fréquence digitaux et analogiques.

L'influence des éléments parasites dépend fortement du schéma. Habituellement, les éléments dominants sont la capacité grille-caisson, la capacité de recouvrement grille-drain et la capacité de jonction drain-caisson.



**Figure II.3 :** Les éléments parasites du transistor MOS.

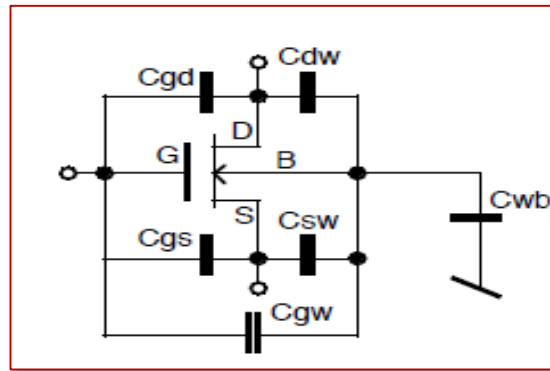


Figure II.4: Montage des éléments parasites du transistor MOS.

### II.2.4. Caractéristiques électriques du transistor MOS :

Les transistors MOS sont caractérisés électriquement en utilisant les graphiques

$I_{ds} = f(V_{gs})$  et  $I_D = f(V_{DS})$ . Ces caractéristiques sont schématisées de manière idéale en figure II.5. Notez que la triode région et active région sont équivalentes à la région linéaire et à la région de saturation respectivement.

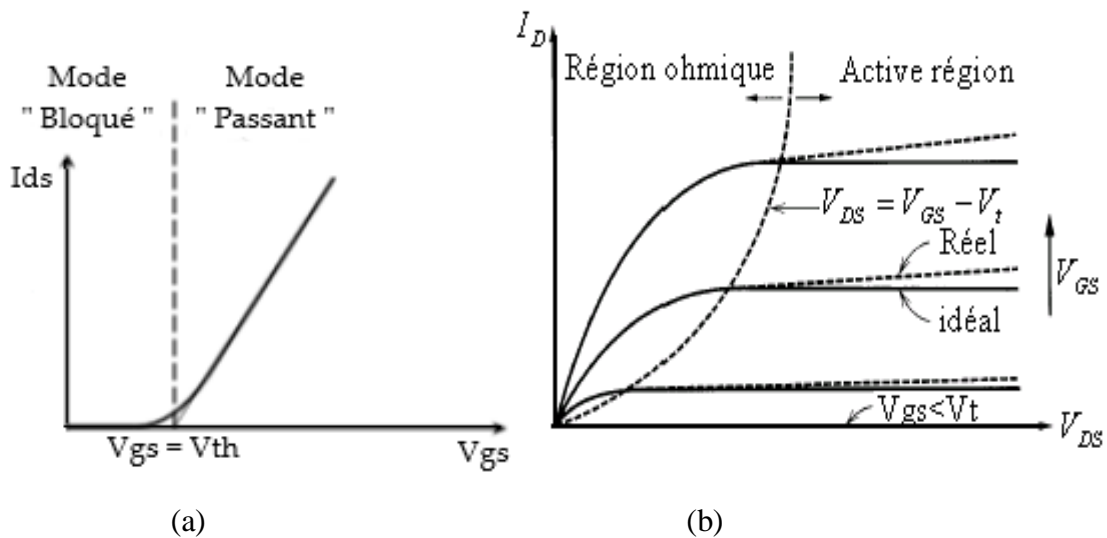


Figure II.5: Caractéristique I-V de transistor MOS, (a)Graphique  $I_{ds}=f(V_{gs})$ . (b) Graphique

$I_D=f(V_{DS})$ . la ligne  $V_{DS}=V_{GS}-V_t$  sépare le régime ohmique du régime saturé [14,15].

Les expressions du courant de drain en les différent région pour le transistor sont comme suit [16,17].

- ❖ **Le régime de faible inversion (ohmique) :** dès lors que la tension grille-source  $V_{GS}$  est inférieure ou voisine à la tension de seuil  $V_{TH}$  du transistor :  $V_{GS} < V_{TH}$ , le transistor opère en régime ohmique (région linéaire).

$$I_D = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot V_{DS} \quad (2.1)$$

Avec :

$\mu_n$  : Est la mobilité des porteur dans le canal.

$C_{ox}$  : Est la capacité de l'oxyde de grille.

- ❖ **Le régime de Forte inversion linéaire :** C'est la zone de transition entre la région linéaire et la région de saturation.

$$I_D = \mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \quad (2.2)$$

- ❖ **Le régime Forte inversion saturation :** Pour une tension grille-source plus de tension seuil et tension drain-source est au-dessus de sa tension seuil, Le transistor opère en active région (région de saturation).

$$I_D = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})^2 \quad (2.3)$$

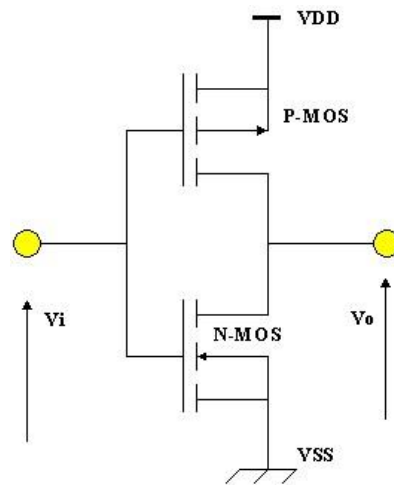
## II.2.5. Circuits en technologie CMOS :

### II.2.5.1. Définition :

CMOS est une abréviation anglaise de : Complementary Metal Oxyde Semiconductor. Cette technologie qui utilise deux types de transistors canal N NMOS et transistor canal P PMOS sur la même plaque de silicium pour réaliser des fonctions logiques. Cette technologie généralement est très utilisée dans les circuits intégrés [18].

### II.2.5.2. Inverseur à MOS complémentaire :

L'inverseur en technologie CMOS est un circuit électronique très simple et qui comporte deux transistors de types différents un PMOS qui est relié à l'alimentation et un NMOS relié à la masse.



**Figure II.6:** Schéma électrique d'un inverseur.

Le signal d'entrée est appliqué à la grille des transistors et le signal de sortie est relié aux drains des transistors. Si on applique à l'entrée un niveau haut, le transistor N est passant et le transistor P est bloqué. On place ainsi la sortie au potentiel  $V_{SS}$  (masse). Inversement quand on met l'entrée à l'état bas, le transistor P est passant et le N est bloqué. La sortie est donc à l'état haut égale à  $+V_{DD}$ .

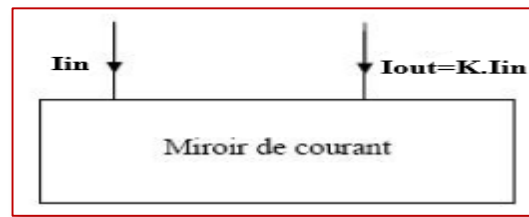
### I.3. Miroirs de courant :

Dans la conception analogique, le miroir de courant se prête bien à une analyse détaillée. Cette cellule, très récurrente, détermine les caractéristiques de nombreuses fonctions analogiques complexes. De plus, elle permet de transférer rapidement des courants sur des impédances faibles ou de réaliser du gain en gardant un large dynamique de fonctionnement. Ces atouts la destinent à de nombreuses utilisations [17,19].

#### II.3.1. Principe :

Un miroir de courant permet de recopier un courant d'entrée  $I_{in}$  en un courant de sortie  $I_{out}$  affectée d'un facteur de pondération  $K$ .

Dans une fonction analogique, un miroir de courant s'utilise pour permettre la polarisation d'un étage, réaliser du gain (charge active) pour les étages de l'amplificateur ou transférer un courant.



**Figure I.7:** Le schéma de principe d'un miroir de courant [17,19].

Avec :  $I_{in}$  : Courant d'entrée.

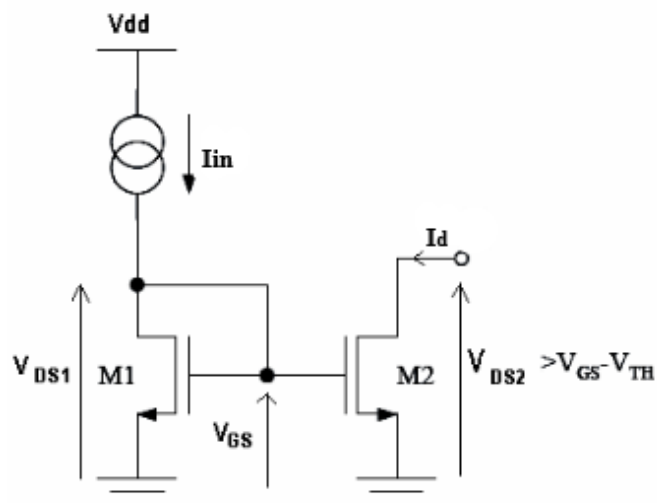
$I_{out}$  : Courant de sortie.

### I.3.2. Réalisation :

Le courant d'entrée crée une tension  $V_{in}$  en traversant un transistor. Cette tension, appliquée au transistor de sortie, génère un courant égal au courant d'entrée [20].

## II.3.3. Miroirs de courant en technologie CMOS :

### II.3.3.1. Miroir de courant simple :



**Figure II.8:** Miroir de courant simple [17,19].

Le miroir de courant simple est présenté dans la figure II.8. Le transistor M1 est configuré en diode connecté et opère donc en zone de saturation (zone active) car :

$V_{DS} = V_{GS} > (V_{GS} - V_{TH})$ . Le transistor M2 fonctionne également dans la zone de saturation.

Le miroir de courant utilise le principe suivant : Si les potentiels grille-source  $V_{GS}$  de deux transistor MOS M1 et M2 sont identiques les courants circulant dans leur canal respectif doivent être égaux pour le régime de saturation [17,19].

$$V_{DS2} = V_{GS2} - V_T = \sqrt{\frac{2 \cdot I_{D2}}{K \cdot (\frac{W}{L})_2}} \quad (2.4)$$

$$V_{GS1} = V_T + \sqrt{\frac{2 \cdot I_{D2}}{K \cdot (\frac{W}{L})_2}} = V_T + \sqrt{\frac{2 \cdot I_{D1}}{K \cdot (\frac{W}{L})_1}} \quad (2.5)$$

Où :

$W_1, L_1, W_2, L_2$  : Les dimensions géométriques de deux transistors M1, M2

De l'équation (2.5) on peut déduire que les tensions des transistors M1 et M2 sont égaux, Si les transistors sont identiques ( $(\frac{W}{L})_1 = (\frac{W}{L})_2$ ),  $I_{out} = I_{D1} = I_{D2}$  (2.6)

L'impédance de sortie de ce miroir égale l'impédance de sortie de transistor M2 [17,19].

$$r_{out} = r_{o,M2} = \frac{1}{\lambda \cdot I_{out}} \quad (2.7)$$

$\lambda$  : Coefficient de modulation de longueur du canal en  $V^{-1}$ .

### II.3.3.2. Miroir de courant cascode :

Les miroirs simples posent des problèmes en raison de leur faible résistance de sortie. Donc la résistance de sortie doit être utilisée la plus grand possible c'est pourquoi, le plus généralement, les sources de courant sont réalisées avec des miroirs de courant cascode.

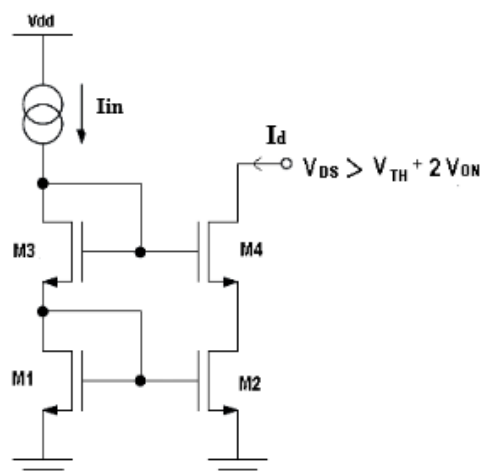


Figure II.9: Miroir de courant cascode [17,19].

Le schéma de montage cascode d'un miroir de courant est montré dans la figure II.9. Son principe de fonctionnement est le suivant, le courant d'entrée est imposé, donc le potentiel

collecteur de M4 ne dépend que des tensions  $V_{BE1}$ ,  $V_{BE2}$ ,  $V_{BE3}$ . Comme ces tensions dépendent principalement du courant d'entrée, le potentiel de collecteur de M4 reste constant ainsi que le courant qui le traverse.

La configuration cascode présente une impédance de sortie très élevée [17,19].

$$r_{out} = (r_{ds2} \ g_{m4}) \ r_{ds4} \quad (2.8)$$

$g_{m4}$  : La conductance mutuelle de transistor M4

On peut conclure cette étude sur le tableau suivant :

Source de courant	Résistance de sortie $r_{out}$	La tension $V_{min}$
<b>Simple</b>	$r_{ds2}$	$V_{ON}$
<b>Cascode</b>	$(r_{ds2} \ g_{m4}) \ r_{ds4}$	$V_{TH} + 2V_{ON}$

**Tableau II.1:** La tension minimum et la résistance de sortie des différents types de miroirs de courant.

## II.4. Amplificateurs opérationnels :

### II.4.1. Définition :

Un amplificateur opérationnel qui est aussi appelé ampli-op, AO, ou bien aussi tout simplement AOP (Operational Amplifier en anglais) est un amplificateur différentiel qui amplifie une différence de potentiel électrique présente à ses entrées. Initialement, les AOP ont été conçus pour effectuer des opérations mathématiques dans les calculateurs analogiques: ils permettaient d'implémenter facilement les opérations mathématiques de base comme l'addition, la soustraction, l'intégration, la dérivation et d'autres.

Physiquement, un amplificateur opérationnel est constitué de transistors, de tubes électroniques ou de n'importe quels autres composants amplificateurs. On le trouve communément sous la forme de circuit intégré [21]. Il existe comme souvent deux jeux de symboles pour les AOP. Les symboles Européens (Hors United Kingdom) et Américains (US) comme présenté figure II.10. L'amplificateur comporte une sortie et deux entrées différentielles inverseuse et non-inverseuse, et deux branches d'alimentations (+  $V_{cc}$ , - $V_{cc}$ ).



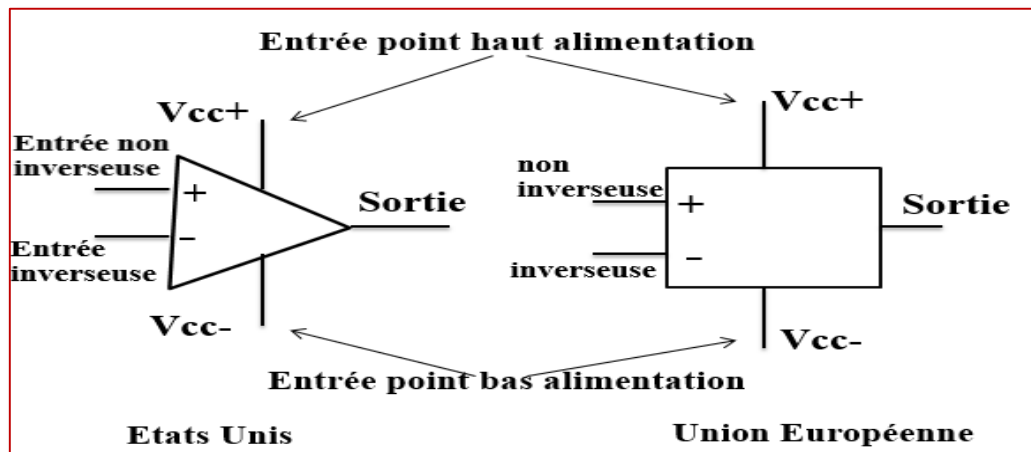


Figure II.10 : Les différents symboles des amplificateurs opérationnels.

#### II.4.2. Caractéristiques des amplificateurs opérationnels :

Les amplificateurs opérationnels ont la même structure interne. Ils comportent en entrée un amplificateur différentiel suivi d'un étage adaptateur d'impédance. Ce sont des amplificateurs différentiels qui sont caractérisés par :

- L'impédance d'entrée est très élevée de ( $1M\Omega$ ).
- L'impédance de sortie est très faible (au maximum quelques kilo-ohms  $K\Omega$ ).
- Un gain de tension très important.

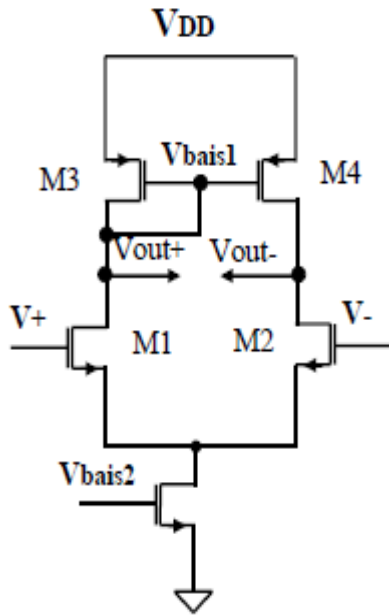
#### II.4.3. Différentes topologies d'ampli-op :

##### II.4.3.1. Amplificateur à un seul étage :

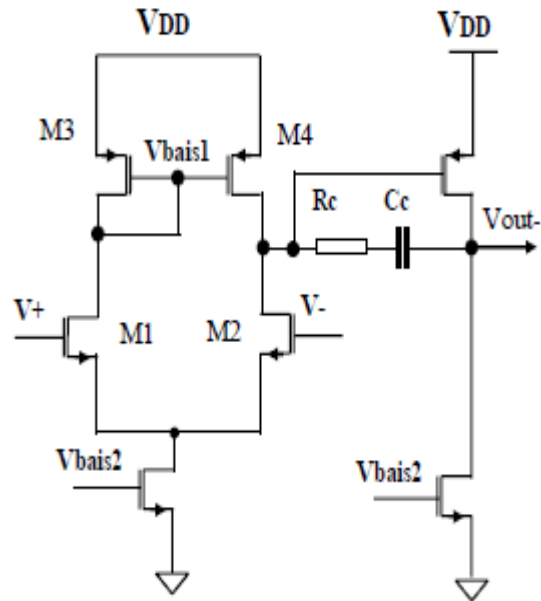
Cette configuration est montrée dans la figure II.11. C'est la configuration la plus simple, sa vitesse peut être très haute. Les inconvénients de cette configuration sont que le gain est plus bas et l'impédance de sortie est relativement basse.

##### II.4.3.2. Amplificateur à deux étages :

La figure II.12 montre un schéma d'un amplificateur opérationnel CMOS de base à deux étages. Un étage différentiel d'entrée pilote une charge active suivi d'un second étage de gain. Cette modification permet d'augmenter le gain et l'impédance de sortie ainsi le système devient plus complexe. Le circuit de compensation ( $R_c$ ,  $C_c$ ) est également inclut pour assurer la stabilité de système.



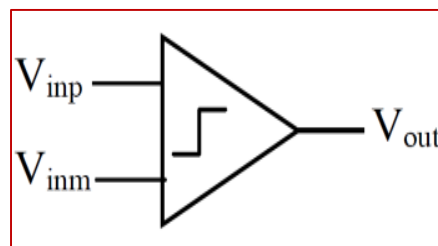
**Figure II.11:** AOP à un seul étage.



**Figure II.12:** AOP à deux étages.

### II.5. Comparateur :

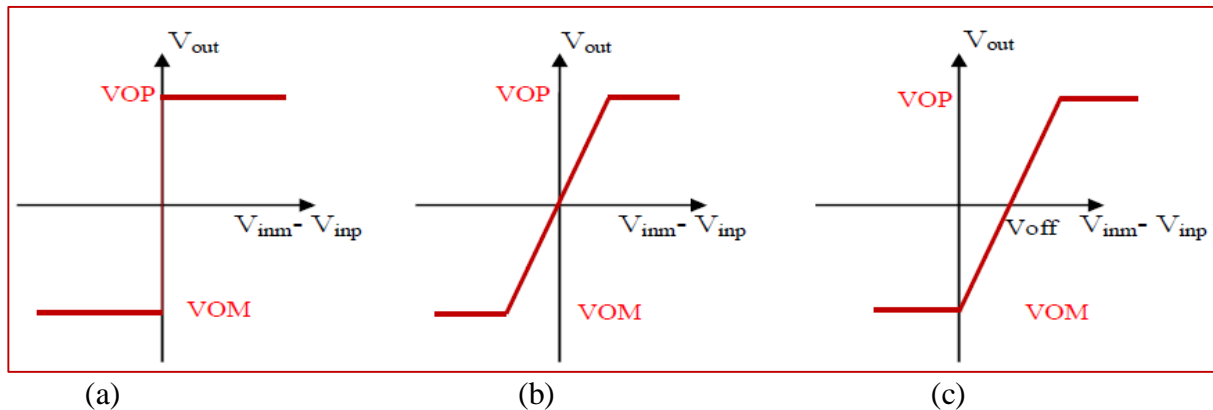
Le comparateur est le plus important circuit analogique dans le domaine de conception des circuits intégrés après les amplificateurs opérationnels, c'est un circuit qui compare un signal analogique à un autre signal numérique ou une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ».son symbole est présentée par la figure II.13.



**Figure II.13:** Symbole du comparateur.

### II.5.1. Caractéristiques d'un comparateur :

#### II.5.1.1. Caractéristiques statiques :



**Figure II.14 :** Caractéristiques d'un comparateur idéal (a) et d'un comparateur à gain fini (b) et caractéristique d'un comparateur présentant un offset en entrée (c) [22].

Dans (a) on peut voir la caractéristique idéale : la tension de sortie passe immédiatement de  $V_{OM}$  à  $V_{OP}$  lorsque  $V_P$  devient supérieur à  $V_M$ . Dans (b) la caractéristique d'un comparateur à gain fini est représentée: si  $V_P$  est proche de  $V_M$ , le gain ne sera pas suffisant pour que la sortie atteigne  $V_{OM}$  ou  $V_{OP}$ . (c) représente la tension d'offset d'entrée, Si la sortie change de signe pour une tension différentielle d'entrée de  $V_o \neq 0$ ,  $V_o$  est appelé tension d'offset d'entrée. Celle-ci peut être positive ou négative.

#### II.5.1.2. Caractéristiques dynamiques :

Le temps (ou délai) de propagation «  $t_p$  » d'un comparateur représente le temps qui s'écoule entre l'excitation en entrée et le changement d'état en sortie Figure II.15. Ce paramètre est très important car il est souvent le facteur limitant la vitesse de conversion d'un CAN.

Le temps de propagation est généralement en fonction de l'amplitude du signal d'entrée : si cette dernière est plus importante, le délai sera réduit, jusqu'à une certaine limite où une augmentation de la tension différentielle d'entrée ne modifiera plus le temps de propagation.

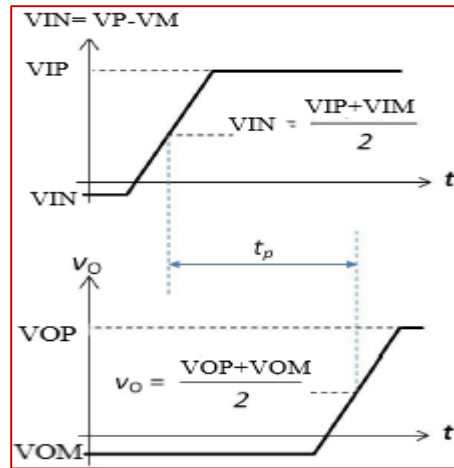


Figure II.15: Représentation du temps de propagation  $t_p$  d'un comparateur.

**II.5.2. Comparateur CMOS :**

Le comparateur exige une entrée différentielle et un gain suffisamment grand pour obtenir la résolution désirée. En conséquence, l'AOP fait une excellente implantation du comparateur [23,24]. Une simplification est possible car le comparateur sera généralement employé dans le mode boucle ouverte et donc il n'est pas nécessaire de le compenser. En effet, il est préférable de ne pas compenser le comparateur de sorte qu'il ait la plus grande bande passante possible, ce qui donnera une réponse plus rapide. Par conséquent, nous examinerons les performances de l'AOP sans compensation utilisé en mode comparateur figure II.16.

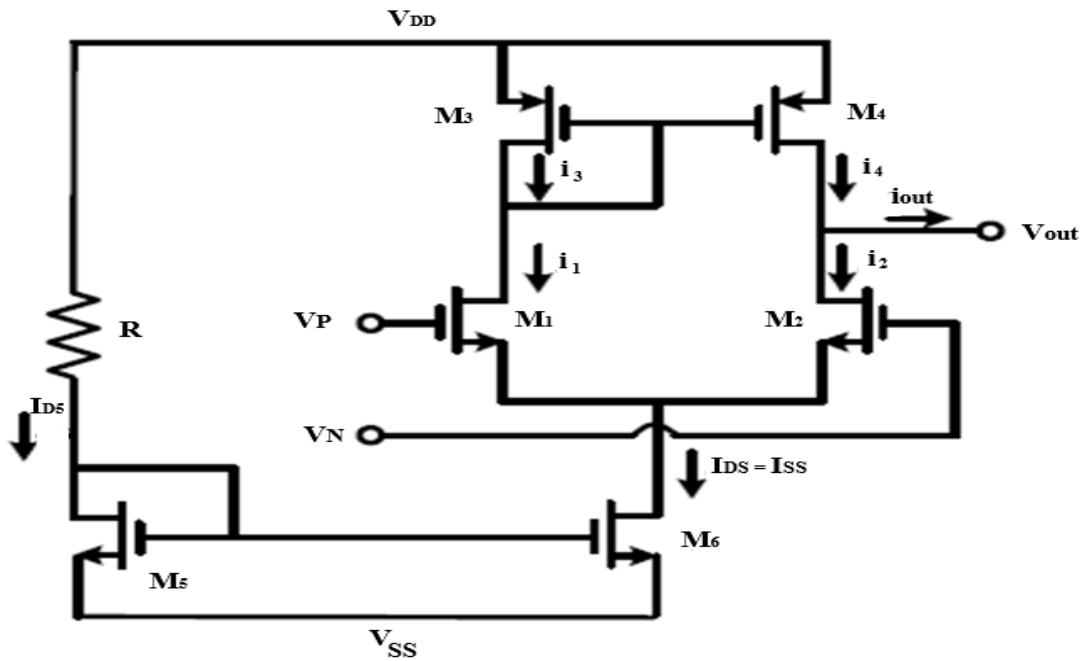


Figure II.16 : AOP utilisé en mode comparateur [24].

La figure II.16 montre un amplificateur différentiel CMOS qui utilise des MOSFET canal-N M1 et M2. M1 et M2 sont polarisés avec une source de courant  $I_{SS}$  connectée aux sources de M1 et M2. Cette configuration de M1 et M2 s'appelle paire source-couplée. Le miroir de courant MOSFET fait à partir de M5 et M6, est utilisé pour fournir un courant de source pour la paire  $I_{SS}$ .

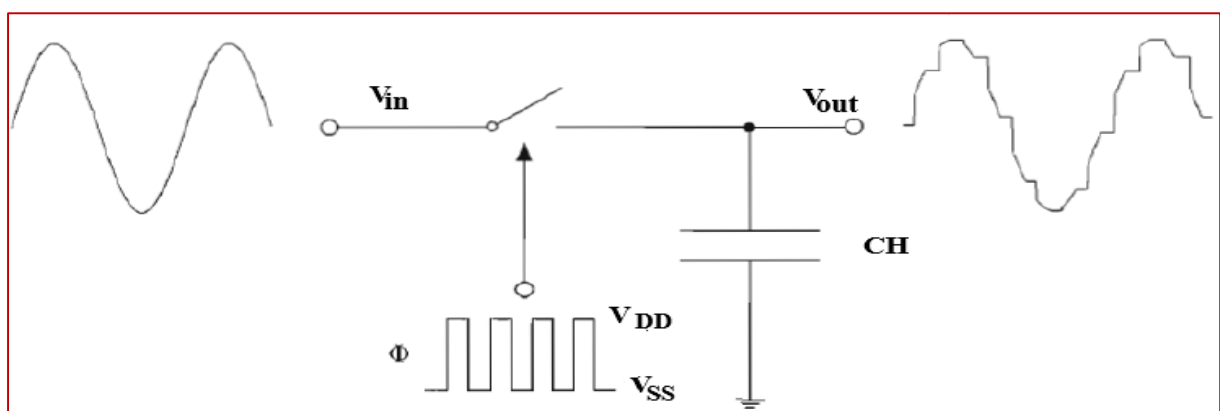
L'amplificateur différentiel CMOS est le plus souvent utilisé avec une charge insérée entre les drains de M1 et M2 et l'alimentation  $V_{DD}$ . Cette charge est constituée d'un miroir de courant canal-P formé par les transistors M3 et M4 comme indiqué dans la figure II.16.

### II.6. Circuit échantillonneur bloqueur E/B :

Un échantillonneur bloqueur (S/H, sample-and-hold) est un périphérique analogique qui échantillonne la tension d'un signal analogique variant continuellement et stocke sa valeur à un niveau constant pendant une période minimale de temps spécifié [25]. Le principe de fonctionnement d'un échantillonneur est basé sur deux modes :

- En mode d'échantillonnage, l'interrupteur S (contrôlé par CK) est fermé, le condensateur prend la valeur de  $V_{in}$  (le signal de sortie  $V_{out}$  prend la même valeur de signal d'entrée). C'est la partie d'échantillonnage du cycle (Sample).
- En mode de blocage, l'interrupteur S est ouvert, le condensateur conserve sa charge (le signal de sortie  $V_{out}$  reste constant jusqu'à la période d'échantillonnage suivante). C'est la partie qui maintient le cycle (Hold).

Les commandes d'ouverture et de fermeture de l'interrupteur sont assurées par une horloge.



**Figure II.17:** Circuit d'un échantillonneur-bloqueur idéal [25].

Dans cette partie, nous décrivons quelques configurations d'architectures du circuit E/B, la plupart des circuits E/B configurent entre deux architectures soit en boucle ouverte ou en boucle fermée [26, 27, 28].

### II.6.1. Configuration en boucle ouverte du circuit E/B :

La configuration en boucle ouverte du circuit échantillonneur bloqueur est montrée dans la figure II.18. Cette architecture est constituée d'un amplificateur (buffer) d'entrée, élément (condensateur CH) de stockage d'énergie, commutateur (switch) analogique et d'un amplificateur (buffer) de sortie.

Cette topologie est simple et rapide, sa précision est limitée par la distorsion harmonique de l'amplificateur de gain unitaire. Par ailleurs, elle présente une erreur de tension de décalage égale à la somme algébrique des tensions de décalage d'entrée des deux amplificateurs qui peut être réduite en utilisant une architecture en boucle fermée.

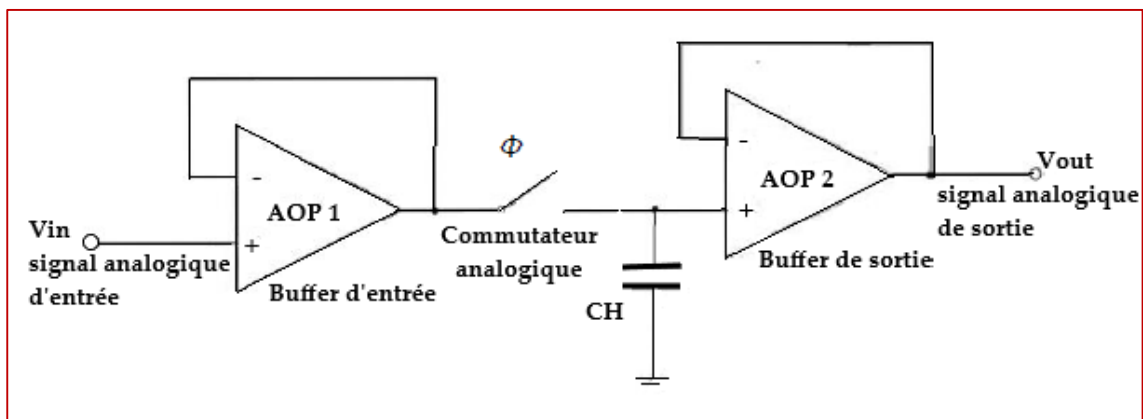
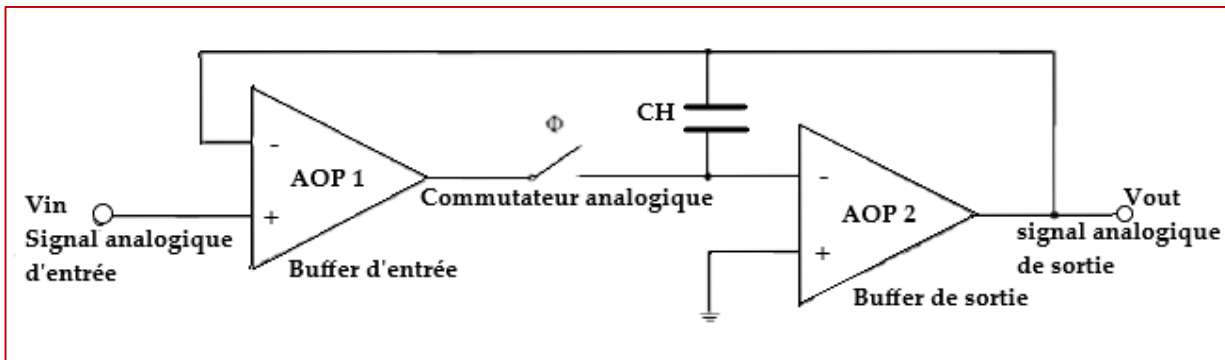


Figure II.18: Configuration en boucle ouverte d'un circuit E/B [28].

### II.6.2. Configuration en boucle fermée du circuit E/B :

Une réalisation de l'architecture en boucle fermée est illustrée dans la figure II.19. Qui se compose d'un buffer d'entrée qui est un amplificateur à transconductance, les dispositifs d'échantillonnage commutateur et CH, et un amplificateur (buffer) de sortie.



**Figure II.19:** Configuration en boucle fermé d'un circuit E/B [28].

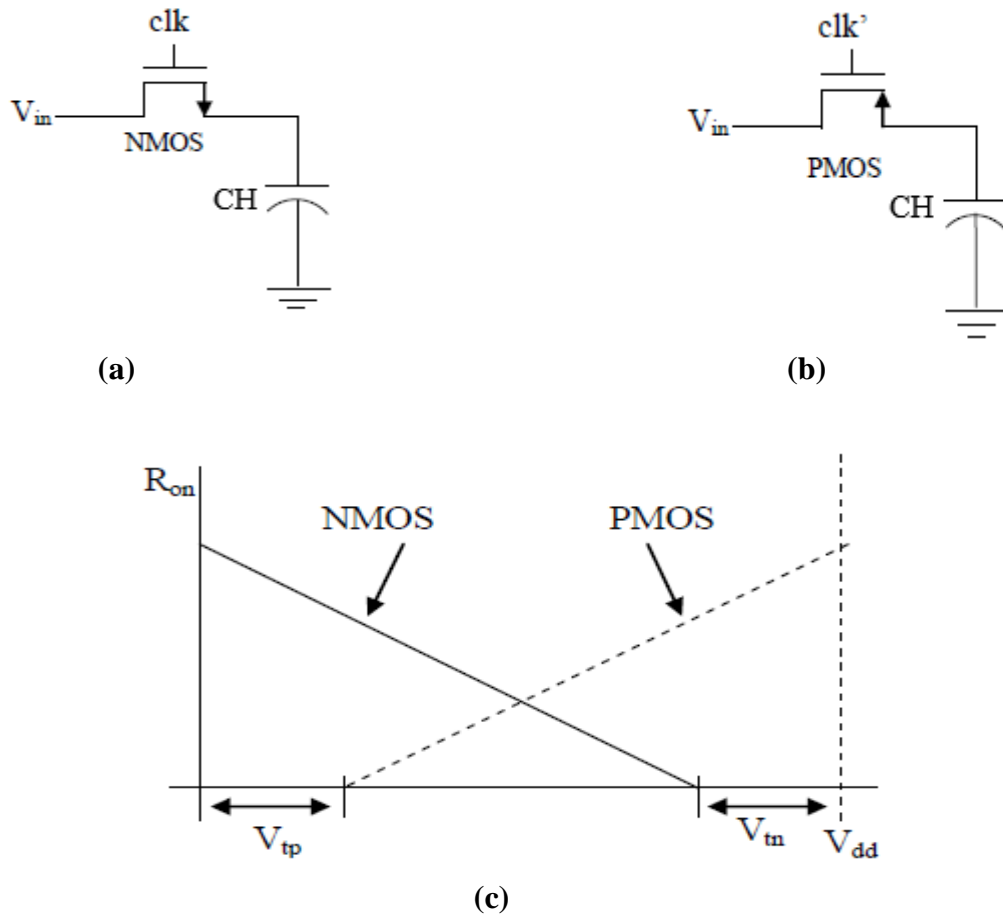
Pendant l'acquisition, le circuit fonctionne comme un amplificateur à deux étages compensé par le condensateur de charge CH. Lorsque le gain de l'amplificateur d'entrée est suffisamment élevé pendant la phase d'échantillonnage, la masse virtuelle permet à la tension aux bornes de CH de suivre les variations de la tension d'entrée.

À l'ouverture de l'interrupteur, l'entrée est déconnectée du condensateur et la tension est mémorisée. Les effets non linéaires des charges injectées par AOP1 sont limités par la masse virtuelle mais une erreur de décalage indépendante de la tension d'entrée est introduite.

Cette architecture autorise une plus grande résolution que l'architecture en boucle ouverte grâce à la compensation mais elle est moins rapide [28].

### II.7. Commutateur (switcher) CMOS :

Les commutateurs sont des composants fondamentaux dans les applications des circuits dynamiques (analogique ou numérique), le plus simple possible est un transistor de passage indiqué sur la Figure II.20 (a). Dans le cas de transistors NMOS, lorsque la tension de grille est élevée, le drain et la source sont reliés électriquement et la conduction se produit entre eux. On peut voir que la tension maximale qui peut passer est  $V_{dd} - V_t$ . Inversement, dans un commutateur PMOS, la tension minimale qui peut passer est  $V_t$ . Pour la gamme de conduction qui peut être de 0 à  $V_{dd}$ , les commutateurs sont modifiés comme indiqués dans la Figure II.20 pour former la porte de transmission CMOS [29].



**Figure II.20 :** Commutateur CMOS, (a) type NMOS, (b) type PMOS, (c) la résistance des Commutateur.

Pour les applications où la linéarité de la sortie n'est pas une préoccupation, un transistor NMOS ou un transistor PMOS juste fonctionnerait très bien dans leur région de conduction. Figure II.20 (c) montre la résistance sur des commutateurs NMOS et PMOS. Ces commutateurs avec une variation de la résistance ( $R_{on}$ ) :

$$R_{ON} = \frac{1}{\mu_n \cdot C_{ox} \left(\frac{W}{L}\right) (V_{GS} - V_{TH})} \tag{2.9}$$

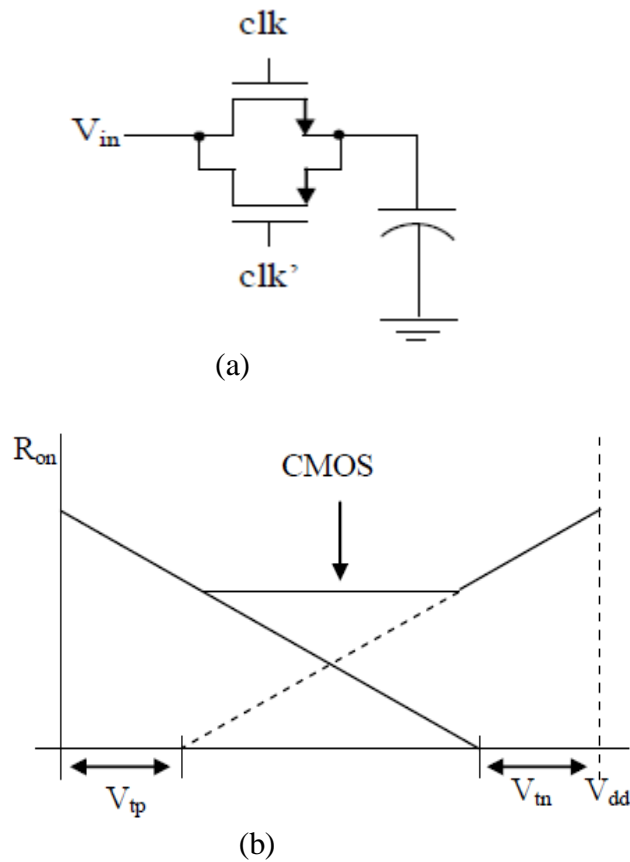
Ils sont utilisés pour mettre en application des fonctions importantes comme le commutateur est également le multiplexage, la modulation et un certain nombre d'autres applications, Les commutateurs sont utilisés comme porte de transmission dans les circuits numériques.

**II.8. Porte de transmission CMOS :**

Un coup d'œil à la Figure II.21 (a) suggère que les commutateurs NMOS et PMOS sont utilisés en parallèle, donc la résistance effective est comme illustré à la Figure II.21 (b). Cette



combinaison s'appelle la porte de transmission fonctionne bien dans de nombreuses applications.



**Figure II.21 :** La porte de transmission CMOS.

Lorsque l'on met en parallèle les NMOS et les PMOS, leur dimensionnement relatif est dans le rapport de leur mobilité pour assurer une résistance égale. À part de l'augmentation de la linéarité, cette combinaison contribue également à l'injection de charges qui est un gros problème dans les circuits à capacités commutées. La charge de grille des transistors NMOS et PMOS est de polarité opposée [29]. Quand le commutateur est fermé, ces paquets de charges chargés en opposée qui sortent, annulent les uns les autres ce qui améliore l'intégrité du signal dans une certaine mesure.

**II.9. Conclusion :**

Dans ce chapitre nous avons présenté le comportement du composant actif utilisé dans la conception de nos modules qui seront décrits dans le chapitre suivant. Dans un premier temps, nous sommes intéressés à étudier le transistor MOS. Nous avons passé par la suite à l'ensemble des miroirs de courant les différentes configurations de l'amplificateur opérationnel et comparateur, le circuit échantillonneur bloqueur E/B ainsi que les commutateurs.

Le prochain chapitre sera consacré à une étude de conception et simulation de la modélisation d'un convertisseur analogique numérique à approximation successive (CAN SAR).

# Chapitre 3

## Modélisation d'un CAN SAR

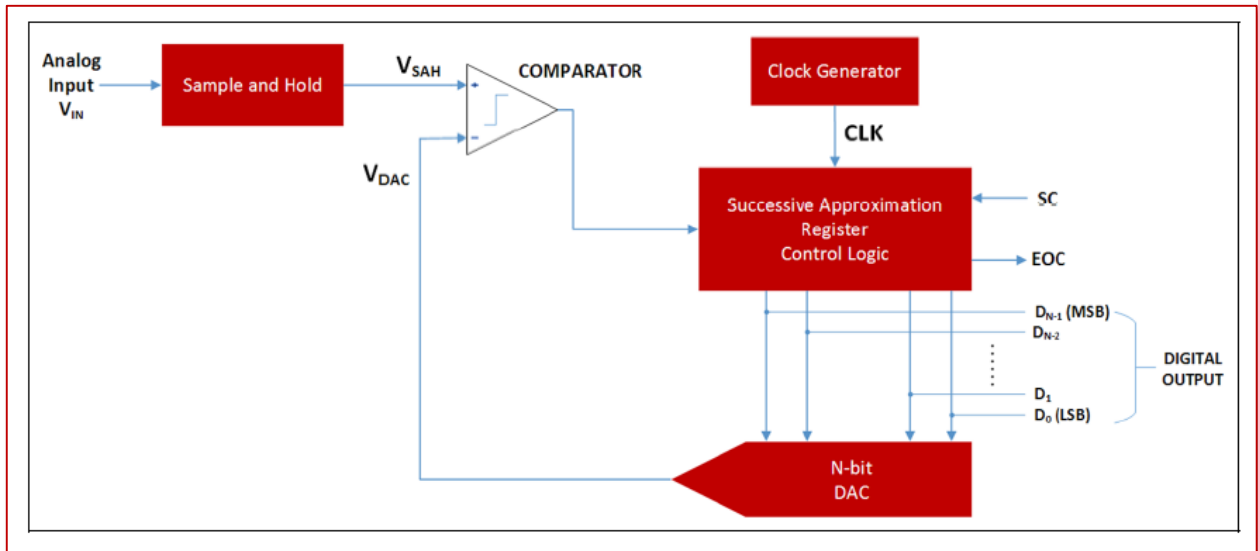
### III.1 Introduction

La modélisation des circuits de signaux mixtes, tels que les convertisseurs numérique analogique (CNA), est généralement effectuée au niveau de l'appareil ou à un niveau fonctionnel faible avec une certaine précision des diverses non-idéalités présentes dans l'appareil. Toutefois, en procédant ainsi, le concepteur perd son indépendance technologique et son temps de simulation est très grand. C'est pourquoi une analyse au niveau des transistors est effectuée pour obtenir une approximation de la réponse du CAN, il est nécessaire d'effectuer une modélisation plus précise et plus rapide pour valider les nouveaux algorithmes et architectures de CAN et évaluer leurs paramètres de performance. L'une des approches suivies est la modélisation comportementale.

Ce travail se concentre sur la conception du CNA dans le convertisseur SAR. Une architecture qui a gagné une popularité dans ce domaine d'application en raison de sa petite surface active et de son besoin minimal en composants analogiques actifs tout en obtenant une faible consommation d'énergie. Dans ce projet on présente le modèle comportemental d'une nouvelle architecture configurable de CAN SAR à huit bits en employant MATLAB et le Simulink environnement [30], qui peut être pour la configuration en mode tension. La modélisation du comportement a été réalisée pour des scénarios idéaux et non idéaux, dans lesquels divers effets non idéaux des éléments constitutifs du SAR ADC ont été modélisés et intégrés dans la conception, tels que le bruit de scintillement, le passage de l'horloge, l'injection de charge, le bruit thermique et les décalages dans le DAC, afin d'obtenir une réponse précise du CAN SAR réel. De plus, le CNA proposé est configurable par nature car il sélectionne l'horloge et la fréquence d'échantillonnage en fonction de la nature des signaux biophysiques d'entrée.

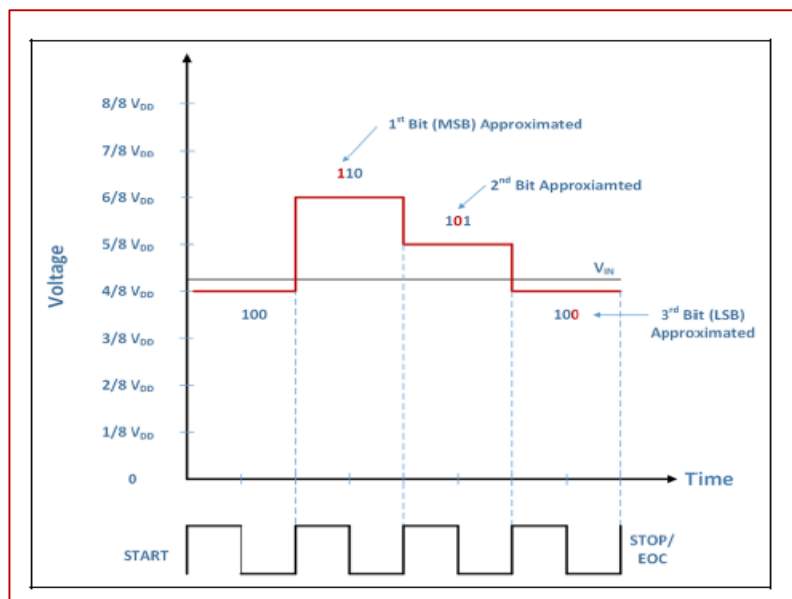
**III.2. Architecture du CAN SAR :**

Comparant le convertisseur SAR aux autres convertisseurs comme le flash, le SAR convertit à faible puissance. L’avantage de cette architecture est qu’elle soit la plus simple qui implémente l’algorithme de recherche binaire. En plus le convertisseur SAR ne contient pas un amplificateur opérationnel qui est généralement gourmand en puissance, il a juste besoin d’un seul comparateur qui consomme moins de puissance que l’amplificateur.



**Figure III.1:** L’Architecture générale du convertisseur analogique numérique à registres à approximations successives.

La figure III.2 montre le processus de conversion de base d’un système à trois bits SAR ADC :

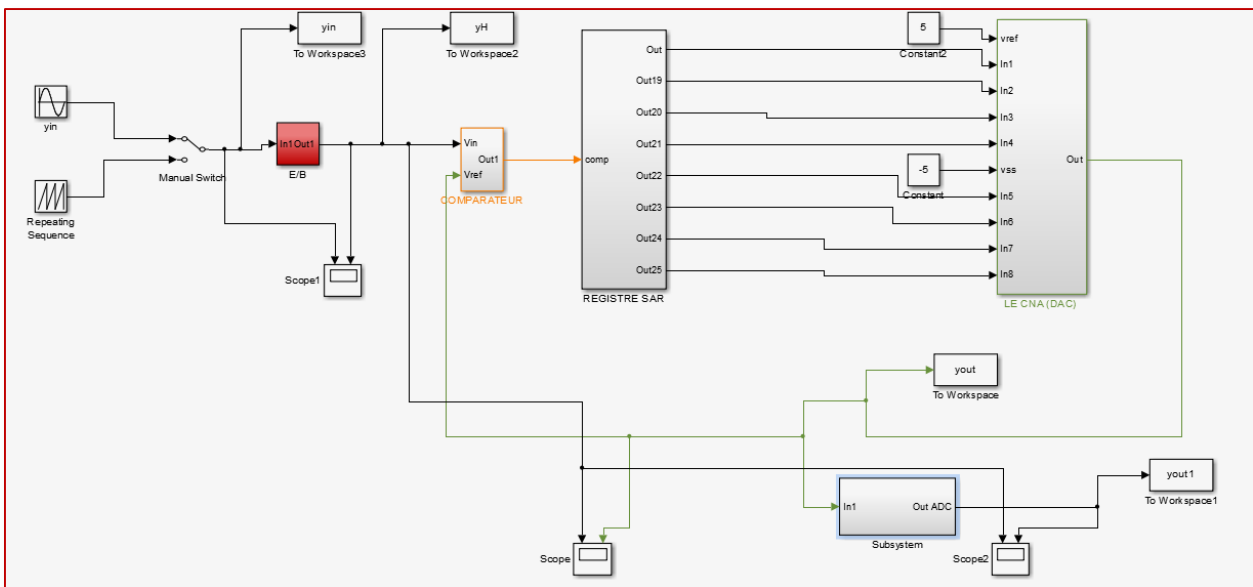


**Figure III.2:** Le Principe de fonctionnement d’un CAN SAR [31].

Le fonctionnement du SAR est basé sur le CNA et le comparateur pour effectuer une recherche dichotomique pour trouver le signal d'entrée. Le circuit E/B est utilisé pour prélever l'entrée analogique et tenir cette valeur tandis que la recherche est effectuée. Celle-ci commence avec le MSB le plus élevé bit signifiant pour atteindre le LSB le plus petit bit signifiant, pour une résolution de 8bits. En mode tension les CAN utilisent les CMOS et transistors dans le CNA comme commutateurs, ce qui mène à avoir l'avantage de réduire l'espace occupé, réduire la puissance d'énergie dissipée et achever une conversion avec une grande vitesse.

**III.3. Modèle de comportemental SAR :**

La figure III.3. Montre le modèle comportemental de convertisseur SAR idéal réalisé dans le bloc Simulink :



**Figure III.3 :** Le modèle comportemental d'un CAN SAR.

❖ **La non-idéalité du CAN SAR :**

Généralement le SAR contient quatre blocks importants : Echantillonneur Bloquer E/B et comparateur, le registre à approximation successive (SAR) et le modèle CNA ou bien DAC (Digital Analog Converter). Mais dans notre travail on ajoute un décodeur thermomètre et des facteurs non idéaux afin de tester la performance du CAN SAR. Le modèle proposé est montré dans la figure III.4 :

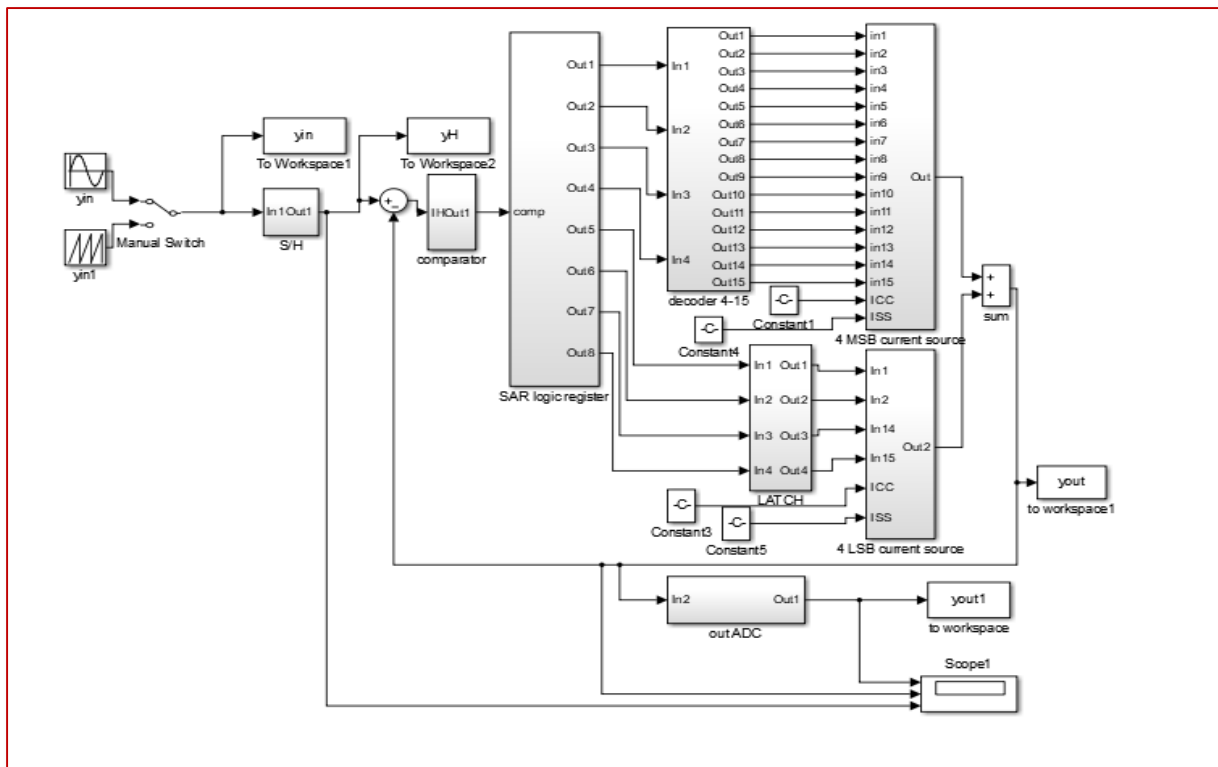


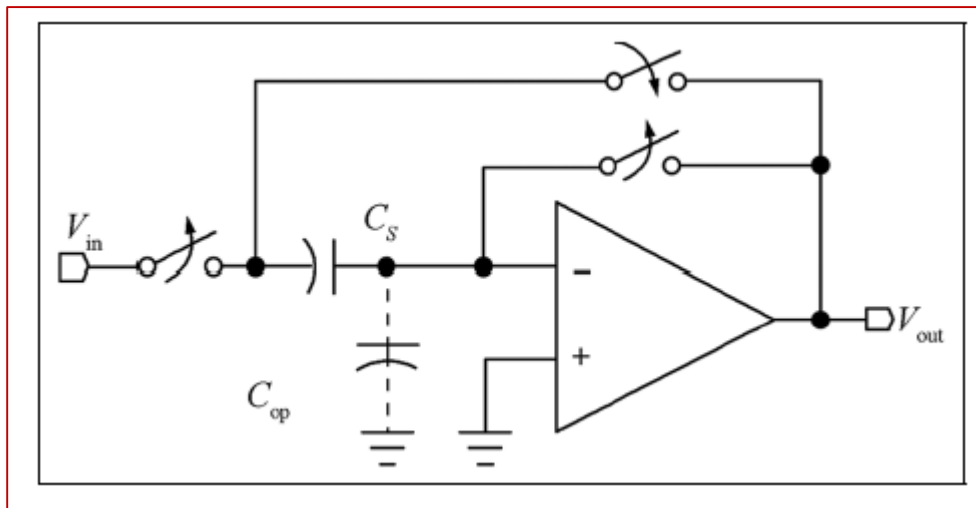
Figure III.4 : Modèle comportemental du convertisseur SAR avec un décodeur 4-15 bits.

### III.4. Modèle comportemental du CAN SAR :

Le fonctionnement du modèle CAN SAR est très simple. L'E/B prélève l'entrée analogique et implémente l'algorithme de recherche dichotomique. Le registre tient d'abord 8bits de MSB à « 1 » et tout le reste des bits à « 0 », ce qui force la sortie du CNA à atteindre la moitié de la tension de référence ( $V_{ref}/2$ ).  $V_{in}$  est comparé à  $V_{dac}$ , si  $V_{in}$  supérieur à  $V_{dac}$  la sortie du comparateur égale à « 1 » logique et le MSB de 8bits à « 1 ». En inverse  $V_{in}$  inférieur à  $V_{dac}$ , la sortie du comparateur est à « 0 » logique et le MSB du registre est à « 0 ». Maintenant le contrôle de registre passe au bit suivant, force un bit à augmenter et continuer à comparer, l'opération continue jusqu'à atteindre LSB. Le mot numérique 8bits est valable dans le registre une fois que la conversion est accomplie. Tous ces blocs seront bien expliqués dans les sections suivantes.

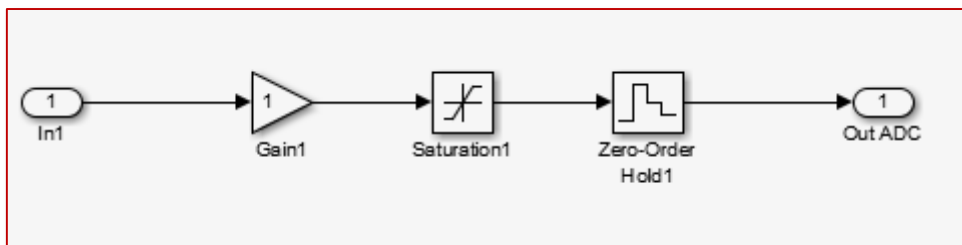
#### III.4.1. Circuit échantillonneur bloqueur E/B :

Le circuit échantillonneur bloqueur a un rôle très important dans la conversion analogique numérique, il échantillonne l'entrée analogique externe et bloque l'entrée stable dans une certaine période pour que le signal soit converti à la forme numérique [38]. Le schéma basique de l'E/B est montré dans la figure III.5 :



**Figure III.5 :** Circuit de base d'E/B.

Ce montage est capacitif où le condensateur d'échantillonnage  $C_s$  (Sampling Capacitor) stocke le signal de l'entrée et fournit également la valeur échantillonnée au condensateur de retour  $C_f$  (Feedback Capacitor). Ainsi qu'un seul condensateur est utilisé à la fois pour l'échantillonnage et pour le retour d'information [33]. Bien que ce montage atteigne une grande vitesse en raison du facteur de rétroaction, le modèle idéal du bloc E/B est montré comme suivant :



**Figure III.6 :** Le modèle idéal du circuit E/B.

Lorsque le modèle est pratiquement réalisé, la performance du bloc diminue à cause de certains facteurs non-idéaux tout comme : l'injection de charge, le phénomène de feedthrough, le bruit de scintillation « flicker noise », l'erreur sur l'instant d'échantillonnage « jitter » et on étudie chaque facteur dans ce qui suit.

#### III.4.1.1. Phénomène d'injection des charges:

Le facteur d'injection de charge est causé lorsque l'interrupteur d'oxyde métallique du transistor MOS est mis ON, qui résulte une charge sous l'oxyde de la grille du canal inversé. Cette charge est donnée par l'équation [30] :



$$Q_{ch} = C_{ox} \times W \times L \times (V_{gs} - V_{th}) \tag{3.1}$$

Où :

$C_{ox}$  : Est la capacité d'oxyde mince par la largeur.

W et L : Sont respectivement le poids et la longueur du semi-conducteur de transistor MOS.

$V_{gs}$  : Tension entre source et gain.

$V_{th}$  : Tension de Thershold.

La charge injectée au drain n'introduit pas d'erreurs, par contre la charge injectée à la source l'importe dans la charge stockée dans la capacité prélevée. L'erreur d'amplitude peut être exprimé par :

$$\Delta V_{in} = \frac{Q_{ch}}{2.G} = \frac{C_{ox} \times W \times (V_{gs} - V_{th})}{2 \times C_{gs}} \tag{3.2}$$

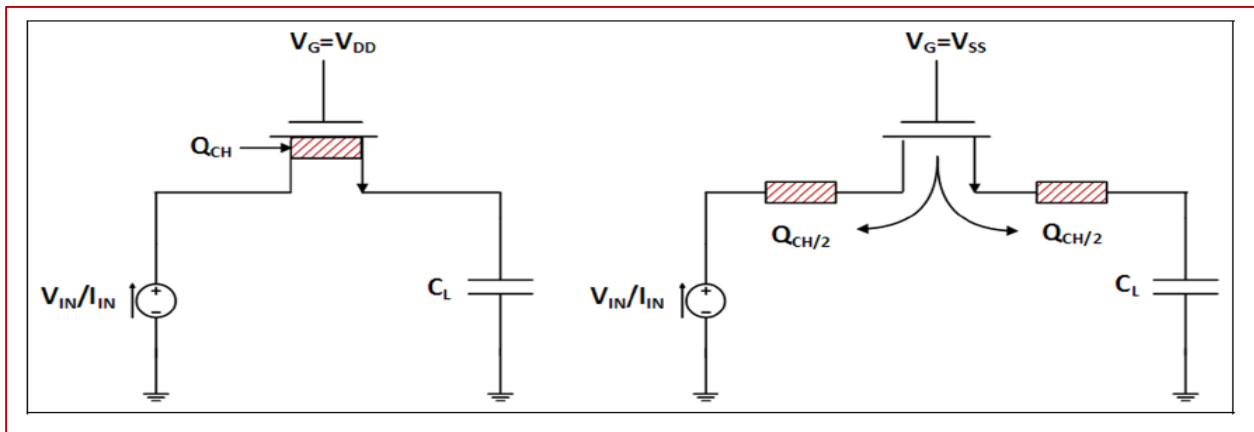


Figure III.7 : Phénomène de l'injection des charges du transistor NMOS.

La figure III.7 Représente l'injection de charge dans les transistors MOS de type N, la figure III.8 est son modèle comportemental dans le bloc Simulink. Le bloc de générateur variable aléatoire génère les sorties sous forme de série de signale pulsé, après avoir passé par le bloc dérivateur, le bloc « ordre zéro » est utilisé pour spécifier la constante de temps de remplissage et le facteur de gain est utilisé pour ajuster la quantité de charge injectée.

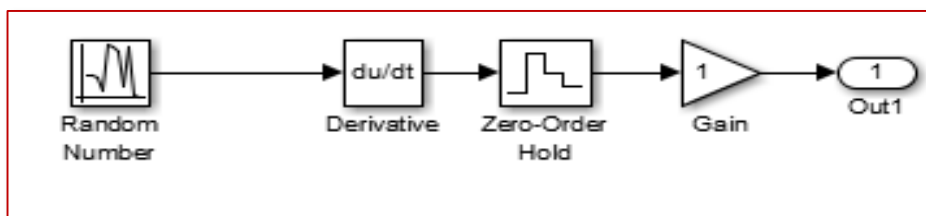


Figure III.8 : Le modèle du phénomène de l'injection des charges.

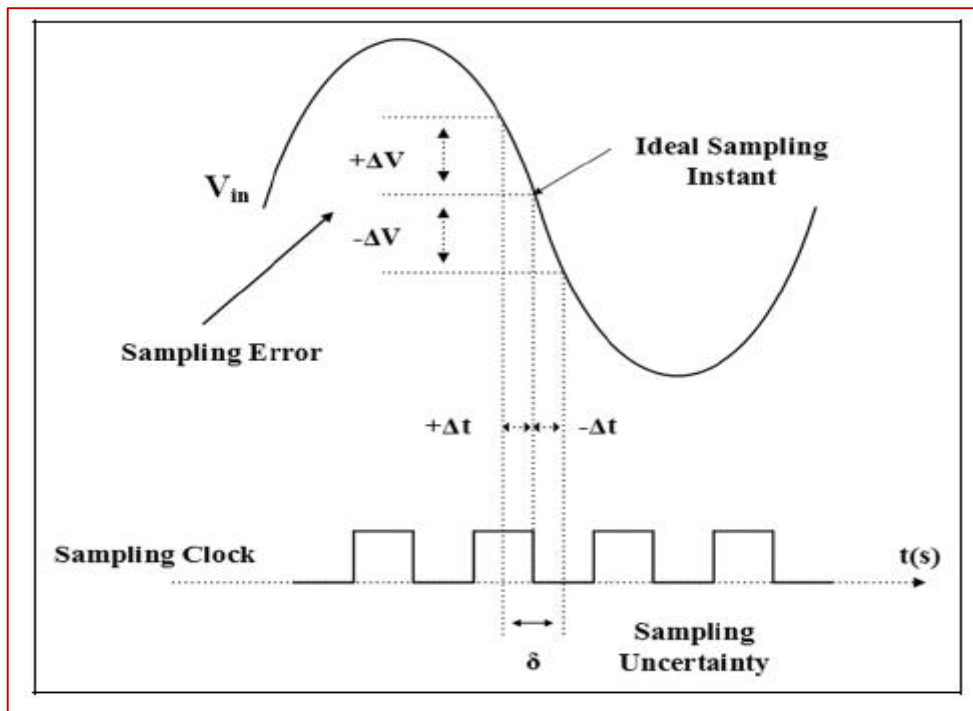
**III.4.1.2. Erreur sur l’instant d’échantillonnage: « Jitter » :**

L’erreur sur l’instant d’échantillonnage est un phénomène qui a attiré l’attention dans l’architecture des CAN. Le phénomène « jitter » est l’incertitude  $\Delta t$  ou bien la variation aléatoire dans l’instant d’échantillonnage dans l’entrée analogique qui ne peut pas se produire exactement au temps désiré. L’erreur qui résulte est exprimée [30]:

$$x_i(t) = x_i(t) + \delta[x_i(t + 1) - x_i(t) \times f_s] \cong x_i t \times \delta \frac{d}{dt} \times x_i(t) \tag{3.3}$$

Avec :

- $x_i(t)$  : L’entrée échantillonnée.       $\delta$  : Déviation « jitter ».
- $x(t)$  : L’échantillon de signal.       $f_s$  : Fréquence d’échantillonnage.



**Figure III.9 :** L’erreur sur l’instant d’échantillonnage [29].

La figure III.9 Explique bien ce phénomène où l’incertitude d’échantillonnage  $\Delta t$  est proportionnelle à la pente de signal avec un écart de type  $(\Delta t-1)$ , lorsqu’un signal sinusoïdal  $x(t)$  avec une amplitude  $A$  et une fréquence ( $f$ ) ce signal est échantillonné à un instant ( $t$ ) aura une déviation ( $\delta$ ), l’erreur sur l’instant d’échantillonnage sera exprimé comme suit [34] :

$$x(t - \delta) - x(t) = 2\pi \times f \times A \times \delta \cdot \cos(2\pi f t) \cong \delta \times \frac{d}{dt} x(t) \tag{3.4}$$

Le modèle de comportement est présenté dans la figure III.10 :

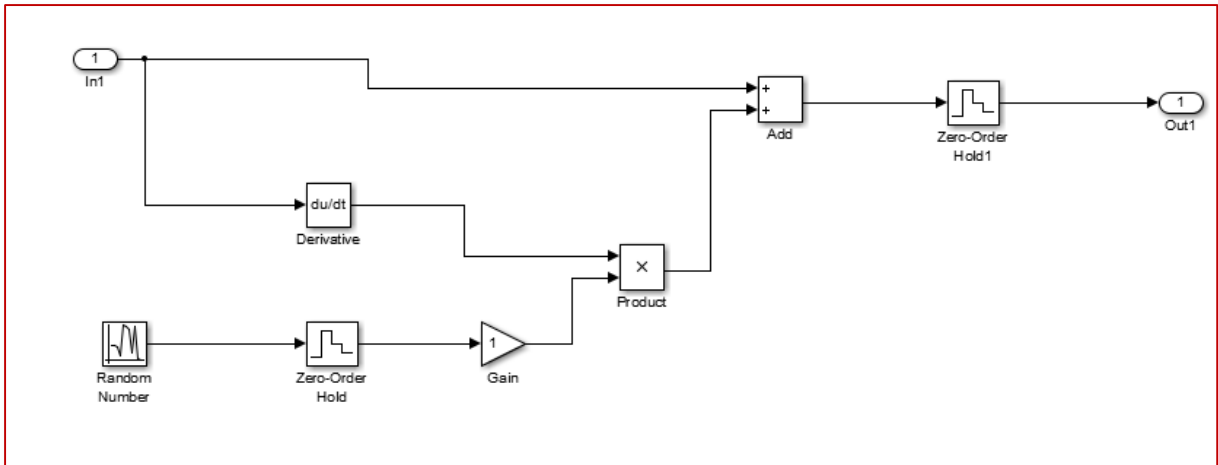


Figure III.10 : Le modèle d’erreur sur l’instant d’échantillonnage.

III.4.1.3. Phénomène de «clock feedthrough » :

A part le facteur d’injection de charge et l’erreur sur l’instant d’échantillonnage le phénomène de « clock feedthrough » est aussi un facteur important dans le circuit E/B commutateur. Cette erreur résulte en raison de couplage du signal d’horloge transit depuis le bloc E/B et condensateur de chevauchement  $C_L$  grille-drain et grille-source  $C_{gd}$ , et  $C_{gs}$  respectivement.

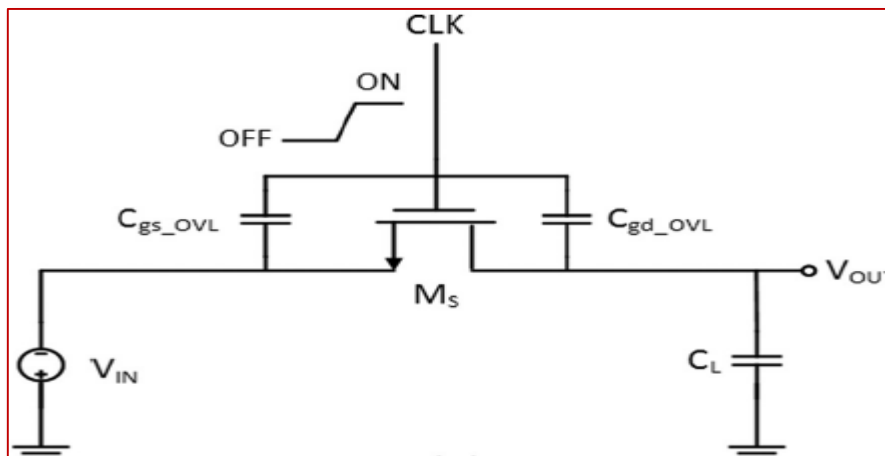


Figure III.11: Montage de base clock feedthrough d’E/B mode tension.

Pour le mode tension qui figure dans l’image précédente, en supposant des condensateurs de chevauchement constants, l’erreur du passage d’horloge est donnée par **Gichenberger, Guhenbul** [32], comme suite:

$$\Delta V_{\text{erreur}} = V_{\text{CLK}} \times \frac{C_{\text{OVL}}}{C_{\text{OVL}} + C_L} \tag{3.5}$$

Où :

$V_{\text{CLK}}$  : Est l’amplitude du signal d’horloge.

$C_{OVL}$ : Est la constante du condensateur de chevauchement / le poids.

$C_L$ : Condensateur de chevauchement.

#### III.4.1.4. Bruit de scintillation « flicker noise » ou bruit en 1/f :

Le bruit de scintillation est causé par l'effet de piégeage et dé-piégeage au niveau de l'oxyde du silicium dans le transistor MOS. En mode tension ce bruit est exprimé ainsi [35]:

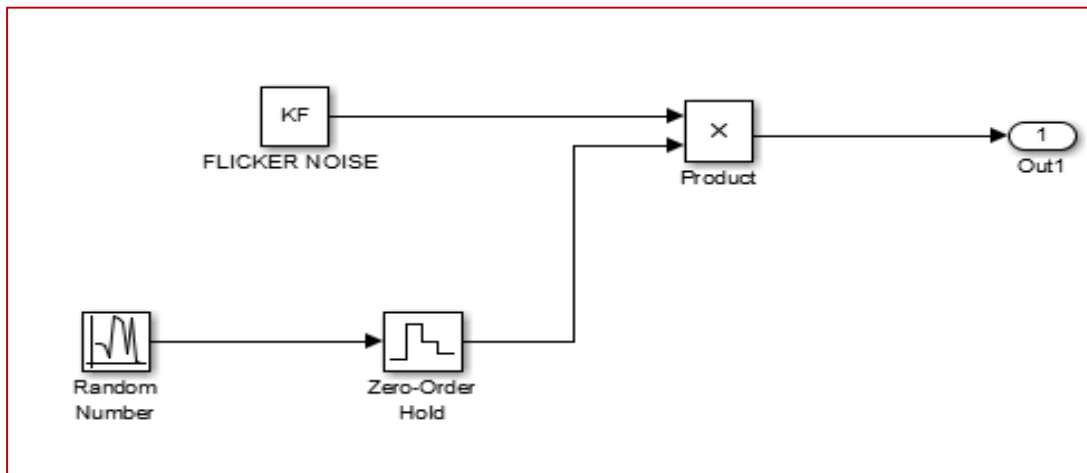
$$V = \left( \frac{K_f}{C_{ox} \times W \times L} \times \frac{1}{8} \right)^{1/2} \quad (3.6)$$

$K_f$ : Coefficient de bruit Scintillation.

$C_{ox}$ : Capacité d'oxyde.

W et L : Sont le poids et la longueur respectivement du transistor MOS.

La figure III.12 illustre le modèle à employer et simuler l'effet de bruit.



**Figure III.12** : Le modèle du bruit de scintillation.

Le bruit 1/f augmente avec l'augmentation de la technologie de mise à l'échelle, puisqu'elle est inversement proportionnelle à la zone de la porte de transistor et prédominante dans les basses fréquences et négligeable aux fréquences plus élevées, car ce bruit est inversement proportionnel à la fréquence d'opération [32].

Après avoir cité ces phénomènes de non idéalité du circuit échantillonneur bloqueur. Nous l'avons réalisé dans Simulink, son modèle est représenté dans la figure III.13.

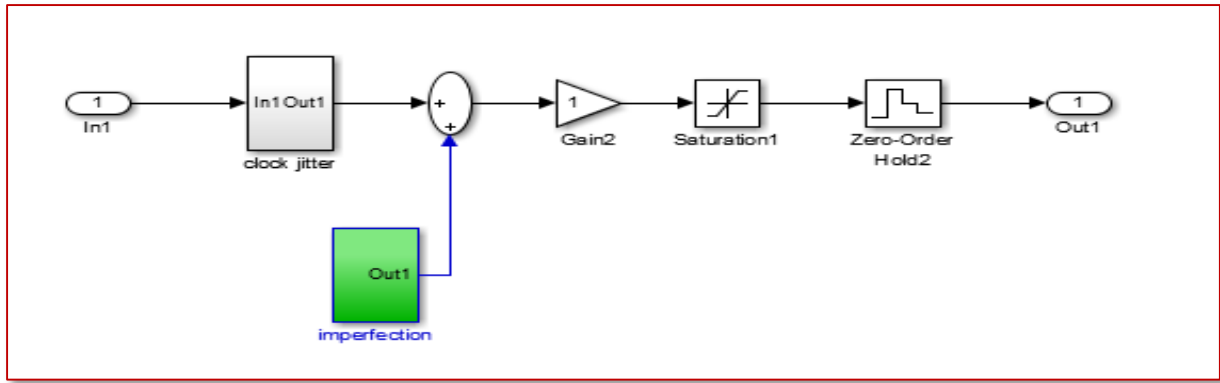


Figure III.13 : Modèle comportementale avec imperfection (non idéal) du circuit E/B.

III.4.2. Modèle du comparateur :

Le CAN SAR contient un seul comparateur autant que bloc central car c’est le lien entre l’analogique et le numérique [35]. C’est un bloc fondamental dont son aspect est bien de traquer entre la sensibilité, la vitesse et la puissance de dissipation. Ce bloc est considéré comme un appareil non linéaire dans le domaine analogique.

Le modèle idéal est présenté dans la figure III.14. Où l’entrée du comparateur est la soustraction de l’entrée de l’E/B  $V_{IN}$  et l’entrée du CNA  $V_{DAC}$ . Le signal de sortie analogique du CNA correspond à n-bits généré séquentiellement, et la sortie est amplifiée par le gain. En suite le résultat est transmis à comparer dans le bloc « compare to zero » pour déterminer la quelle des deux entrées est le plus élevée.

La sortie du comparateur s’écrit comme suit :

$$COMP = \begin{cases} logic\ 0, & |V_{IN} < V_{DAC} \\ logic\ 1, & |V_{IN} > V_{DAC} \end{cases}$$

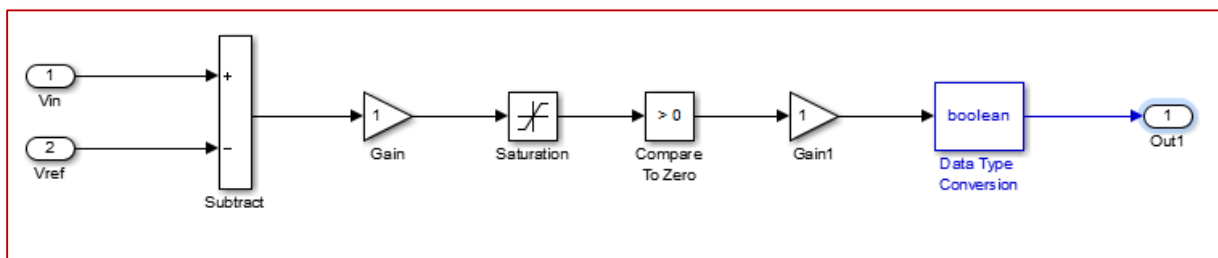


Figure III.14: Le modèle idéal du comparateur.

### III.4.2.1. Bruit thermique :

Le bruit thermique est présent dans les éléments qui contiennent des résistances, la saturation dans les transistors MOS est identique à la résistance passive entre le drain et sa source. Ce bruit est causé par le mouvement thermique aléatoire dans les porteurs de canal [35], peut être exprimé :

$$e_T^2 = \int_0^\infty \frac{4KT \times R_{ON}}{1 + (2\pi f \times R_{ON} \times C)^2} df = \frac{KT}{C} \quad (3.7)$$

Où :

K : Est la constante de Boltzmann.

T : La température absolue.

$R_{ON}$  : Résistance de MOS.

Ce bruit thermique à un bruit blanc qui est ajusté à l'entrée qui donne la sortie :

$$y(t) = x(t) + e_T = x(t) + \sqrt{\frac{KT}{C_S}} n(t) \quad (3.8)$$

$n(t)$  : Le processus aléatoire gaussien.

Cette équation peut être modérée comme la figure III.15. Ce modèle de bruit est validé juste pour les dispositifs avec un canal long. La densité de court-circuit du bruit thermique est donné par :  $Id^2 = 4 gm \times KT^{2/3}$  (3.9)

Pour les petites dimensions :  $Id^2 = 4\Delta f Q_{inv} KT^{U_{eff}} / L_{eff}^2$  (3.10)

On donne :

$gm$  : La transconductance du transistor MOSFET.

$Q_{inv}$  : La charge du canal inversé.

$U_{eff}$  : La mobilité effective du canal.

$L_{eff}$  : La longueur effective du canal.

La figure III.15 présente le bruit thermique dans le modèle Simulink, il peut être modélisé comme générateur de variables aléatoires avec le bloc d'ordre zéro, le bloc de gain est employé pour ajuster la valeur de tout le bruit.

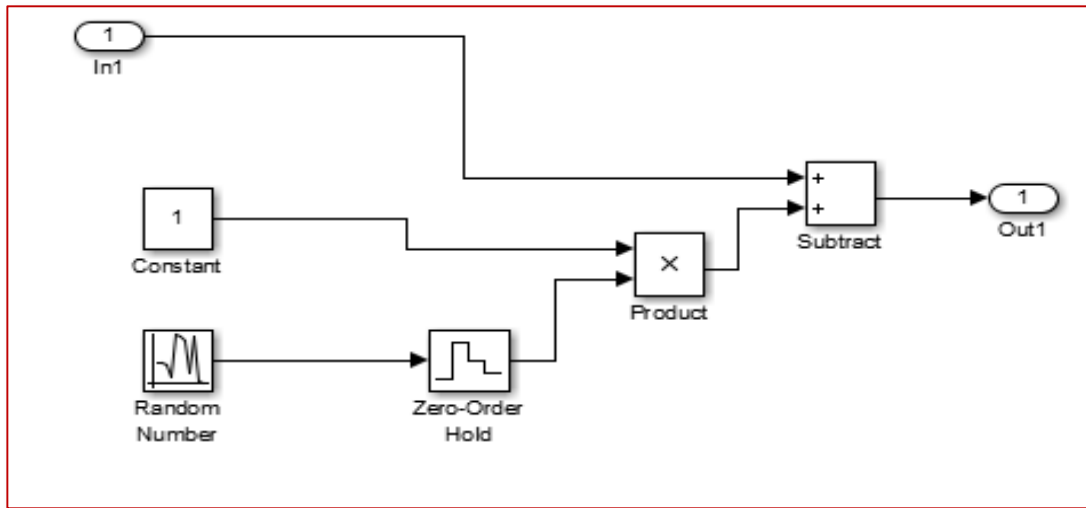


Figure III.15 : Le modèle du bruit thermique.

La figure III.16 représente le modèle proposé du comparateur non-idéal avec ces imperfections (l’offset et le bruit thermique) :

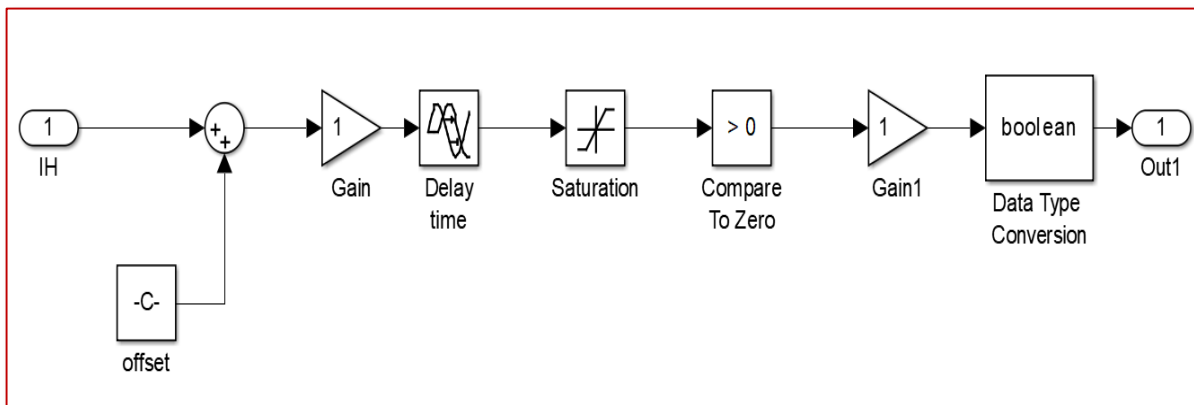
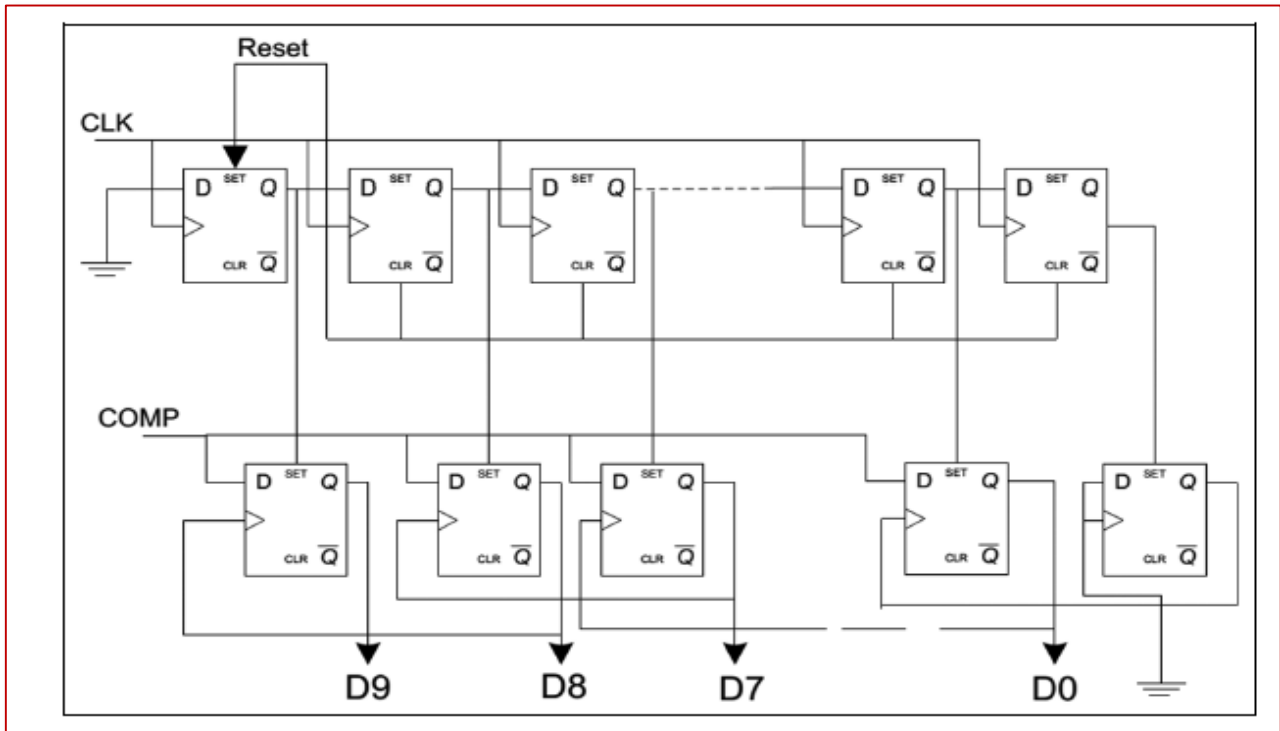


Figure III.16 : Modèle comparateur non-idéal.

**III.4.3. Registre à approximation successive :**

Un registre d'approximations successives (SAR) est un circuit de contrôle, qui est mis en œuvre à l'aide de la bascule D [36]. Comme le nom lui-même l'indique, il se rapproche successivement de la sortie numérique, bit par bit, en partant du MSB vers le LSB dépend du signal de l'horloge représenté dans la figure III.17 :



**Figure III.17 :** Le modèle général du registre à approximation successive.

Le CAN SAR est un algorithme d'approximation successive qui convertit le signal analogique en entrée continu du signal au code numérique. Chaque registre à décalage se compose de chaîne de neuf bascules. Le registre à décalage dessus est employé comme compteur séquentiel et il est synchronisé avec l'horloge interne, le registre inférieur stocke la valeur de conversion. Chaque valeur échantillonnée (l'échantillonnage est effectué par E/B) du signal d'entrée est comparée par le comparateur à la sortie du CNA. Le résultat de la comparaison est employé alors par le registre pour élaborer la prochaine étape. Le diagramme logique du registre des approximations successives constitué de 8bits est dessiné dans le bloc Simulink ainsi :



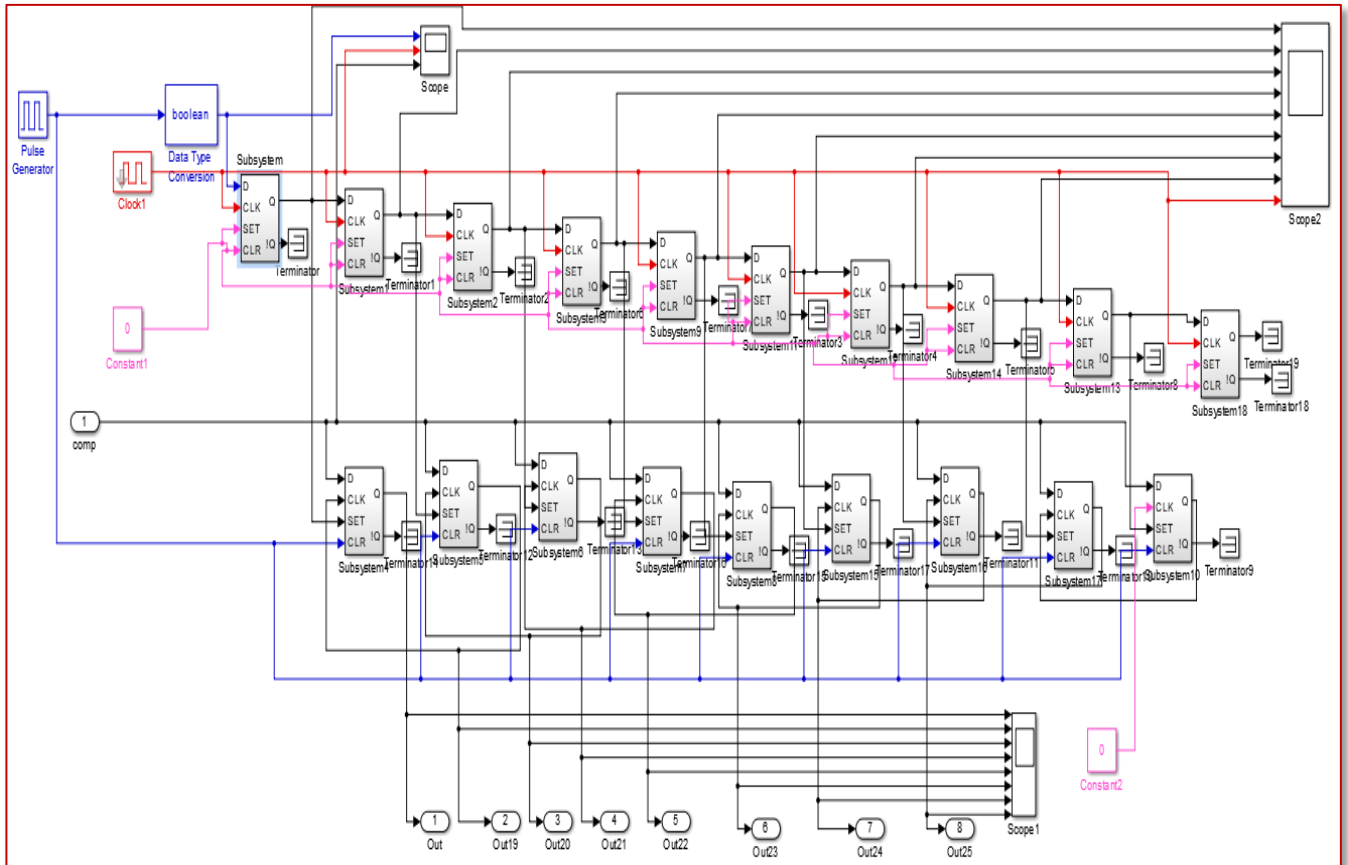


Figure III.18 : Registre successive SAR dans le bloc Simulink.

**III.4.4. Encodeur thermomètre 4 à 15 bits :**

Deux bit d'entrées binaires sont converties en trois codes thermomètre par le moyen d'un décodeur thermométrique 2 à 3bits. Il se compose d'une porte « ET » et une porte « OU », et avec la même méthode nous pouvons réaliser l'encodeur du thermomètre 4-15 bits. Comme indiqué sur la figure (III.19), il se compose de 08 portes « OU » et 08 portes « ET », ces derniers sont disponibles dans la bibliothèque de Simulink. L'inconvénient principal de l'encodeur de thermomètre est les logiques complexes de décodage et l'espace occupé sur la puce.

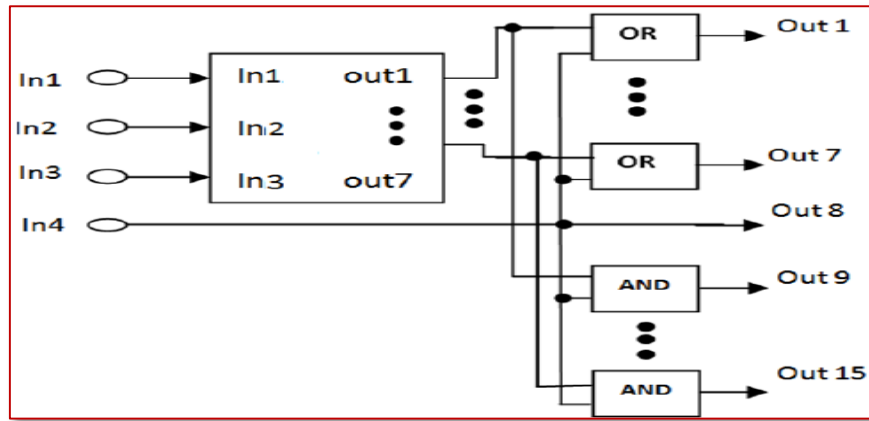


Figure III.19: Encodage de thermomètre de 4 à 15 binaires.

III.4.5. Modèle du convertisseur numérique analogique CNA (DAC):

Le CNA est le noyau de convertisseur SAR car il détermine l'ensemble de linéarité dans le CAN. Ce mode de convertisseur est souvent utilisé pour la réalisation d'un fonctionnement à faible puissance [31], basé sur la redistribution de charge stockée sur des condensateurs binaires pondérés [35, 37, 31, 39]. Un exemple de 16 bits est montré dans la figure III.20:

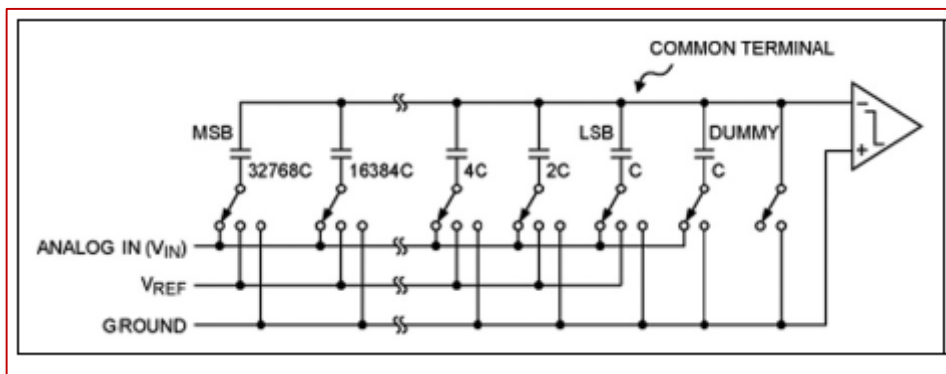


Figure III.20: La structure générale du CNA de condensateurs commutés [31].

Il se compose de 16 condensateurs à valeurs binaires pondérées allant de 1C à 32 768C ( $2^0C$  à  $2^{16-1}C$ ), qui sont connectés au terminal d'entrée du comparateur.

La sortie totale du DAC peut généralement s'écrire :

$$V_{DAC} = D_{N-1} \times V_{ref} \times 2^{N-1} + D_{N-2} \times V_{ref} \times 2^{N-2} + \dots + D_1 V_{ref} \times 2^1 + D_0 V_{ref} \quad (3.11)$$

$$V_{DAC} = V_{ref} [D_{N-1} \times 2^{N-1} + D_{N-2} \times 2^{N-2} + \dots + D_1 \times 2^1 + D_0] \quad (3.12)$$

$$\Rightarrow V_{DAC} = V_{ref} \sum_{0}^{N-1} D_i \times 2^i \quad (3.13)$$

Où :

$D_i$  : Sont les bits numériques de sortie de la logique SAR.

$V_{REF}$  : Est le voltage de référence.

$N$  : Sources de courant de différentes.

Dans le modèle de CNA, chaque source de tension est multipliée par un facteur de gain d'une telle manière qu'elle est devenue égale à la valeur de source de tension, le modèle de CNA pour 8bits de LSB est montré sur la figure III.21 :

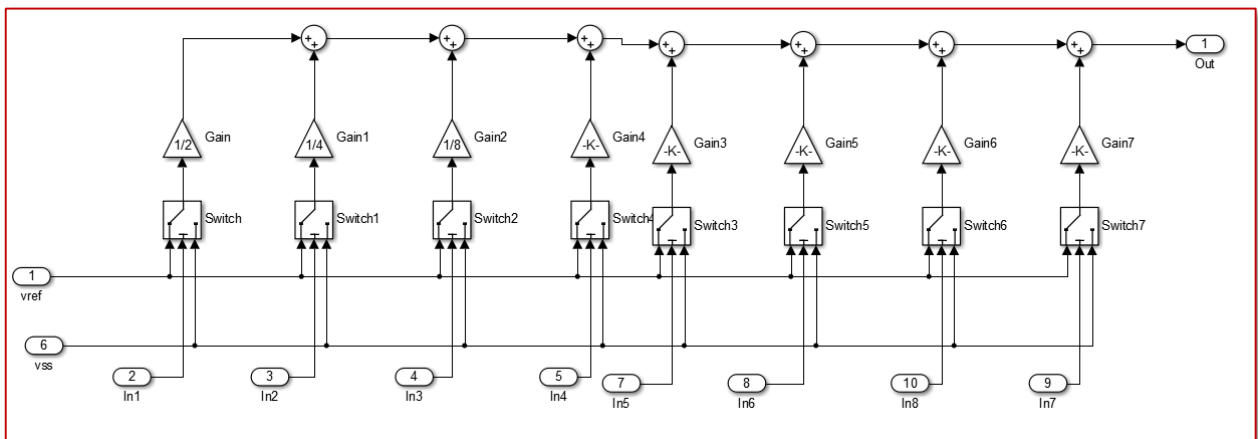


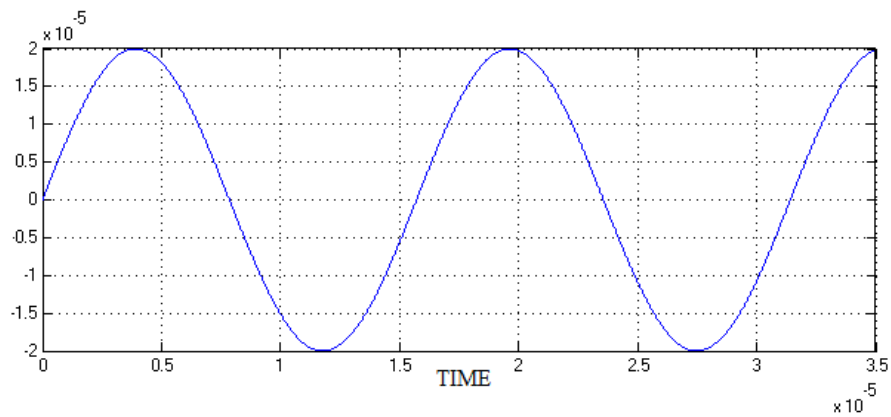
Figure III.21: Le modèle du CNA.

### III.5. Résultats de simulations :

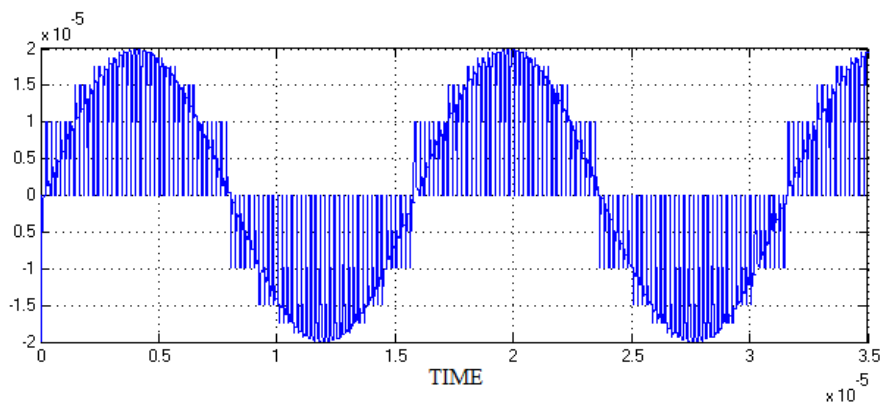
Pour vérifier et confirmer les performances du nouveau modèle proposé avec les divers facteurs non idéaux, nous avons effectué plusieurs simulations avec l'utilisation du modèle comportemental du CAN dans le cas idéal et non-idéal, les simulations sont effectuées afin de vérifier les performances du modèle comportemental et ses résultats sont rapportés dans ces sections avec les performances statiques et dynamiques.

#### III.5.1. Performances dynamiques :

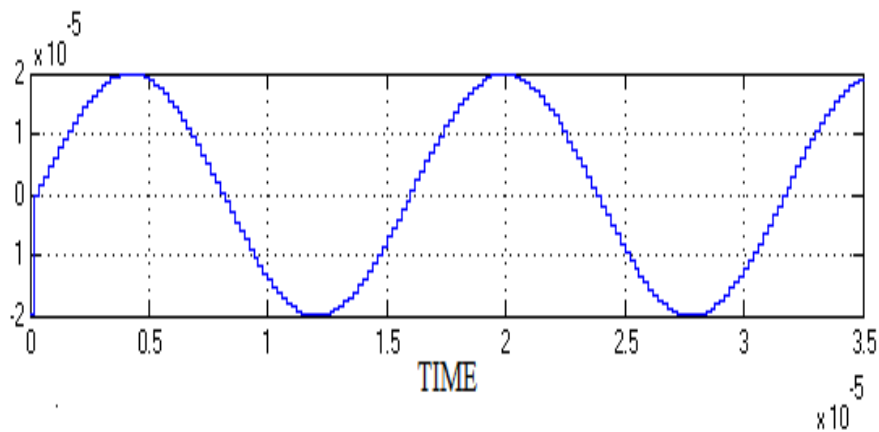
Afin d'examiner le modèle et confirmer ses performances dynamiques, un signal analogue équivalent à une onde sinusoïdale avec une fréquence de 50 kilohertz (KHz) est appliqué à l'entrée du CAN avec une fréquence d'échantillonnage de 5 mégahertz (MHz) comme illustré dans la figure III.22. Des résultats de simulation du signal de sortie du DAC et du signal analogue reconstruit du CAN sont montrés sur les figures 23 et 24 :



**Figure III.22 :** Signal d'entrée du CNA.



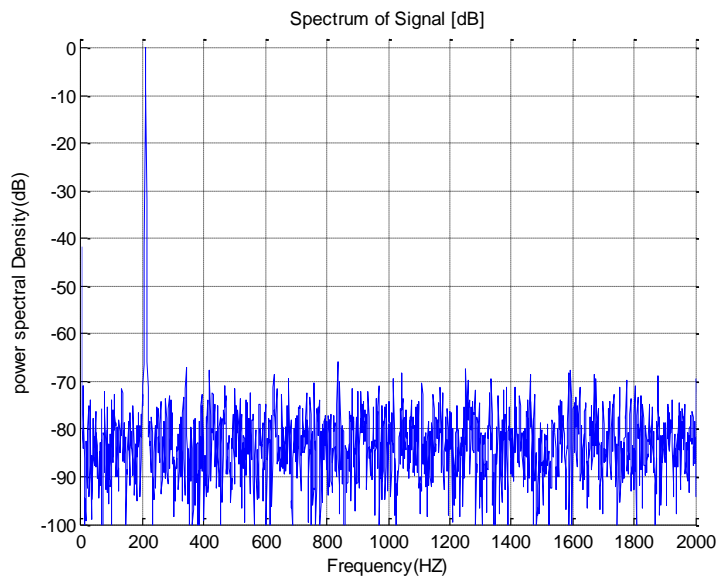
**Figure III.23 :** Signal de sortie du CNA.



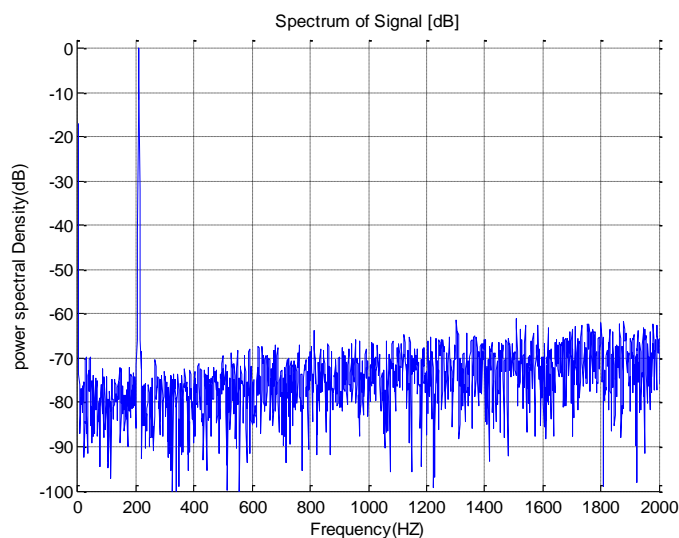
**Figure III.24 :** Signal analogique reconstruit du CAN.

Les performances dynamiques comprenant le SNR (rapport de signal-bruit), la SFDR (Spurious sans rapport dynamique). En employant la transformée de Fourier rapide (FFT), le SFDR peut être calculé à partir du spectre de puissance, les FFT produits pour le modèle idéal et non-idéal du CAN comme montrés dans les figures III.25 et III.26 respectivement, sachant

que pour le modèle idéal nous avons extrait, Le SFDR est le 65.3 dB, et pour le modèle non-idéal nous avons, Le SFDR est le 60.5 dB.



**Figure III.25:** FFT du signal de sortie dans le cas idéal où :  $F_{IN} = 50$  KHz,  $F_s = 5$  MHz.



**Figure III.26 :** FFT du signal de sortie dans le cas non-idéal où :  $F_{IN} = 50$  KHz,  $F_s = 5$  MHz.

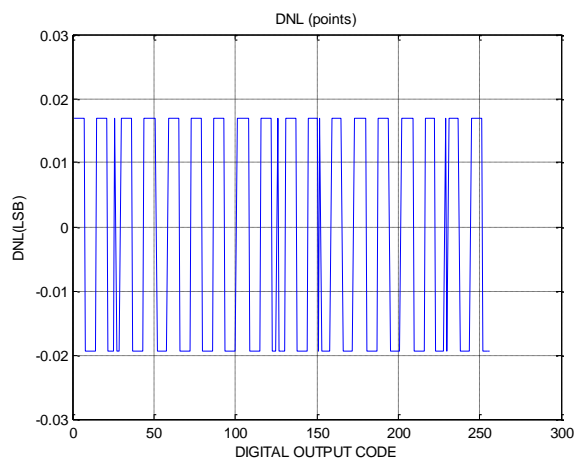
### III.5.2. Performances statiques :

La linéarité est le paramètre le plus important dans le convertisseur de données. Les performances de linéarités incluent la non-linéarité intégrale (INL) et la non-linéarité différentielle (DNL). L'INL est défini comme déviation maximum d'un point de transition d'une conversion de point de transition correspondant d'une conversion idéale. L'INL est

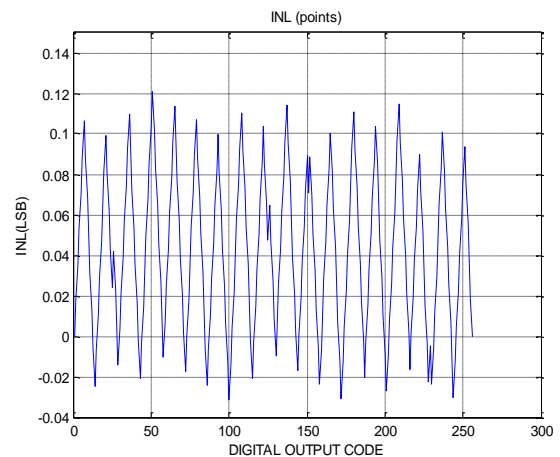
simulé avec l'utilisation un code de MATLAB. Basé sur la définition de ces paramètres, LSB présente la déviation de la fonction de transfert réelle d'une ligne droite. Pour la DNL, il est défini comme la différence entre une largeur réelle de pas et la valeur idéale de 1 LSB. Par conséquent, INL représente des erreurs cumulatives de DNL. L'INL est simulé par l'utilisation du code de MATLAB basé sur l'équation suivante :

$$INL_j = \sum_{i=1}^{j-1} DNL_i \quad (17)$$

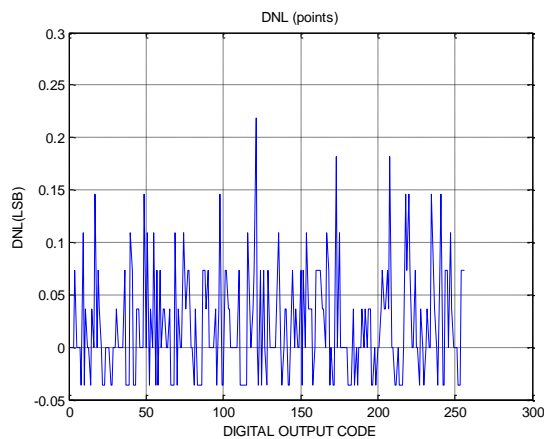
Les résultats de simulation de ces deux paramètres (DNL, INL) pour le modèle idéal du CAN sont montrés dans les figures III.27 et III.28 respectivement. Les résultats de simulation prouvent que la variation de ces derniers est plus moins que 1 LSB, il est entre +0.02/-0.02 LSB pour la DNL, et entre +0.12/-0.03 LSB pour l'INL.



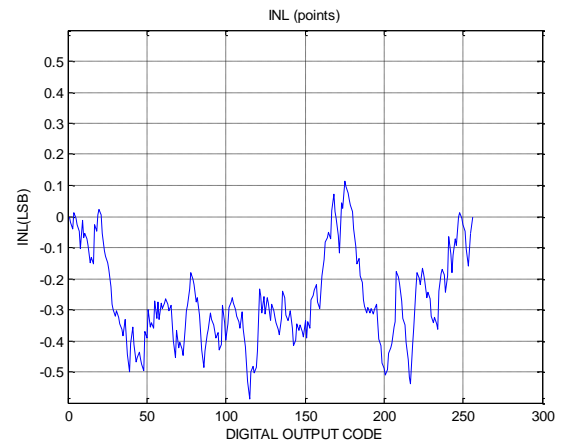
**Figure III.27** : DNL du 8 bit SAR ADC (modèle idéal)



**Figure III.28** : INL du 8 bit SAR ADC (modèle idéal)



**Figure III.29:** DNL du 8 bit SAR ADC (non-idéal modèle)



**Figure III.30 :** INL du 8 bit SAR CAN (non-idéal modèle)

Les figures III.29 et III.30 montrent la simulation de la non-linéarité intégrale (INL) et la non-linéarité différentiel (DNL) pour le cas non idéal du modèle, sachant qu'on peut constater que le DNL est varié entre  $-0.04/0.23$  LSB, et l'INL entre  $-0.6/0.1$  LSB.

Le tableau suivant représente les caractéristiques principales de modèle du CAN.

Spécification	Valeur
Résolution	08 bits
Capacité d'échantillonnage $C_{gs}$	0.08fF
Capacité de chevauchement $C_{ovl}$	0.08fF
Capacité d'Oxyde $C_{ox}$	8.78Ff/ $\mu\text{m}^2$
Fréquence d'échantillonnage $f_s$	10MHz
Offset du comparateur	100nA
Temps de propagation du comparateur	50ns
Coefficient de bruit de scintillation	$50 \cdot 10^{-12} \text{A}$

**Tableau III.1 :** Caractéristiques principales de modèle du CAN.

**III.6. Conclusion :**

Un nouveau modèle du convertisseur analogique numérique (CAN) 8-bits mode tension de type registre à approximation successive (SAR) a été rapporté. L'analyse des performances statiques et dynamiques avec l'utilisation de MATLAB et Simulink confirment les bonnes caractéristiques du CAN SAR avec le modèle idéal et non idéal. La conversion est effectuée sans l'absence des codes. Dans le modèle comportemental non idéal, les facteurs non idéaux les plus importants dans le convertisseur SAR ont été tenus en compte. Pour le comparateur, il a été modélisé en prenant en compte l'erreur d'offset et le temps de propagation (le temps de retard), l'effet de l'injection de charge, la synchronisation du bruit de scintillation, et le bruit thermique pour le circuit E/B. Les non-idéalités des commutateurs dans le convertisseur numérique analogique (CNA) ont été introduites. Le modèle comportemental a été mis en application pour étudier les effets des non-idéalités sur les performances de ce type de CAN, en effet ce modèle comportemental et les résultats de simulation aideront le concepteur à réaliser ce type de CAN avec une puissance faible.



# Bibliographie

**Références bibliographiques**

- [1] **H. Achigui Jeazet**, « convertisseur analogique-numérique à approximation successive opération à I-V dans procédé CMOS submicronique », Mémoire du diplôme Master en Génie Electrique, Université de Quebec à Trois-Rivières, Canada, juillet 2001.
- [2] **A. Mihoubi**, « Conception d'un convertisseur analogique-numérique Sigma Delta du 1er Ordre à 12 bits », Mémoire du diplôme de Magister en Microélectronique, laboratoire d'électronique avancée, Université de Batna, Algérie, 2012.
- [3] **P. Nayman**, « Certains Aspects du Traitement du Signal», LPNHE Paris, 2003.
- [4] **E. Allier**, « Interface analogique numérique asynchrone une nouvelle classe de convertisseur basée sur la quantification de temps », Thèse doctorat l'Ecole Doctorale Electronique, Electrotechnique, Automatique, Télécommunications, Signal. Le 27 novembre 2003.
- [5] **G. Courturier**, « Echantillonnage, Quantification, Conversion Analogique-Numérique et Numérique-Analogique», (Vol3) Département GEII IUT Bordeaux I.
- [6] [stetienne.fr/~du\\_tertre/documents/cours\\_convertisseurs](http://stetienne.fr/~du_tertre/documents/cours_convertisseurs). 09/2009.
- [7] **S. Barra** « Contribution à la conception d'un convertisseur analogique numérique en technologie CMOS », Thèse doctorat ès-Sciences en Electronique en Microélectronique, Université de Batna, Juillet 2013.
- [8] **M. Siadjine Njinowa**, « Convertisseur de donnée de type Flash basé sur les cellules normalisé et application », Thèse doctorat, Université Québec, Canada, Février 2017.
- [9] **S. Bernard**, « Test Intégré pour convertisseurs Analogique/Numériques », Doctorat Sciences et techniques du languedoc, université Montpellier II, France, 2001.
- [10] **J.R.N. Nijla**, « Analyse d'une nouvelle architecture Pepline de convertisseur analogique numérique supraconducteur », Thèse doctorat Nanoélectronique et Nanotechnologies, Université de Grenbol, France, Février 2012.
- [11] **P. Bisaux**, « Etude et conception de CAN haute résolution pour le domaine de l'imagerie », Thèse doctorat, Université Paris-Saclay, Avril 2018.
- [12] **A. Dendouga**, « contribution à la modélisation et la conception d'un convertisseur analogique numérique Sigma-Delta », Thèse doctorat, Université Batna, Algérie, Juillet 2013.

- [13] **Han Xiang-Lei**, « Réalisation et caractérisation de dispositifs MOSFET nanométriques à base de réseaux denses de nanofils verticaux en silicium », Université Lille1 - Sciences et Technologies, France, Septembre 2011.
- [14] **N. Breil**, « Contribution à l'Etude de Techniques de Siliciuration Avancées pour les Technologies CMOS Décanométriques », Thèse de Doctorat de l'Université des Sciences et Technologies de Lille, France, Mai 2009.
- [15] **D. Galayco**, « Régimes du transistor MOS » Unité d'enseignement Elec-info ´ pour master ACSI a` l'UPMC, Octobre-décembre 2005.
- [16] **G. Larrieu**, « Elaboration et caractérisation de transistors MOS ». Unité d'enseignement Elec-info, pour master ACSI a` l'UPMC, Octobre-décembre 2005.
- [17] **A. Hamouda**, « Design and Layout of a Temperature Tegulator for a Class D Audio Amplifier in *ELMOS* Automotive *High Voltage 0.8µm* bicos Technology », University of Batna, Algeria, 2003.
- [18] **A. Kebib**, « étude de simulation d'un transistor MOS vertical », Mémoire Master en microélectronique, Université Abou-Bekr Belkaïd-Tlemcen, Algérie, 2013.
- [19] **R.Ouchen**, « Contribution to the design and layout of a class D audioamplifier chip in *ELMOS* automotive high voltage 0.8um BiCMOS technology », Magister en micro-électronique, université de Batna, Algérie, 2003.
- [20] **J. M. Biffi**, « Contribution à la modélisation, conception et caractérisation de chaînes vidéo ASIC en technologie *BiCMOS* ». Thèse doctorat, Centre National d'Etudes Spatiales (C.N.E.S.) de Toulouse, France, décembre 1995.
- [21] **B. Andalouci, F. Benaouda**, « Convertisseur son/lumière pour téléphone : étude et réalisation d'un circuit », Mémoire Master Electronique en Instrumentation Electronique, Université Aboubakr Belkaïd, Tlemcen, 2017.
- [22] **N. Pillet**, « Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules charges » Thèse Doctorat, Université de Strasbourg, France, 2010.
- [23] **R. Gregorian**, « Introduction to CMOS OP-AMPS and Comparators », A Wiley-Interscience Publication, Wiley and Sons inc, New York, NY, 1999.
- [24] **P.E. Allen, D.R. Holberg, Allen**, « CMOS Analog Circuit Design, Oxford » University Press, USA 2002.

- [25] **B. Gorisse**, « Etude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution », Thèse de doctorat, Université des sciences et technologies de Lille, France, 2007.
- [26] **C. Grégoire Djanou**, « Conception d'échantillonneurs-bloqueurs dans la technologie mos submicronique », Université du Québec à Montréal. 2008.
- [27] **R. Kenneth. Stafford**, « A Complete Monolithic Sample/Hold Amplifier », IEEE Journal of solid-state circuits, December 1974.
- [28] **M. Waltari**, « Circuit Techniques For Low-Voltage And High-Speed A/D Converters », Helsinki University of Technology, Electronic Circuit Design Laboratory. Report33, Espoo 2002.
- [29] **N. Sasidhar**. « Low Power Design Techniques for High Speed Pipelined ADCs ». PhD Thesis, Oregon State University (OSU), Oregon, USA, 2009.
- [30] **S. Barra. S. Kouda. A. Dendouga**, « al. Simulink behavioral modeling of a 10-bit pipelined ADC». International Journal of Automation and Computing, April 2013.
- [31] **I. Myderrezi**, « High speed design of high resolution DACs ». Istanbul: Technical University, Turkey, 2009.
- [32] **Eichenberger C and Guggenbuhl W**, « On charge injection in analog MOS switches and dummy switch compensation techniques ». IEEE Trans Circ Syst ; 37: 256–264, 1990.
- [33] **Dai L and Harjani R**, « CMOS switched-op-amp-based sample-and-hold circuit », IEEE journal of solid-state circuit », VOL. 35, NO.1 January, 2000.
- [34] **Dendouga A, Bouguechal N-e, Kouda S**, et al. « Contribution to the modeling of a non-ideal Sigma-Delta modulator», World Academy of Science, Engineering and Technology International Journal of Electronics and Communication Engineering Vol:4, No:8, 2010 .
- [35] **Baker RJ**. « CMOS: circuit design, layout, and simulation ». Hoboken, NJ: John Wiley & Sons, 2010.
- [36] **R. Hedayati**, « A Study of successive approximation registers and implementation of an ultra-low power 10-bit SAR ADC in 65nm CMOS Technology ». Linkoping: Institute of Technology, 2011.
- [37] **F. Maloberti**, « Data converters ». Springer Science Business Media, Berlin, 2007.

## Références Bibliographiques

[38] **Lin J-F, Chang S-J, Kung T-C**, « al. Transition-code based linearity test method for pipelined ADCs with digital error correction ». IEEE transaction on very large scale integration (VLSI) system, VOL. 19, NO.12, December 2011.

[39] **Van de Plassche RJ** « CMOS integrated analog-to-digital and digital-to-analog converters». Berlin: Springer Science & Business Media, 2013.

**Résumé :**

Le présent mémoire vise à proposer une nouvelle version des modèles de comportement des convertisseurs analogiques numériques CAN à 8bits, de type registre à approximation successive SAR, sachant qu'on a utilisé la technique de mode tension pour réaliser ce type de convertisseurs en technologie CMOS seulement. Ce travail a été réalisé dans l'environnement MATLAB avec une focalisation détaillée sur les blocs constructifs des convertisseurs analogiques numériques : comme l'échantillonneur bloqueur (E/B), le comparateur, le convertisseur numérique analogique CNA et l'encodeur. Les deux blocs échantillonneur E/B et CNA ont été mis en application en employant des commutateurs de sources tension. En tenant compte des facteurs non-idéaux de chaque bloc comme (phénomène « clock feedthrough » le phénomène « injection de charges », l'erreur sur l'instant échantillonnage « jitter », le bruit de scintillation « flicker noise », l'offset de comparateur). Les résultats de simulation ont été analysés de manière à éclairer l'injection des paramètres des convertisseurs par ces facteurs.

**Les mots clés :** convertisseur analogique numérique, CAN, convertisseur numérique analogique, CNA, commutateur, comparateur, amplificateur, échantillonneur bloqueur, modélisation, SAR.

**Abstract:**

The present dissertation aims to propose a new version of the performance models of the 8bits digital analog converter DAC, this type of register with successive approximation SAR, knowing that we used the technique of voltage mode to realize this type of converters in CMOS technology only. This work was carried out in the MATLAB environment with a detailed focus on the building blocks of the digital analog converters, as the sample and hold circuit (S/H), the comparator, the DAC, and the encoder. The two blocs (S/H) and DAC were implemented using voltage source switchers. Taking in to the non-ideal factors of each block as: « Clock feedthrough phenomenon », « the phenomenon of charge injection », « clock jitter », « flicker noise » and « thermal noise ». The simulation result were analyzed to inform the injection of the converter parameters by these factors.

**Key words:** analog digital converter, ADC, digital analog converter, DAC, switch, comparator, amplifier, sample and hold circuit, modeler, SAR.